



## (12)发明专利

(10)授权公告号 CN 105981166 B

(45)授权公告日 2019.04.16

(21)申请号 201580008236.2

(74)专利代理机构 上海专利商标事务所有限公

(22)申请日 2015.02.11

司 31100

(65)同一申请的已公布的文献号

代理人 唐杰敏

申请公布号 CN 105981166 A

(51)Int.CI.

(43)申请公布日 2016.09.28

H01L 23/498(2006.01)

H01L 25/10(2006.01)

(30)优先权数据

61/939,523 2014.02.13 US

(56)对比文件

14/274,517 2014.05.09 US

CN 101740490 A, 2010.06.16,

(85)PCT国际申请进入国家阶段日

CN 101740490 A, 2010.06.16,

2016.08.11

US 2011271757 A1, 2011.11.10,

(86)PCT国际申请的申请数据

US 2012319293 A1, 2012.12.20,

PCT/US2015/015421 2015.02.11

CN 1658385 A, 2005.08.24,

(87)PCT国际申请的公布数据

CN 102487059 A, 2012.06.06,

W02015/123301 EN 2015.08.20

JP 2012129262 A, 2012.07.05,

(73)专利权人 高通股份有限公司

US 2013341786 A1, 2013.12.26,

地址 美国加利福尼亚州

US 2012168944 A1, 2012.07.05,

(72)发明人 J·S·李 H·B·蔚 D·W·金

US 2009326851 A1, 2009.12.31,

S·顾

US 2008265419 A1, 2008.10.30,

US 2012168942 A1, 2012.07.05,

CN 1898150 A, 2007.01.17,

WO 2010041630 A1, 2010.04.15,

审查员 秦晓彤

权利要求书2页 说明书17页 附图18页

(54)发明名称

些实现中,通孔包括配置成作为焊盘来操作的部分。

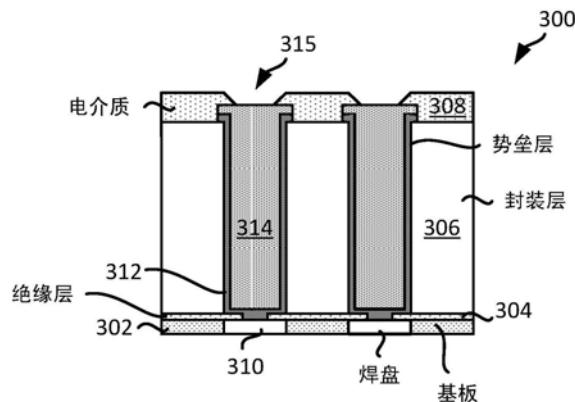
包括具有穿过封装层的侧势垒层的通孔的

集成器件

(57)摘要

一些新颖特征涉及一种包括封装层、穿过封装层的通孔结构、以及焊盘的集成器件。该通孔结构包括包含第一侧、第二侧和第三侧的通孔。该通孔结构还包括围绕通孔的至少第一侧和第三侧的势垒层。焊盘直接耦合至通孔结构的势垒层。在一些实现中,该集成器件包括耦合至封装层的第一表面的第一电介质层。在一些实现中,该集成器件包括耦合至封装层的第一表面的基板。在一些实现中,该集成器件包括耦合到基板的第一管芯,其中封装层封装该第一管芯。在一

CN 105981166 B



1. 一种集成器件,包括:

第一管芯;

包括可光图案化的性质的封装层,其中所述封装层封装所述第一管芯;

穿过所述封装层的通孔结构,其中所述通孔结构包括:

包括第一侧、第二侧和第三侧的通孔;以及

围绕所述通孔的至少所述第一侧和所述第三侧的势垒层;

包括焊盘的基板,所述焊盘耦合至所述通孔结构的所述势垒层,其中所述焊盘不与所述通孔结构的所述通孔直接接触,所述第一管芯耦合至所述基板。

2. 如权利要求1所述的集成器件,其特征在于,进一步包括耦合至所述封装层的第一表面的第一电介质层。

3. 如权利要求2所述的集成器件,其特征在于,进一步包括耦合至所述封装层的第二表面的第二电介质层。

4. 如权利要求1所述的集成器件,其特征在于,所述势垒层包括钛(Ti)、氮化钛(TiN)和/或钛钨(TiW)。

5. 如权利要求1所述的集成器件,其特征在于,所述通孔结构进一步包括填充物,其中所述填充物是不导电填充物。

6. 如权利要求1所述的集成器件,其特征在于,所述通孔包括晶种层。

7. 如权利要求1所述的集成器件,其特征在于,所述通孔包括被配置成作为焊盘来操作的部分。

8. 如权利要求1所述的集成器件,其特征在于,所述集成器件包括中介体、封装器件、和/或层叠封装(PoP)器件。

9. 如权利要求1所述的集成器件,其特征在于,所述集成器件被纳入在音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板式计算机、和/或膝上型计算机中。

10. 如权利要求1所述的集成器件,其特征在于,所述通孔结构进一步包括聚合物填充物。

11. 一种装备,包括:

第一管芯;

包括可光图案化的性质的封装层,其中所述封装层封装所述第一管芯;

穿过所述封装层的通孔结构,其中所述通孔结构包括:

包括第一侧、第二侧和第三侧的通孔;以及

围绕所述通孔的至少所述第一侧和所述第三侧的势垒装置;以及

包括焊盘的基板,所述焊盘耦合至所述通孔结构的所述势垒装置,其中所述焊盘不与所述通孔结构的所述通孔直接接触,所述第一管芯耦合至所述基板。

12. 如权利要求11所述的装备,其特征在于,进一步包括耦合至所述封装层的第一表面的第一电介质层。

13. 如权利要求12所述的装备,其特征在于,进一步包括耦合至所述封装层的第二表面的第二电介质层。

14. 如权利要求11所述的装备,其特征在于,所述势垒层包括钛(Ti)、氮化钛(TiN)和/

或钛钨 (TiW)。

15. 如权利要求11所述的装备,其特征在于,所述通孔结构进一步包括填充装置。

16. 如权利要求11所述的装备,其特征在于,所述通孔包括晶种层。

17. 如权利要求11所述的装备,其特征在于,所述通孔包括被配置成作为焊盘来操作的部分。

18. 如权利要求11所述的装备,其特征在于,所述装备包括中介体、封装器件、和/或层叠封装 (PoP) 器件。

19. 如权利要求11所述的装备,其特征在于,所述装备被纳入到音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、和/或膝上型计算机中。

20. 一种用于制造集成器件的方法,包括:

在基板上形成焊盘;

将第一管芯耦合至所述基板;

在所述基板上形成封装层以使得所述封装层封装所述第一管芯,其中所述封装层包括可光图案化的性质;以及

在所述封装层中形成通孔结构,其中形成所述通孔结构包括:

在所述封装层中光蚀刻空腔;

在所述封装层的所述空腔中并且在所述基板的所述焊盘上方形成势垒层;以及

在所述势垒层上形成通孔以使得所述通孔不与所述焊盘直接接触,所述通孔包括第一侧、第二侧和第三侧,所述通孔是在所述势垒层上形成的以使得所述势垒层围绕所述通孔的至少所述第一侧和所述第三侧。

21. 如权利要求20所述的方法,其特征在于,进一步包括在所述封装层的第一表面上形成第一电介质层。

22. 如权利要求21所述的方法,其特征在于,进一步包括在所述封装层的第二表面上形成第二电介质层。

23. 如权利要求20所述的方法,其特征在于,形成所述势垒层包括在所述封装层中形成钛 (Ti) 层、氮化钛 (TiN) 层、和/或钛钨 (TiW) 层。

24. 如权利要求20所述的方法,其特征在于,形成所述通孔结构进一步包括形成填充物。

25. 如权利要求20所述的方法,其特征在于,形成所述通孔包括在所述势垒层上形成晶种层。

26. 如权利要求20所述的方法,其特征在于,形成所述通孔包括将通孔的一部分形成为焊盘。

27. 如权利要求20所述的方法,其特征在于,所述集成器件包括中介体、封装器件、和/或层叠封装 (PoP) 器件。

28. 如权利要求20所述的方法,其特征在于,所述集成器件被纳入在音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板式计算机、和/或膝上型计算机中。

## 包括具有穿过封装层的侧势垒层的通孔的集成器件

[0001] 相关申请的交叉引用

[0002] 本申请要求2014年5月9日提交的题为“Integrated Device Comprising Via With Side Barrier Layer Traversing Encapsulation Layer (包括具有穿过封装层的侧势垒层的通孔的集成器件)”的美国申请No.14/274,517的优先权,该美国申请要求2014年2月13日提交的题为“Integrated Device Comprising Via With Side Barrier Layer Traversing Encapsulation Layer (包括具有穿过封装层的侧势垒层的通孔的集成器件)”的美国临时申请No.61/939,523的优先权,这两篇申请通过援引明确纳入于此。

[0003] 背景

[0004] 领域

[0005] 各种特征涉及包括具有穿过封装层的侧势垒层的通孔的集成器件。

[0006] 背景

[0007] 图1解说了第一封装102耦合至第二封装104。第一封装102包括第一基板106、第一管芯(例如,芯片)108、模具110、第一组焊球116、第一组互连118、以及第三组焊球126。第一基板106可包括迹线和/或通孔(两者均未示出)。第二封装104包括第二基板105、第二管芯107、第三管芯109、第二组焊球115、第一组引线接合117、以及第二组引线接合119。第二基板105可包括迹线和/或通孔(两者均未示出)。第二封装104定位于第一封装102之上。

[0008] 第一管芯108通过第一组互连118耦合至第一基板106的第一表面(例如,顶表面)。模具110封装第一管芯108和第一组互连118。第一组焊球116耦合至第一基板106的第二表面(例如,底表面)。第三组焊球126耦合至第一基板106的第一表面(例如,顶表面)。第三组焊球126被模具110围绕。第一基板106包括可电连接至第一管芯108和/或第一组焊球116的一组迹线和/或通孔。

[0009] 第二管芯107和第三管芯109耦合至第二基板105的第一表面(例如,顶表面)。第二管芯107通过第一组引线接合117电耦合至第二基板105的迹线和/或通孔。第三管芯109通过第二组引线接合119电耦合至第二基板105的迹线和/或通孔。第二组焊球115耦合至第二基板105的第二表面(例如,底表面)。

[0010] 图2解说了常规的层叠封装(PoP)集成器件。如图2中所示,集成器件200包括图1的第一封装102和第二封装104。如图2中所示,当第一封装102耦合至第二封装104时,第二封装104的第二组焊球115耦合至第一封装102的第三组焊球126。

[0011] 图1和2中所示的层叠封装(PoP)配置的一个主要缺点在于,其创建了具有对于移动计算设备的需要而言可能过大的形状因子的集成器件。即,图2中示出的PoP配置可能太厚和/或具有太大以至于不能满足移动计算设备的需要和/或要求的表面面积。具体地,存在减小集成器件、特别是将要在移动设备中实现的集成器件的大小的不断需要。此外,制造PoP配置的工艺可能是复杂且昂贵的。

[0012] 因此,存在对具有改进的形状因子(例如,更小、更窄、更薄)的节省成本的集成封装的需要。理想地,此类集成封装将提供较高密度连接以及比目前的集成封装更节省(例如,更便宜)的成本来制造。

[0013] 概述

[0014] 本文描述的各种特征、装置、和方法提供了包括具有穿过封装层的侧势垒层的通孔的集成器件。

[0015] 第一示例提供了一种包括封装层、穿过封装层的通孔结构、以及焊盘的集成器件。该通孔结构包括包含第一侧、第二侧和第三侧的通孔。该通孔结构还包括围绕通孔的至少第一侧和第三侧的势垒层。焊盘直接耦合至通孔结构的势垒层。

[0016] 根据一方面，该集成器件包括耦合至封装层的第一表面的第一电介质层。在一些实现中，该集成器件包括耦合至封装层的第二表面的第二电介质层。

[0017] 根据一个方面，该集成器件包括耦合至封装层的第一表面的基板。在一些实现中，该集成器件包括耦合到基板的第一管芯，其中封装层封装该第一管芯。在一些实现中，通孔结构进一步包括填充物。

[0018] 根据一方面，通孔包括晶种层。

[0019] 根据一个方面，通孔包括配置成作为焊盘来操作的部分。

[0020] 根据一方面，该集成器件包括至少中介体、封装器件、和/或层叠封装 (PoP) 器件中的一者。

[0021] 根据一个方面，集成器件被纳入在音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板式计算机、和/或膝上型计算机中的至少一者中。

[0022] 第二示例提供了一种包括封装层、穿过封装层的通孔结构、以及焊盘的装置。该通孔结构包括包含第一侧、第二侧和第三侧的通孔。该通孔结构包括围绕通孔的至少第一侧和第三侧的势垒装置。焊盘直接耦合至通孔结构的势垒层。

[0023] 根据一方面，该装置包括耦合至封装层的第一表面的第一电介质层。在一些实现中，该装置包括耦合至封装层的第二表面的第二电介质层。

[0024] 根据一个方面，该装置包括耦合至封装层的第一表面的基板。在一些实现中，该装置包括耦合到基板的第一管芯，其中封装层封装该第一管芯。

[0025] 根据一方面，通孔结构包括填充装置。

[0026] 根据一个方面，通孔包括晶种层。

[0027] 根据一个方面，通孔包括配置成作为焊盘来操作的部分。

[0028] 根据一个方面，该装置包括至少中介体、封装器件、和/或层叠封装 (PoP) 器件中的一者。

[0029] 根据一个方面，该装置被纳入到以下至少一者中：音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、和/或膝上型计算机。

[0030] 第三示例提供了一种用于制造集成器件的方法。该方法包括在基板上形成焊盘。该方法在基板上形成封装层。该方法在封装层中形成通孔结构，其中形成通孔结构包括(1)在封装层中形成势垒层，以及(2)在势垒层上形成通孔，该通孔包括第一侧、第二侧和第三侧，该通孔被形成在势垒层上以使得势垒层围绕通孔的至少第一侧和第三侧，其中该势垒层直接耦合至焊盘。

[0031] 根据一方面，该方法在封装层的第一表面上形成第一电介质层。

- [0032] 根据一个方面,该方法在封装层的第二表面上形成第二电介质层。
- [0033] 根据一方面,该方法移除基板的至少一部分。
- [0034] 根据一个方面,该方法将第一管芯耦合至基板,其中形成封装层包括用封装层来封装第一管芯。
- [0035] 根据一方面,形成通孔结构包括形成填充物。
- [0036] 根据一个方面,形成通孔包括在势垒层上形成晶种层。
- [0037] 根据一方面,形成通孔包括将通孔的一部分形成为焊盘。
- [0038] 根据一个方面,该集成器件包括至少中介体、封装器件、和/或层叠封装 (PoP) 器件中的一者。
- [0039] 根据一个方面,该集成器件被纳入在音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板式计算机、和/或膝上型计算机中的至少一者中。
- [0040] 附图
- [0041] 在结合附图理解下面阐述的详细描述时,各种特征、本质和优点会变得明显,在附图中,相像的附图标记贯穿始终作相应标识。
- [0042] 图1解说了第一封装耦合至第二封装的剖面图。
- [0043] 图2解说了常规的层叠封装 (PoP) 器件。
- [0044] 图3解说了包括侧势垒层的穿透封装通孔 (TEV) 的示例。
- [0045] 图4解说了包括具有侧势垒层的穿透封装通孔 (TEV) 的集成器件的示例。
- [0046] 图5(包括图5A、5B和5C)解说了用于提供/制造包括具有侧势垒层的穿透封装通孔 (TEV) 的集成器件的示例性序列。
- [0047] 图6解说了包括具有侧势垒层的穿透封装通孔 (TEV) 的中介体的示例。
- [0048] 图7(包括图7A、7B和7C)解说了用于提供/制造包括具有侧势垒层的穿透封装通孔 (TEV) 的集成器件的示例性序列。
- [0049] 图8解说了包括侧势垒层和填充物的穿透封装通孔 (TEV) 的示例。
- [0050] 图9解说了包括具有侧势垒层的穿透封装通孔 (TEV) 的集成器件的示例。
- [0051] 图10(包括图10A、10B和10C)解说了用于提供/制造包括具有侧势垒层的穿透封装通孔 (TEV) 的集成器件的示例性序列。
- [0052] 图11解说了包括具有侧势垒层和填充物的穿透封装通孔 (TEV) 的中介体的示例。
- [0053] 图12(包括图12A、12B和12C)解说了用于提供/制造包括具有侧势垒层的穿透封装通孔 (TEV) 的集成器件的示例性序列。
- [0054] 图13解说了用于提供/制造包括具有侧势垒层的穿透封装通孔 (TEV) 的集成器件的方法的示例性流程图。
- [0055] 图14解说了可集成本文描述的集成器件、半导体器件、管芯、集成电路和/或PCB的各种电子设备。
- [0056] 详细描述
- [0057] 在以下描述中,给出了具体细节以提供对本公开的各方面的透彻理解。然而,本领域普通技术人员将理解,没有这些具体细节也可实践这些方面。例如,电路可能用框图示出以避免使这些方面湮没在不必要的细节中。在其他实例中,公知的电路、结构和技术可能不

被详细示出以免模糊本公开的这些方面。

[0058] 总览

[0059] 一些新颖特征涉及一种包括封装层、穿过封装层的通孔结构、以及焊盘的集成器件(例如,集成封装、中介体)。该通孔结构包括包含第一侧、第二侧和第三侧的通孔。该通孔结构还包括围绕通孔的至少第一侧和第三侧的势垒层。焊盘直接耦合至通孔结构的势垒层。在一些实现中,通孔结构还包括填充物(例如,聚合物填充物)。在一些实现中,该集成器件包括耦合至封装层的第一表面的第一电介质层。在一些实现中,该集成器件包括耦合至封装层的第二表面的第二电介质层。在一些实现中,该集成器件包括耦合至封装层的第一表面的基板。在一些实现中,该集成器件包括耦合到基板的第一管芯,其中封装层封装该第一管芯。在一些实现中,基板包括一组穿透基板通孔(TSV)。在一些实现中,通孔包括晶种层。在一些实现中,通孔包括配置成作为焊盘来操作的部分。

[0060] 包括具有穿过封装层的侧势垒层的通孔的示例性集成器件

[0061] 图3解说了可在集成器件(例如,集成封装器件、层叠封装(PoP)器件、中介体)中实现的一组穿透封装通孔(TEV)的示例。

[0062] 具体地,图3解说了基板302、绝缘层304、封装层306、以及电介质层308。图3还解说了第一焊盘310、第一势垒层312、穿透封装通孔(TEV)314、以及空腔315。第一焊盘310位于基板302中。不同实现可以将不同材料用于基板302(例如,硅、玻璃、陶瓷、有机)。在一些实现中,基板302是晶片级基板。

[0063] 第一焊盘310是金属材料(例如,铝)。绝缘层304耦合至基板302的第一表面(例如,顶表面)。在一些实现中,绝缘层304是钝化层。在一些实现中,绝缘层304是电介质。在一些实现中,绝缘层304至少部分地覆盖第一焊盘310。不同实现可将不同材料用于绝缘层304(例如,不同电介质材料)。在一些实现中,绝缘层304是氮化硅(SiN)层。

[0064] 在一些实现中,封装层306耦合至绝缘层304。例如,封装层306的第一表面(例如,底表面)耦合至绝缘层304的第二表面(例如,顶表面)。不同实现可以将不同材料用于封装层306。在一些实现中,封装层306是薄膜层。在一些实现中,封装层306由具有可光图案化的性质的材料制成。在一些实现中,封装层306由可通过光蚀刻工艺来移除(例如,蚀刻)的材料制成。在一些实现中,封装层306上的光蚀刻工艺确保封装的其他组件在形成TEV的过程中在封装层306中形成(例如,创建)空腔时不会被损坏。例如,在一些实现中,在可光图案化的封装层306上使用光蚀刻工艺确保焊盘310不会被损坏(在激光被用于在封装层306中创建空腔的情况下将会是这种情形)。例如,当激光工艺被用于在焊盘(例如,焊盘310)上的封装层中创建空腔时,激光将损坏和/或毁坏焊盘(例如,焊盘310),这将防止TEV正确地耦合至基板中的互连。

[0065] 第一势垒层312和TEV 314位于封装层306中。TEV 314是穿过封装层306的金属层(例如,铜)。在一些实现中,TEV 314包括晶种层。在此类实例中,TEV 314包括金属层(例如,铜层)和晶种层。在一些实现中,晶种层在TEV 314的金属层与势垒层312之间。TEV 314具有第一侧(例如,底侧)、第二侧(例如,顶侧)、以及第三侧(例如,垂直侧)。在一些实现中,TEV 314的第三侧可以是TEV 314的壁。在一些实现中,TEV 314可具有非水平侧。例如,TEV 314可具有非垂直或非水平侧(例如,对角侧)。

[0066] 如图3中所示,第一势垒层312耦合至TEV 314。具体地,TEV 314在封装层306中被

第一势垒层312围绕。第一势垒层312耦合至TEV 314的第一侧和TEV 314的第三侧(例如,垂直侧)。因此,如图3中所示,在一些实现中,TEV 314不与封装层306直接接触(例如,没有直接接触)。不同实现可以将不同材料用于第一势垒层312。在一些实现中,第一势垒层312是至少钛(Ti)、TiN和/或TiW中的一者。然而,第一势垒层312可以是其他材料并且不限于所列出的材料。

[0067] 第一势垒层312耦合至第一焊盘310。在一些实现中,第一势垒层312至少部分地被绝缘层304围绕。

[0068] 电介质层308耦合至封装层306。在一些实现中,电介质层308的第一表面(例如,底表面)耦合至封装层306的第二表面(例如,顶表面)。在一些实现中,电介质层308的第二表面(例如,顶表面)可与TEV 314的顶表面对齐。在一些实现中,电介质层308可包括打开电介质层308并使TEV 314的顶表面的一部分暴露的空腔315。

[0069] 如图3中所示,TEV 314是以TEV 314是通孔和焊盘两者的方式来配置的。在一些实现中,通孔和焊盘的组合可被称为通孔结构。在一些实现中,通孔结构包括TEV 314和第一势垒层312。在一些实现中,TEV 314具有T形。在一些实现中,第一势垒层312具有U形。

[0070] 如图3中所示,包括第一势垒层312和TEV 314的通孔结构可在不同集成器件中实现。在一些实现中,通孔结构可在集成封装器件(例如,层叠封装(PoP)器件)中实现。

[0071] 图3解说了第一焊盘310被嵌入在基板302中。然而,在一些实现中,第一焊盘310位于基板302的表面上。

[0072] 图4解说了包括一组通孔结构401的集成封装器件400。在一些实现中,通孔结构401可以是图3中所示的通孔结构、和/或本公开中描述和解说的任何新颖的通孔结构。

[0073] 如图4中所示,集成封装器件400包括基板402、第一管芯404、第二管芯406、第一组互连414、第二组互连416、封装层418、第一电介质层420、第二电介质层422、一组穿透基板通孔(TSV)424、第三组互连426、一组焊球428、以及第一焊盘430。在一些实现中,基板402可包括一组互连(例如,迹线、通孔)(其为了清楚的目的而未示出)。该组互连可耦合至一个或多个焊盘(例如,焊盘430)和/或第三组互连426。

[0074] 第一管芯404通过第一组互连414(例如,第一凸块、第一柱互连、第一焊料)耦合至基板402。第二管芯406通过第二组互连416(例如,第二凸块、第二柱互连、第二焊料)耦合至基板402。封装层418覆盖第一和第二管芯404和406。

[0075] 该组通孔结构401穿过封装层418并且耦合至基板402。在一些实现中,该组通孔结构401耦合至至少第一焊盘430。在一些实现中,第一焊盘430耦合至该组TSV 424中的至少一个TSV。来自该组TSV 424中的至少一个TSV可以耦合至第三组互连426。来自第三组互连426的至少一个互连可耦合至来自该组焊球428的焊球。

[0076] 在一些实现中,电介质层409耦合(例如,形成)在基板402的第一表面上。在一些实现中,电介质层409与绝缘层304相似和/或相同。在一些实现中,封装层418耦合至电介质层409。

[0077] 通孔结构401之一包括至少第一势垒层403(例如,第一势垒层312)和穿过封装通孔(TEV)405(例如,TEV 314)。第一势垒层403和TEV 405位于封装层418中。TEV 405是穿过封装层418的金属层(例如,铜)。在一些实现中,TEV 405包括晶种层。在此类实例中,TEV 405包括金属层(例如,铜层)和晶种层。在一些实现中,晶种层在TEV 405的金属层与势垒层

403之间。TEV 405具有第一侧(例如,底侧)、第二侧(例如,顶侧)、以及第三侧(例如,垂直侧)。在一些实现中,TEV 405的第三侧可以是TEV 405的壁。在一些实现中,TEV 405的垂直侧垂直于封装层418的顶表面和/或底表面。

[0078] 第一势垒层403耦合至TEV 405。具体地,TEV 405在封装层418中被第一势垒层403围绕。第一势垒层403耦合至TEV 405的第一侧和TEV 405的第三侧(例如,垂直侧)。因此,如图4中所示,在一些实现中,TEV 405不与封装层418直接接触(例如,没有直接接触)。

[0079] 图4解说了第一焊盘430被嵌入在基板402中。然而,在一些实现中,第一焊盘430位于基板402的表面上。尽管在图4中出于清楚的目的而未示出,但是第一焊盘430耦合至基板402中的互连(例如,通孔、迹线)。

[0080] 在一些实现中,集成器件400是来自层叠封装(PoP)集成器件的封装(例如,集成封装)。由此,在一些实现中,另一集成器件(例如,另一封装)可耦合至集成器件400。例如,包括基板和互连(例如,焊球)的另一集成器件可耦合至集成器件400的顶部。在此类实例中,互连(例如,焊球)可耦合至集成器件400的通孔结构401。

[0081] 用于提供/制造包括具有穿过封装层的侧势垒层的通孔的集成器件的示例性序列

[0082] 在一些实现中,提供包括通孔结构的集成器件(例如,集成封装)包括数个工艺。图5(包括图5A-5C)解说了用于提供集成器件的示例性序列。在一些实现中,图5A-5C的序列可被用于提供/制造图3和/或4的集成器件和/或本公开中所描述的其他集成器件。

[0083] 还应当注意,图5A-5C的序列可被用于提供/制造还包括电路元件的集成器件。进一步应当注意,图5A-5C的序列可以组合一个或多个阶段以简化和/或阐明用于提供集成器件的序列。

[0084] 在一些实现中,图5A-5C的过程解说了提供具有高密度互连的集成器件的新颖过程。

[0085] 如图5A的阶段1中所示,提供(例如,制造)基板502。在一些实现中,基板502是晶片。不同实现可以将不同材料用于该基板(例如,硅基板、玻璃基板、陶瓷基板、有机基板)。基板502包括一组穿透基板通孔(TSV)504和一组焊盘505。在一些实现中,基板502还可包括其他互连(例如,迹线)。该组焊盘505位于基板502的第一表面(例如,顶表面)上。在一些实现中,该组焊盘505被嵌入在基板502的第一表面中。在一些实现中,电介质层503耦合(例如,形成)在基板502的第一表面上。在一些实现中,电介质层503与绝缘层304相似和/或相同。电介质层503可在多个焊盘505和/或一组或多组TSV 504上方包括一个或多个开口和/或空腔。在一些实现中,基板502可包括一组互连(例如,迹线、通孔)(其出于清楚的目的而未示出)。该组互连可耦合至一个或多个焊盘(例如,焊盘505)。

[0086] 在阶段2,第一管芯506和第二管芯508耦合至基板502。第一管芯506通过第一组互连516(例如,第一柱、第一焊料)耦合至基板502。在一些实现中,第一组互连中的至少一个互连电耦合至来自该组TSV 504的至少一个TSV。第二管芯508通过第二组互连518(例如,第一柱、第一焊料)耦合至基板502。在一些实现中,第二组互连518中的至少一个互连电耦合至来自该组TSV 504的至少一个TSV。

[0087] 在阶段3,在基板502上提供(例如,形成)封装层520和/或在基板502上提供(例如,形成)电介质层503。封装层520封装第一管芯506和第二管芯508。在一些实现中,封装层520可直接耦合至基板502。不同实现可以将不同材料用于封装层520。在一些实现中,封装层

520是薄膜层。在一些实现中,封装层520由具有可光图案化的性质的材料制成。

[0088] 在阶段4,在封装层520中形成至少一个空腔525。在一些实现中,在焊盘(例如,焊盘505)上形成(例如,创建)空腔525。在一些实现中,空腔525是通过使用光蚀刻工艺(例如,光刻工艺)来形成的。

[0089] 在阶段5,提供(例如,形成、沉积)势垒层530。在一些实现中,镀敷工艺被用于形成势垒层530。势垒层530可覆盖空腔525的内壁、焊盘505的至少一部分、和/或封装层520的第一表面。不同实现可以将不同材料用于势垒层530。在一些实现中,势垒层530是至少钛(Ti)、(TiN)、铝铜(AlCu)、钛铜合金(TiCu)和/或钛钨铜合金(TiWCu)中的一者。然而,不同实现可使用不同材料。由此,用于势垒层530的材料应当不限于以上列成的材料。

[0090] 在势垒层530上还提供(例如,形成、沉积)晶种层532。在一些实现中,镀敷工艺被用于在势垒层530上形成晶种层532。不同实现可将不同材料用于晶种层532。在一些实现中,晶种层532是金属层。

[0091] 在阶段6,在晶种层532上提供(例如,形成、沉积)光阻层534。在一些实现中,提供光阻层534包括提供光阻层534并且选择性地移除光阻层534的一些部分。

[0092] 在阶段7,在晶种层532上提供(例如,形成、沉积)金属层536。在一些实现中,在不被光阻层534覆盖的晶种层532上提供金属层536。在一些实现中,光刻和镀敷工艺被用于在晶种层532上提供金属层536。在一些实现中,金属层536和晶种层532是相同材料。因此,在一些实现中,金属层536可包括晶种层532。

[0093] 在阶段8,选择性地移除(例如,蚀刻)光阻层534、晶种层532和势垒层530。在一些实现中,并发地移除光阻层534、晶种层532和势垒层530。在一些实现中,顺序地移除光阻层534、晶种层532和势垒层530。如阶段8所示,在选择性地移除光阻层534、晶种层532和势垒层530之后制造通孔结构538。在一些实现中,通孔结构538是图3-4中描述的通孔结构之一。

[0094] 在阶段9,可任选地在封装层520的第二表面上提供(例如,形成)电介质层540。在一些实现中,电介质层540的表面与通孔结构538的表面对齐。在一些实现中,电介质层540可覆盖通孔结构538,并且空腔可在通孔结构538的一部分上形成。

[0095] 在阶段10,可任选地在基板502的第二表面(例如,底表面)上提供(例如,形成)另一电介质层550。另外,还在电介质层上/中提供一组互连552。在一些实现中,该组互连552包括重分布层和/或凸块下金属化(UBM)层中的至少一者。在一些实现中,来自该组互连552的至少一个互连电耦合至来自该组TSV 504的至少一个TSV。

[0096] 在阶段11,一组焊球554耦合至该组互连552。在一些实现中,在阶段10之后,制造包括封装层和包含侧势垒层的通孔结构的集成器件560。

[0097] 包括具有穿过封装层的侧势垒层的通孔的示例性集成器件

[0098] 图6解说了包括一组通孔结构610的集成封装器件。具体地,图6解说了包括一组通孔结构610的中介体600的示例。在一些实现中,通孔结构610可以是图3中所示的通孔结构、和/或本公开中描述和解说了任何新颖的通孔结构。

[0099] 如图6中所示,中介体600包括封装层602、第一电介质层604、基板606、第一焊盘608、和该组通孔结构610。第一电介质层604耦合至封装层602的第一表面(例如,顶表面)。基板606耦合至封装层602的第二表面(例如,底表面)。在一些实现中,第二电介质层(例如,封装层304)可定位在基板606与封装层602的第二表面之间。

[0100] 该组通孔结构610穿过封装层602。在一些实现中,该组通孔结构610耦合至至少第一焊盘608。通孔结构610之一包括至少势垒层612和穿透封装通孔(TEV)614。势垒层612和TEV 614位于封装层602中。在一些实现中,势垒层612耦合至焊盘608(例如,与其直接接触)。TEV 614是穿过封装层602的金属层(例如,铜)。在一些实现中,TEV 614包括晶种层。在此类实例中,TEV 614包括金属层(例如,铜层)和晶种层。在一些实现中,晶种层在TEV 614的金属层与势垒层612之间。TEV 614具有第一侧(例如,底侧)、第二侧(例如,顶侧)、以及第三侧(例如,垂直侧)。在一些实现中,TEV 614的第三侧可以是TEV 614的壁。在一些实现中,TEV 614的垂直侧垂直于封装层602的顶表面和/或底表面。

[0101] 势垒层612耦合至TEV 614。具体地,TEV 614在封装层602中被势垒层612围绕。势垒层612耦合至TEV 614的第一侧和TEV 614的垂直侧。因此,如图6中所示,在一些实现中,TEV 614不与封装层602直接接触(例如,没有直接接触)。

[0102] 用于提供/制造包括具有穿过封装层的侧势垒层的通孔的集成器件的示例性序列

[0103] 在一些实现中,集成器件可包括中介体。在一些实现中,提供包括通孔结构的集成器件(例如,集成封装)包括数个工艺。图7(包括图7A-7C)解说了用于提供集成器件的示例性序列。在一些实现中,图7A-7C的序列可被用于提供/制造图3、4和/或6的集成器件和/或本公开中所描述的其他集成器件。

[0104] 进一步应当注意,图7A-7C的序列可以组合一个或多个阶段以简化和/或阐明用于提供集成器件的序列。

[0105] 在一些实现中,图7A-7C的过程解说了提供具有高密度互连的集成器件(例如,中介体)的新颖过程。

[0106] 如图7A的阶段1中所示,提供(例如,制造)载体702。在一些实现中,载体702是至少基板和/或晶片中的一者。不同实现可以将不同材料用于该载体(例如,硅基板、玻璃基板、陶瓷基板、有机基板)。载体702包括一组焊盘705。在一些实现中,载体702还可包括其他互连(例如,迹线)。该组焊盘705被嵌入在载体702的第一表面(例如,顶表面)中。在一些实现中,该组焊盘705位于载体702的第一表面(例如,顶表面)上。在一些实现中,电介质层703耦合(例如,形成)在基板704的第一表面上。在一些实现中,电介质层与绝缘层304相似和/或相同。

[0107] 在阶段2,在载体702上提供(例如,形成)封装层720和/或在载体702上提供(例如,形成)电介质层703。在一些实现中,封装层720封装焊盘705。在一些实现中,封装层720可直接耦合至载体702。不同实现可以将不同材料用于封装层720。在一些实现中,封装层720是薄膜层。在一些实现中,封装层720由具有可光图案化的性质的材料制成。在一些实现中,封装层720由可通过光蚀刻工艺来移除(例如,蚀刻)的材料制成。

[0108] 在阶段3,在封装层725中形成至少一个空腔720。在一些实现中,在焊盘(例如,焊盘705)上形成(例如,创建)空腔725。在一些实现中,空腔725是通过使用光蚀刻工艺(例如,光刻工艺)来形成的。

[0109] 在阶段4,提供(例如,形成、沉积)势垒层730。在一些实现中,镀敷工艺被用于形成势垒层730。势垒层730可覆盖空腔725的内壁、焊盘705的至少一部分、和/或封装层720的第一表面。不同实现可以将不同材料用于势垒层730。不同实现可以将不同材料用于势垒层730。在一些实现中,势垒层730是至少钛(Ti)、(TiN)、铝铜(AlCu)、钛铜合金(TiCu)和/或钛

钨铜合金 (TiWCu) 中的一者。

[0110] 在势垒层730上还提供(例如,形成、沉积)晶种层732。在一些实现中,镀敷工艺被用于在势垒层730上形成晶种层732。不同实现可将不同材料用于晶种层732。在一些实现中,晶种层732是金属层。

[0111] 在阶段5,在晶种层732上提供(例如,形成、沉积)光阻层734。在一些实现中,提供光阻层734包括提供光阻层734并且选择性地移除光阻层734的一些部分。

[0112] 在阶段6,在晶种层732上提供(例如,形成、沉积)金属层736。在一些实现中,在不被光阻层734覆盖的晶种层732上提供金属层736。在一些实现中,光刻和镀敷工艺被用于在晶种层732上提供金属层736。在一些实现中,金属层736和晶种层732是相同材料。因此,在一些实现中,金属层736可包括晶种层732。

[0113] 在阶段7,选择性地移除(例如,蚀刻)光阻层734、晶种层732和势垒层730。在一些实现中,并发地移除光阻层734、晶种层732和势垒层730。顺序地移除光阻层734、晶种层732和势垒层730。如阶段7所示,在选择性地移除光阻层734、晶种层732和势垒层730之后制造通孔结构738。

[0114] 在一些实现中,通孔结构738是图3-4中描述的通孔结构之一。

[0115] 在阶段8,可任选地在封装层720的第二表面上提供(例如,形成)电介质层740。在一些实现中,电介质层740的表面与通孔结构738的表面对齐。在一些实现中,电介质层740可覆盖通孔结构738,并且空腔可在通孔结构738的一部分上形成。

[0116] 在阶段8,移除(例如,抛光、研磨、蚀刻)载体702的至少一部分。在一些实现中,移除载体702直至载体702的表面与焊盘705的表面对齐。在一些实现中,在阶段9之后,制造包括封装层和包含侧势垒层的通孔结构的集成器件760。

[0117] 包括具有穿过封装层的侧势垒层和填充物的通孔的示例性集成器件

[0118] 图8解说了可在集成器件(例如,集成封装器件、层叠封装(PoP)器件、中介体)中实现的一组穿透封装通孔(TEV)的示例。

[0119] 具体地,图8解说了基板802、绝缘层804、封装层806、以及电介质层808。图8还解说了第一焊盘810、第一势垒层812、穿透封装通孔(TEV)814、填充物816、以及空腔817。第一焊盘810位于基板802中。不同实现可以将不同材料用于基板802(例如,硅、玻璃、陶瓷、有机)。在一些实现中,基板802是晶片级基板。

[0120] 第一焊盘810是金属材料(例如,铝)。绝缘层804耦合至基板802的第一表面(例如,顶表面)。在一些实现中,绝缘层804是钝化层。在一些实现中,绝缘层804是电介质。在一些实现中,绝缘层804至少部分地覆盖第一焊盘810。不同实现可将不同材料用于绝缘层804(例如,不同电介质材料)。在一些实现中,绝缘层804是氮化硅(SiN)层。

[0121] 在一些实现中,封装层806耦合至绝缘层804。例如,封装层806的第一表面(例如,底表面)耦合至绝缘层804的第二表面(例如,顶表面)。不同实现可以将不同材料用于封装层806。在一些实现中,封装层806是薄膜层。在一些实现中,封装层806由具有可光图案化的性质的材料制成。在一些实现中,封装层806由可通过光蚀刻工艺来移除(例如,蚀刻)的材料制成。在一些实现中,封装层806上的光蚀刻工艺确保封装的其他组件在形成TEV的过程中在封装层806中形成(例如,创建)空腔时不会被损坏。例如,在一些实现中,在可光图案化的封装层806上使用光蚀刻工艺确保焊盘810不会被损坏(在激光被用于在封装层806中创

建空腔的情况下将会是这种情形)。例如,当激光工艺被用于在焊盘(例如,焊盘810)上的封装层中创建空腔时,激光将损坏和/或毁坏焊盘(例如,焊盘810),这将防止TEV正确地耦合至基板中的互连。

[0122] 第一势垒层812、TEV 814、以及填充物816位于封装层806中。TEV 814是穿过封装层806的金属层(例如,铜)。在一些实现中,TEV 814包括晶种层。在此类实例中,TEV 814包括金属层(例如,铜层)和晶种层。在一些实现中,晶种层在TEV 814的金属层与势垒层812之间。TEV 814具有第一侧(例如,底侧)、第二侧(例如,顶侧)、以及第三侧(例如,垂直侧)。在一些实现中,TEV 814的第三侧可以是TEV 814的壁。在一些实现中,TEV 814可具有非水平侧。例如,TEV 814可具有非垂直或非水平侧(例如,对角侧)。不同实现可将不同材料用于填充物816。例如,填充物816可包括聚合物填充物。在一些实现中,填充物816为通孔结构提供结构稳定性。

[0123] 图8解说了TEV 814遵循势垒层812的形状。在此示例中,势垒层812具有U形横截面。类似地,TEV 814具有U形横截面。图8还解说了填充物816耦合至TEV 814。具体地,填充物816被TEV 814围绕。第一势垒层812耦合至TEV 814。具体地,TEV 814在封装层806中被第一势垒层812围绕。第一势垒层812耦合至TEV 814的第一侧和TEV 814的第三侧(例如,垂直侧)。因此,如图8中所示,在一些实现中,TEV 814不与封装层806直接接触(例如,没有直接接触)。不同实现可以将不同材料用于第一势垒层812。在一些实现中,第一势垒层812是至少钛(Ti)、TiN和/或TiW中的一者。然而,第一势垒层812可以是其他材料并且不限于所列出的材料。

[0124] 第一势垒层812耦合至第一焊盘810。在一些实现中,第一势垒层812至少部分地被绝缘层804围绕。

[0125] 电介质层808耦合至封装层806。在一些实现中,电介质层808的第一表面(例如,底表面)耦合至封装层806的第二表面(例如,顶表面)。在一些实现中,电介质层808可包括打开电介质层808并使TEV 814的顶表面的一部分暴露的空腔817。如图8中所示,空腔817使TEV 814的翼部(例如,水平部分)暴露。

[0126] 如图8中所示,TEV 814是以该TEV是通孔和焊盘两者的方式来配置的。在一些实现中,通孔和焊盘的组合可被称为通孔结构。在一些实现中,通孔结构包括TEV 814和第一势垒层812。

[0127] 如图8中所示,包括第一势垒层812和TEV 814的通孔结构可在不同集成器件中实现。在一些实现中,通孔结构可在集成封装器件(例如,层叠封装(PoP)器件)中实现。

[0128] 图8解说了第一焊盘810被嵌入在基板802中。然而,在一些实现中,第一焊盘810位于基板802的表面上。

[0129] 图9解说了包括一组通孔结构901的集成封装器件900。在一些实现中,通孔结构901可以是图8中所示的通孔结构、和/或本公开中描述和解说的任何新颖的通孔结构。

[0130] 如图9中所示,集成封装器件900包括基板902、第一管芯904、第二管芯906、电介质层909、第一组互连914、第二组互连916、封装层918、第一电介质层920、第二电介质层922、一组穿透基板通孔(TSV)924、第三组互连926、一组焊球928、以及第一焊盘930。在一些实现中,基板902可包括一组互连(例如,迹线、通孔)(其出于清楚的目的而未示出的)。该组互连可耦合至一个或多个焊盘(例如,焊盘930)和/或第三组互连926。

[0131] 第一管芯904通过第一组互连914(例如,第一柱、第一焊料)耦合至基板902。第二管芯906通过第二组互连916(例如,第二柱、第二焊料)耦合至基板902。封装层918覆盖第一和第二管芯904和906。

[0132] 该组通孔结构901穿过封装层918并且耦合至基板902。在一些实现中,该组通孔结构901耦合至至少第一焊盘930。在一些实现中,第一焊盘930耦合至该组TSV 924中的至少一个TSV。来自该组TSV 924中的至少一个TSV可以耦合至第三组互连926。来自第三组互连926的至少一个互连可耦合至来自该组焊球928的焊球。

[0133] 在一些实现中,电介质层909耦合(例如,形成)在基板902的第一表面上。在一些实现中,电介质层909与绝缘层804相似和/或相同。在一些实现中,封装层918耦合至电介质层909。

[0134] 通孔结构901之一包括至少第一势垒层903(例如,第一势垒层812)、穿过封装通孔(TEV)905(例如,TEV 814)、以及填充物907。第一势垒层903、TEV 905、以及填充物907位于封装层918中。TEV 905是穿过封装层918的金属层(例如,铜)。在一些实现中,TEV 905包括晶种层。在此类实例中,TEV 905包括金属层(例如,铜层)和晶种层。在一些实现中,晶种层在TEV 905的金属层与势垒层903之间。TEV 905具有第一侧(例如,底侧)、第二侧(例如,顶侧)、以及第三侧(例如,垂直侧)。在一些实现中,TEV 905的第三侧可以是TEV 905的壁。在一些实现中,TEV 905的垂直侧垂直于封装层918的顶表面和/或底表面。不同实现可将不同材料用于填充物907。例如,填充物907可包括聚合物填充物。在一些实现中,填充物907为通孔结构901提供结构稳定性。

[0135] 第一势垒层903耦合至TEV 905。具体地,TEV 905在封装层918中被第一势垒层903围绕。第一势垒层903耦合至TEV 905的第一侧和TEV 905的第三侧(例如,垂直侧)。因此,如图9中所示,在一些实现中,TEV 905不与封装层918直接接触(例如,没有直接接触)。在一些实现中,TEV 905遵循第一势垒层903的形状。填充物907被TEV 905围绕。

[0136] 图9解说了第一焊盘930被嵌入在基板902中。然而,在一些实现中,第一焊盘930位于基板902的表面上。尽管在图9中出于清楚的目的而未示出,但是第一焊盘930耦合至基板902中的互连(例如,通孔、迹线)。

[0137] 在一些实现中,集成器件900是来自层叠封装(PoP)集成器件的封装(例如,集成封装)。由此,在一些实现中,另一集成器件(例如,另一封装)可耦合至集成器件900。例如,包括基板和互连(例如,焊球)的另一集成器件可耦合至集成器件900的顶部。在此类实例中,互连(例如,焊球)可耦合至集成器件900的通孔结构901。

[0138] 用于提供/制造包括具有穿过封装层的侧势垒层和填充物的通孔的集成器件的示例性序列

[0139] 在一些实现中,提供包括通孔结构的集成器件(例如,集成封装)包括数个工艺。图10(包括图10A-10C)解说了用于提供集成器件的示例性序列。在一些实现中,图10A-10C的序列可被用于提供/制造图8和/或9的集成器件和/或本公开中所描述的其他集成器件。

[0140] 还应当注意,图10A-10C的序列可被用于提供/制造还包括电路元件的集成器件。进一步应当注意,图10A-10C的序列可以组合一个或多个阶段以简化和/或阐明用于提供集成器件的序列。

[0141] 在一些实现中,图10A-10C的过程解说了提供具有高密度互连的集成器件的新颖

过程。

[0142] 如图10A的阶段1中所示,提供(例如,制造)基板1002。在一些实现中,基板1002是晶片。不同实现可以将不同材料用于该基板(例如,硅基板、玻璃基板、陶瓷基板、有机基板)。基板1002包括一组穿透基板通孔(TSV)1004和一组焊盘1005。在一些实现中,基板1002还可包括其他互连(例如,迹线)。该组焊盘1005被嵌入在基板1002的第一表面(例如,顶表面)中。在一些实现中,该组焊盘1005位于基板1002的第一表面(例如,顶表面)上。在一些实现中,电介质层1003耦合(例如,形成)在基板1002的第一表面上。在一些实现中,电介质层1003与绝缘层304相似和/或相同。电介质层1003可在一个或多个焊盘1005和/或一组或多组TSV 1004上方包括一个或多个开口和/或空腔。在一些实现中,基板1002可包括一组互连(例如,迹线、通孔)(其出于清楚的目的而未示出)。该组互连可耦合至一个或多个焊盘(例如,焊盘1005)。

[0143] 在阶段2,第一管芯1006和第二管芯1008耦合至基板1002。第一管芯1006通过第一组互连1016(例如,第一柱、第一焊料)耦合至基板1002。在一些实现中,第一组互连中的至少一个互连电耦合至来自该组TSV 1004的至少一个TSV。第二管芯1008通过第二组互连1018(例如,第一柱、第一焊料)耦合至基板1002。在一些实现中,第二组互连1018中的至少一个互连电耦合至来自该组TSV 1004的至少一个TSV。

[0144] 在阶段3,在基板1002上提供(例如,形成)封装层1020和/或在基板1002上提供(例如,形成)电介质层1003。封装层1020封装第一管芯1006和第二管芯1008。在一些实现中,封装层1020可直接耦合至基板1002。不同实现可以将不同材料用于封装层1020。在一些实现中,封装层1020是薄膜层。在一些实现中,封装层1020由具有可光图案化的性质的材料制成。

[0145] 在阶段4,在封装层1020中形成至少一个空腔1025。在一些实现中,在焊盘(例如,焊盘1005)上形成(例如,创建)空腔1025。在一些实现中,空腔1025是通过使用光蚀刻工艺(例如,光刻工艺)来形成的。

[0146] 在阶段5,提供(例如,形成、沉积)势垒层1030。在一些实现中,镀敷工艺被用于形成势垒层1030。势垒层1030可覆盖空腔1025的内壁、焊盘1005的至少一部分、和/或封装层1020的第一表面。不同实现可以将不同材料用于势垒层1030。在一些实现中,势垒层1030是至少钛(Ti)、(TiN)、铝铜(AlCu)、钛铜合金(TiCu)和/或钛钨铜合金(TiWCu)中的一者。然而,不同实现可使用不同材料。由此,用于势垒层1030的材料应当不限于以上列成的材料。

[0147] 在势垒层1030上还提供(例如,形成、沉积)晶种层1032。在一些实现中,镀敷工艺被用于在势垒层1030上形成晶种层1032。不同实现可将不同材料用于晶种层1032。在一些实现中,晶种层1032是金属层。

[0148] 在阶段6,在晶种层1032上提供(例如,形成、沉积)光阻层1034。在一些实现中,提供光阻层1034包括提供光阻层1034并且选择性地移除光阻层1034的一些部分。

[0149] 在阶段7,在晶种层1032上提供(例如,形成、沉积)金属层1036。在一些实现中,在不被光阻层1034覆盖的晶种层1032上提供金属层1036。在一些实现中,光刻和镀敷工艺被用于在晶种层1032上提供金属层1036。在一些实现中,金属层1036和晶种层1032是相同材料。因此,在一些实现中,金属层1036可包括晶种层1032。如阶段7中所示,在晶种层1032上提供金属层1036,以使得金属层1036遵循势垒层1030(例如,与势垒层1030轮廓相合)。阶段

7还解说了金属层1036不完全填充空腔1025,从而留下空腔1037。

[0150] 在阶段8,在空腔1037中提供填充物1039。不同实现可为填充物1039提供不同材料。例如,填充物1039可包括聚合物填充物。在一些实现中,填充物1039被配置成为通孔结构提供结构稳定性。

[0151] 在阶段9,选择性地移除(例如,蚀刻)光阻层1034、晶种层1032和势垒层1030。在一些实现中,并发地移除光阻层1034、晶种层1032和势垒层1030。在一些实现中,顺序地移除光阻层1034、晶种层1032和势垒层1030。如阶段9所示,在选择性地移除光阻层1034、晶种层1032和势垒层1030之后制造通孔结构1038。在一些实现中,通孔结构1038是图8-9中描述的通孔结构之一。

[0152] 在阶段10,可任选地在封装层1020的第二表面上提供(例如,形成)电介质层1040。在一些实现中,电介质层1040的表面与通孔结构1038的表面对齐。在一些实现中,电介质层1040可覆盖通孔结构1038,并且空腔可在通孔结构1038的一部分上形成。

[0153] 在阶段11,可任选地在基板1002的第二表面(例如,底表面)上提供(例如,形成)另一电介质层1050。另外,还在电介质层1050上/中提供一组互连1052。在一些实现中,该组互连1052包括重分布层和/或凸块下金属化(UBM)层中的至少一者。在一些实现中,来自该组互连1052的至少一个互连电耦合至来自该组TSV 1004的至少一个TSV。

[0154] 在阶段12,一组焊球1054耦合至该组互连1052。在一些实现中,在阶段10之后,制造包括封装层和包含侧势垒层的通孔结构的集成器件1060。

[0155] 包括具有穿过封装层的侧势垒层和填充物的通孔的示例性集成器件

[0156] 图11解说了包括一组通孔结构1110的集成封装器件。具体地,图11解说了包括一组通孔结构1110的中介体1100的示例。在一些实现中,通孔结构1110可以是图8中所示的通孔结构、和/或本公开中描述和解说的任何新颖的通孔结构。

[0157] 如图11中所示,中介体1100包括封装层1102、第一电介质层1104、基板1106、第一焊盘1108、和一组通孔结构1110。第一电介质层1104耦合至封装层1102的第一表面(例如,顶表面)。基板1106耦合至封装层1102的第二表面(例如,底表面)。在一些实现中,第二电介质层(例如,封装层304)可定位在基板1106与封装层1102的第二表面之间。

[0158] 该组通孔结构1110穿过封装层1102。在一些实现中,该组通孔结构1110耦合至至少第一焊盘1108。通孔结构1110之一包括至少势垒层1112、穿透封装通孔(TEV)1114、以及填充物1116。势垒层1112、TEV 1114、以及填充物1116位于封装层1102中。在一些实现中,势垒层1112耦合至焊盘1108(例如,与其直接接触)。TEV 1114是穿过封装层1102的金属层(例如,铜)。在一些实现中,TEV 1114包括晶种层。在此类实例中,TEV 1114包括金属层(例如,铜层)和晶种层。在一些实现中,晶种层在TEV 1114的金属层与势垒层1112之间。TEV 1114具有第一侧(例如,底侧)、第二侧(例如,顶侧)、以及第三侧(例如,垂直侧)。在一些实现中,TEV 1114的第三侧可以是TEV 1114的壁。在一些实现中,TEV 1114可具有非水平侧。例如,TEV 1114可具有非垂直或非水平侧(例如,对角侧)。不同实现可将不同材料用于填充物1116。例如,填充物1116可包括聚合物填充物。在一些实现中,填充物1116为通孔结构提供结构稳定性。

[0159] 图11解说了TEV 1114遵循势垒层1112的形状。在此示例中,势垒层1112具有U形横截面。类似地,TEV 1114具有U形横截面。图11还解说了填充物1116耦合至TEV 1114。具体

地,填充物1116被TEV 1114围绕。第一势垒层1112耦合至TEV 1114。具体地,TEV 1114在封装层1102中被第一势垒层1112围绕。第一势垒层1112耦合至TEV 1114的第一侧和TEV 1114的第三侧(例如,垂直侧)。因此,如图11中所示,在一些实现中,TEV 1114不与封装层1102直接接触(例如,没有直接接触)。不同实现可以将不同材料用于第一势垒层1112。在一些实现中,第一势垒层1112是至少钛(Ti)、TiN和/或TiW中的一者。然而,第一势垒层1112可以是其他材料并且不限于所列出的材料。

[0160] 用于提供/制造包括具有穿过封装层的侧势垒层和填充物的通孔的集成器件的示例性序列

[0161] 在一些实现中,集成器件可包括中介体。在一些实现中,提供包括通孔结构的集成器件(例如,集成封装)包括数个工艺。图12(包括图12A-12C)解说了用于提供集成器件的示例性序列。在一些实现中,图12A-12C的序列可被用于提供/制造图8、9和/或11的集成器件和/或本公开中所描述的其他集成器件。

[0162] 进一步应当注意,图12A-12C的序列可以组合一个或多个阶段以简化和/或阐明用于提供集成器件的序列。

[0163] 在一些实现中,图12A-12C的过程解说了提供具有高密度互连的集成器件(例如,中介体)的新颖过程。

[0164] 如图12A的阶段1中所示,提供(例如,制造)载体1202。在一些实现中,载体1202是至少基板和/或晶片中的一者。不同实现可以将不同材料用于该载体(例如,硅基板、玻璃基板、陶瓷基板、有机基板)。载体1202包括一组焊盘1205。在一些实现中,载体1202还可包括其他互连(例如,迹线)。该组焊盘1205被嵌入在载体1202的第一表面(例如,顶表面)中。在一些实现中,该组焊盘1205位于载体1202的第一表面(例如,顶表面)上。在一些实现中,电介质层1203耦合(例如,形成)在基板1204的第一表面上。在一些实现中,电介质层与绝缘层304相似和/或相同。

[0165] 在阶段2,在载体1202上提供(例如,形成)封装层1220和/或在载体1202上提供(例如,形成)电介质层1203。在一些实现中,封装层1220封装焊盘1205。在一些实现中,封装层1220可直接耦合至载体1202。不同实现可以将不同材料用于封装层1220。在一些实现中,封装层1220是薄膜层。在一些实现中,封装层1220由具有可光图案化的性质的材料制成。在一些实现中,封装层1220由可通过光蚀刻工艺来移除(例如,蚀刻)的材料制成。

[0166] 在阶段3,在封装层1220中形成至少一个空腔1225。在一些实现中,在焊盘(例如,焊盘1205)上形成(例如,创建)空腔1225。在一些实现中,空腔1225是通过使用光蚀刻工艺(例如,光刻工艺)来形成的。

[0167] 在阶段4,提供(例如,形成、沉积)势垒层1230。在一些实现中,镀敷工艺被用于形成势垒层1230。势垒层1230可覆盖空腔1225的内壁、焊盘1205的至少一部分、和/或封装层1220的第一表面。不同实现可以将不同材料用于势垒层1230。不同实现可以将不同材料用于势垒层1230。在一些实现中,势垒层1230是至少钛(Ti)、(TiN)、铝铜(A1Cu)、钛铜合金(TiCu)和/或钛钨铜合金(TiWCu)中的一者。

[0168] 在势垒层1230上还提供(例如,形成、沉积)晶种层1232。在一些实现中,镀敷工艺被用于在势垒层1230上形成晶种层1232。不同实现可将不同材料用于晶种层1232。在一些实现中,晶种层1232是金属层。

[0169] 在阶段5,在晶种层1232上提供(例如,形成、沉积)光阻层1234。在一些实现中,提供光阻层1234包括提供光阻层1234并且选择性地移除光阻层1234的一些部分。

[0170] 在阶段6,在晶种层1232上提供(例如,形成、沉积)金属层1236。在一些实现中,在不被光阻层1234覆盖的晶种层1232上提供金属层1236。在一些实现中,光刻和镀敷工艺被用于在晶种层1232上提供金属层1236。在一些实现中,金属层1236和晶种层1232是相同材料。因此,在一些实现中,金属层1236可包括晶种层1232。

[0171] 如阶段6中所示,在晶种层1232上提供金属层1236,以使得金属层1236遵循势垒层1230(例如,与势垒层1230轮廓相合)。阶段6还解说了金属层1236不完全填充空腔1225,从而留下空腔1237。

[0172] 在阶段7,在空腔1237中提供填充物1239。不同实现可为填充物1239提供不同材料。例如,填充物1239可包括聚合物填充物。在一些实现中,填充物1239被配置成为通孔结构提供结构稳定性。

[0173] 在阶段8,选择性地移除(例如,蚀刻)光阻层1234、晶种层1232和势垒层1230。在一些实现中,并发地移除光阻层1234、晶种层1232和势垒层1230。顺序地移除光阻层1234、晶种层1232和势垒层1230。如阶段12所示,在选择性地移除光阻层1234、晶种层1232和势垒层1230之后制造通孔结构1238。在一些实现中,通孔结构1238是图8-9中描述的通孔结构之一。

[0174] 在阶段9,可任选地在封装层1220的第二表面上提供(例如,形成)电介质层1240。在一些实现中,电介质层1240的表面与通孔结构1238的表面对齐。在一些实现中,电介质层1240可覆盖通孔结构1238,并且空腔可在通孔结构1238的一部分上形成。

[0175] 在阶段10,移除(例如,抛光、研磨、蚀刻)载体1202的至少一部分。在一些实现中,移除载体1202直至载体1202的表面与焊盘1205的表面对齐。在一些实现中,在阶段10之后,制造包括封装层和包含侧势垒层的通孔结构的集成器件1260。

[0176] 用于提供/制造包括具有穿过封装层的侧势垒层的通孔的集成器件的示例性方法

[0177] 在一些实现中,提供包括通孔结构的集成器件(例如,集成封装)包括数个工艺。图13解说了用于提供集成器件的方法。在一些实现中,图13的方法可被用于提供/制造图3、4、8和/或9的集成器件和/或本公开中所描述的其他集成器件。

[0178] 还应当注意,图13的方法可被用于提供/制造还包括电路元件的集成器件。进一步应当注意,图13的方法可以组合一个或多个阶段以简化和/或阐明用于提供集成器件的序列。

[0179] 在一些实现中,图13的过程解说了提供具有高密度互连的集成器件的新颖过程。

[0180] 该方法提供(在1305处)基板。在一些实现中,提供基板可包括形成和/或制造基板(例如,基板502)。在一些实现中,该基板是晶片。不同实现可以将不同材料用于该基板(例如,硅基板、玻璃基板、陶瓷基板、有机基板)。该基板可包括一组穿透基板通孔(TSV)和一组焊盘。在一些实现中,该基板还可包括其他互连(例如,迹线)。在一些实现中,该组焊盘位于基板的第一表面(例如,顶表面)上。在一些实现中,该组焊盘被嵌入在基板的第一表面中。在一些实现中,基板可包括耦合(例如,形成)在该基板的第一表面上的电介质层。

[0181] 该方法进一步向基板提供(在1310处)至少一个管芯。在一些实现中,提供至少一个管芯包括将第一管芯和第二管芯耦合至基板。在一些实现中,第一管芯通过第一组互连

(例如,第一柱、第一焊料)耦合至基板。

[0182] 该方法还提供(在1315)封装层。在一些实现中,提供封装层包括在基板上形成封装层和/或在基板上形成电介质层。在一些实现中,封装层封装第一管芯。不同实现可将不同材料用于封装层。在一些实现中,封装层是薄膜层。在一些实现中,封装层由具有可光图案化的性质的材料制成。

[0183] 该方法随后在封装层中提供(在1320处)具有势垒层的至少一个通孔。在一些实现中,提供具有势垒层的至少一个通孔包括在封装层中形成空腔并且在该空腔中提供至少一个金属层。在一些实现中,在焊盘上形成(例如,创建)该空腔。在一些实现中,该空腔是通过使用光蚀刻工艺(例如,光刻工艺)来形成的。

[0184] 在一些实现中,提供至少一个金属层包括在空腔中提供(例如,形成)势垒层。在一些实现中,镀敷工艺被用于形成势垒层。势垒层可覆盖空腔的内壁、焊盘的至少一部分、和/或封装层的第一表面。不同实现可将不同材料用于势垒层。在一些实现中,势垒层是至少钛(Ti)、(TiN)、铝铜(AlCu)、钛铜合金(TiCu)和/或钛钨铜合金(TiWCu)中的一者。然而,不同实现可使用不同材料。由此,用于势垒层的材料应当不限于以上列成的材料。

[0185] 在一些实现中,提供至少一个金属层进一步包括在势垒层上提供(例如,形成、沉积)晶种层。在一些实现中,镀敷工艺被用于在势垒层上形成晶种层。不同实现可将不同材料用于晶种层。

[0186] 在一些实现中,提供具有势垒层的通孔还包括在晶种层上提供(例如,形成、沉积)光阻层。在一些实现中,提供光阻层包括提供光阻层534并且选择性地移除光阻层的一些部分。

[0187] 该方法随后在晶种层上提供金属层。在一些实现中,在不被光阻层覆盖的晶种层上提供金属层。在一些实现中,光刻和镀敷工艺被用于在晶种层上提供金属层。在一些实现中,金属层和晶种层是相同材料。因此,在一些实现中,金属层可包括晶种层。

[0188] 该方法可随后选择性地移除(例如,蚀刻)光阻层、晶种层和势垒层。在一些实现中,光阻层、晶种层和势垒层被并发地移除。在一些实现中,光阻层、晶种层和势垒层被顺序地移除。

[0189] 在一些实现中,可任选地在封装层的第二表面上提供(例如,形成)电介质层。在一些实现中,可任选地在基板的第二表面(例如,底表面)上提供(例如,形成)另一电介质层。另外,还可在电介质层上/中提供一组互连。

[0190] 示例性电子设备

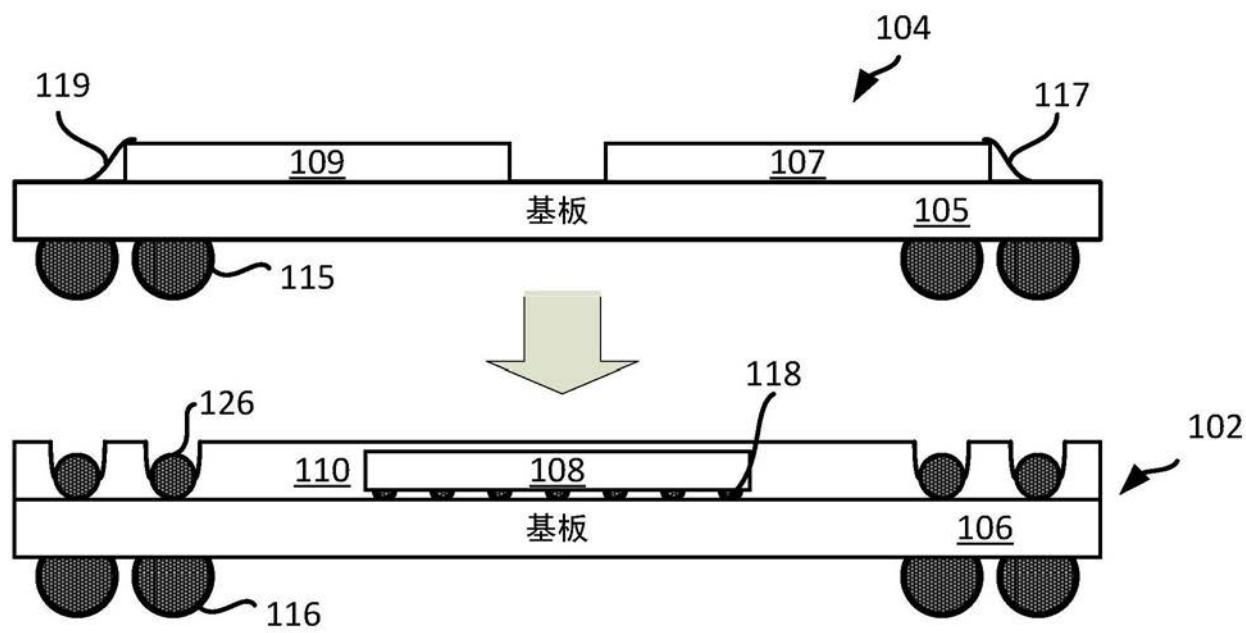
[0191] 图14解说了可集成有前述集成器件、半导体器件、集成电路、管芯、中介层或封装中的任一者的各种电子设备。例如,移动电话1402、膝上型计算机1404以及固定位置终端1406可包括如本文所描述的集成器件1500。集成器件1400可以是例如本文所描述的集成电路、管芯、中介体、或封装中的任何一者。图14中所解说的设备1402、1404、1406仅是示例性的。其它电子设备也能以集成器件1400为其特征,此类电子设备包括但不限于移动设备、手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数字助理)、启用GPS的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单位(诸如仪表读取设备)、通信设备、智能电话、平板计算机或者存储或检索数据或计算机指令的任何其它设备,或者其任何组合。

[0192] 图3、4、5A-5C、6、7A-7C、8、9、10A-10C、11、12A-12C、13和/或14中解说的组件、步骤、特征和/或功能中的一者或两者可以被重新安排和/或组合成单个组件、步骤、特征或功能,或可以实施在若干组件、步骤、或功能中。也可添加额外的元件、组件、步骤、和/或功能而不会脱离本公开。还应当注意,本公开中的图3、4、5A-5C、6、7A-7C、8、9、10A-10C、11、12A-12C、13和/或14及其相应描述不限于管芯和/或IC。在一些实现中,图3、4、5A-5C、6、7A-7C、8、9、10A-10C、11、12A-12C、13和/或14及其相应描述可被用于制造、创建、提供、和/或生产集成器件。在一些实现中,集成器件可以包括管芯封装、集成电路(IC)、晶片、半导体器件、和/或中介体。

[0193] 措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实现或方面不必被解释为优于或胜过本公开的其他方面。同样,术语“方面”不要求本公开的所有方面都包括所讨论的特征、优点或操作模式。术语耦合摄在本文中被用于指两个对象之间的直接或间接耦合。例如,如果对象A物理地接触对象B,且对象B接触对象C,则对象A和C可仍被认为是彼此耦合的——即便它们并非彼此直接物理接触。

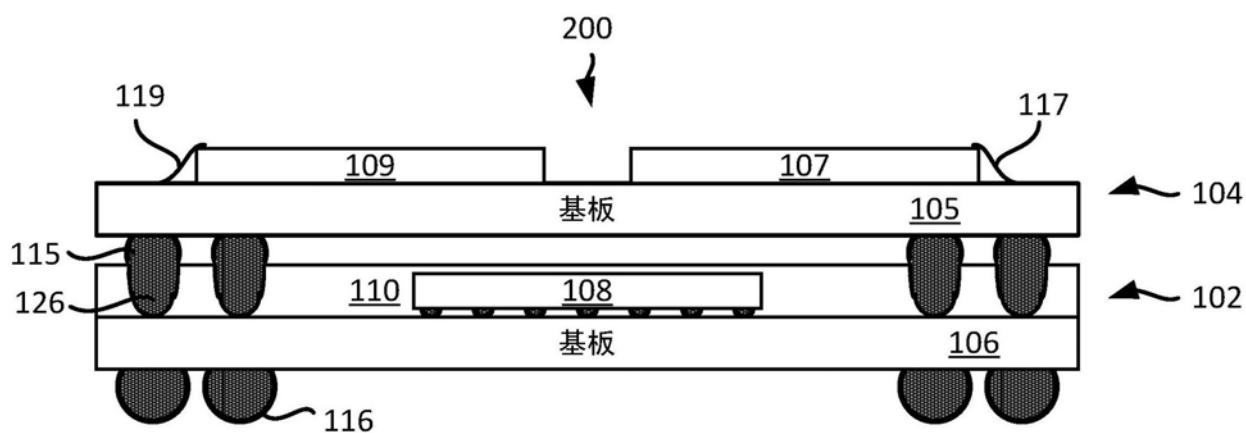
[0194] 还应注意,这些实施例可能是作为被描绘为流程图、流图、结构图、或框图的过程来描述的。尽管流程图可能会把诸操作描述为顺序过程,但是这些操作中有许多操作能够并行或并发地执行。另外,这些操作的次序可被重新安排。过程在其操作完成时终止。

[0195] 本文中所描述的本公开的各种方面可实现于不同系统中而不会脱离本公开。应注意,本公开的以上各方面仅是示例,且不应被解释成限定本公开。对本公开的各方面的描述旨在是解说性的,而非限定所附权利要求的范围。由此,本发明的教导可以现成地应用于其他类型的装置,并且许多替换、修改和变形对于本领域技术人员将是显而易见的。



现有技术

图1



现有技术

图2

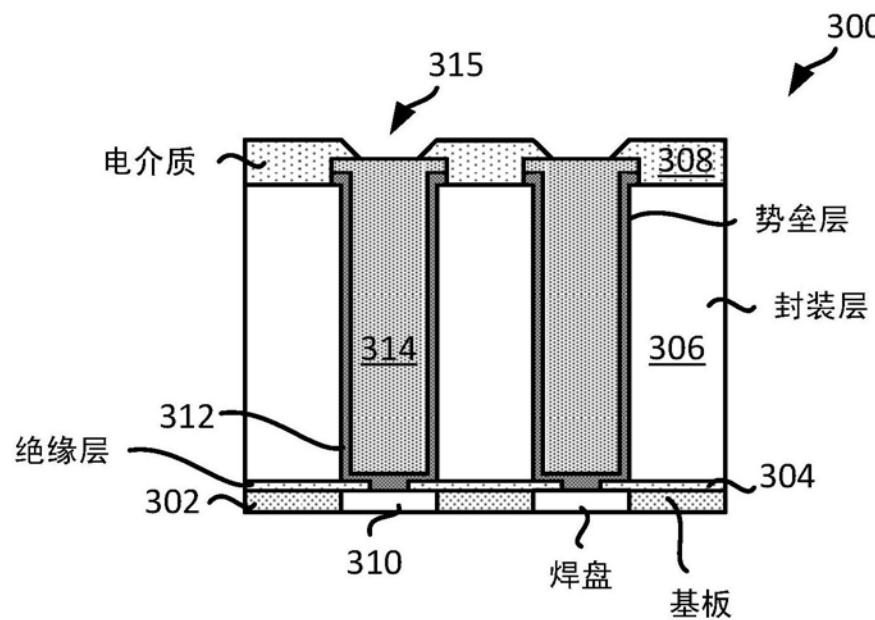


图3

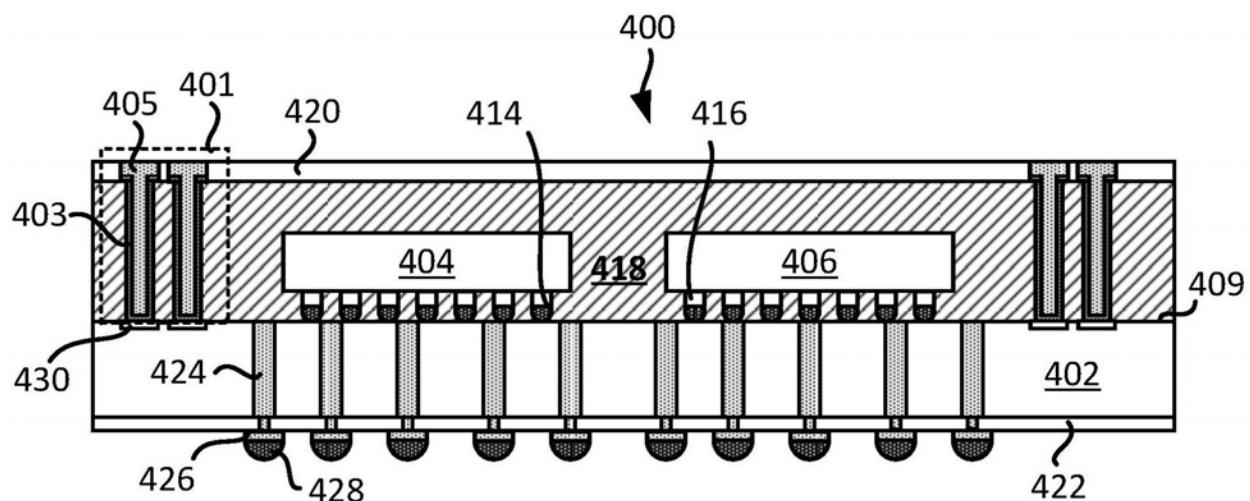


图4

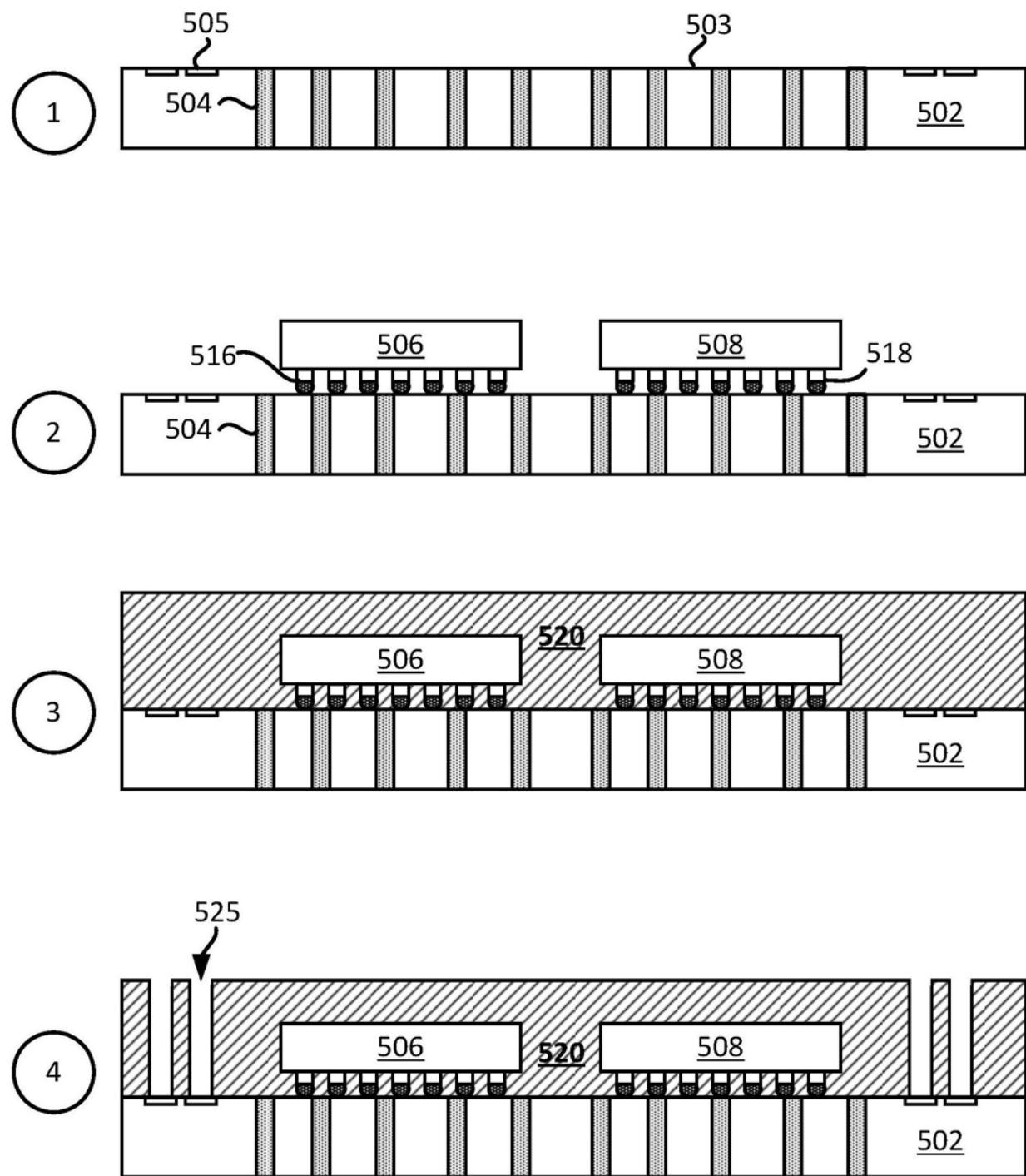


图5A

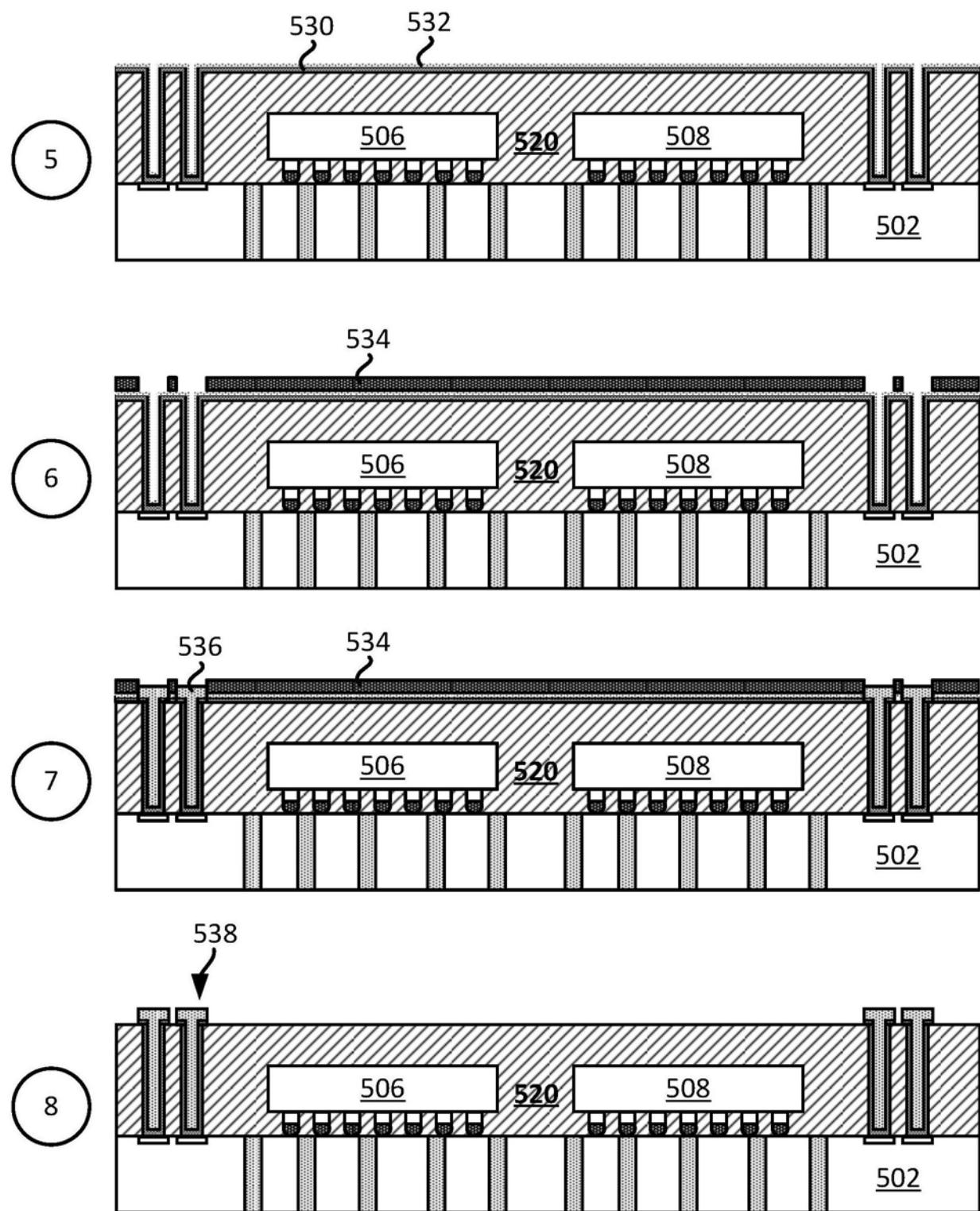


图5B

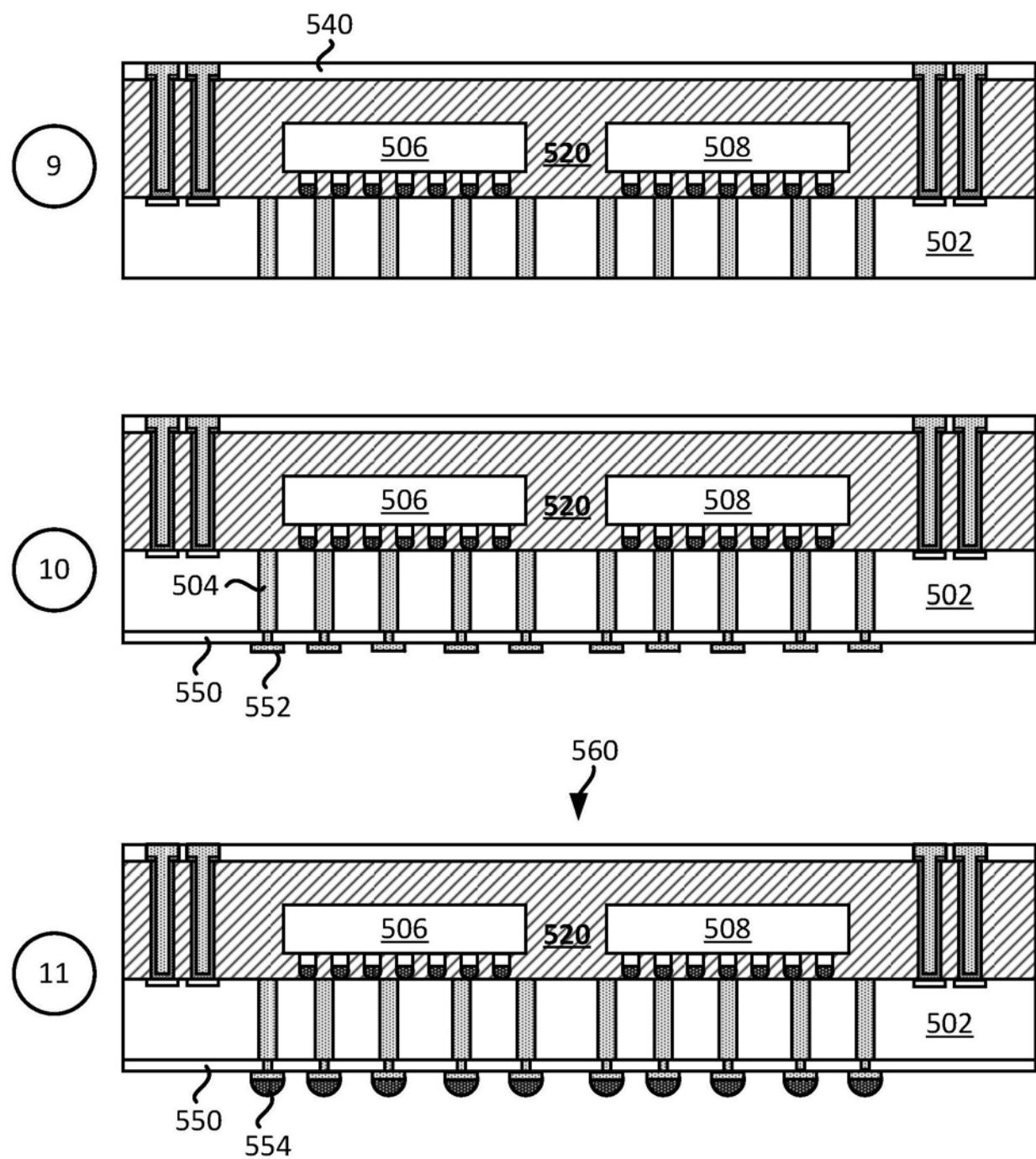


图5C

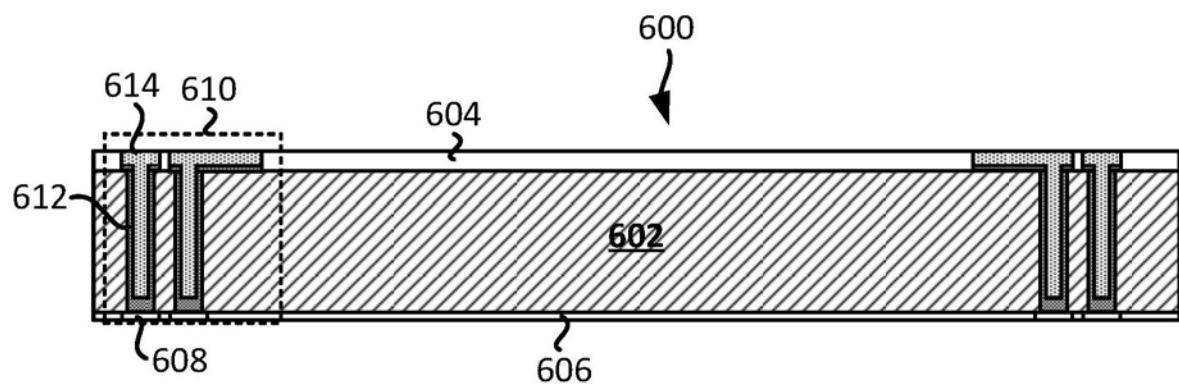


图6

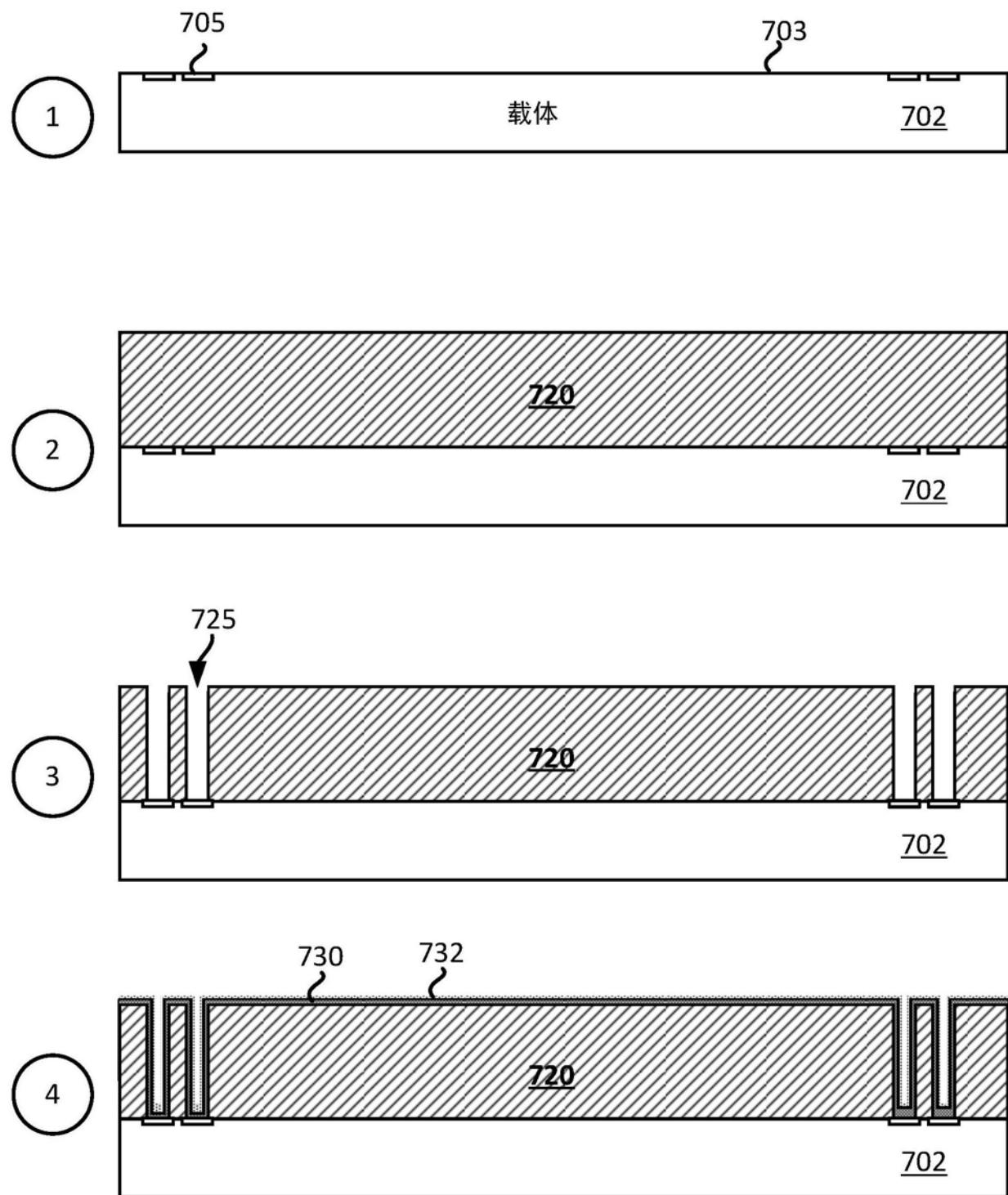


图7A

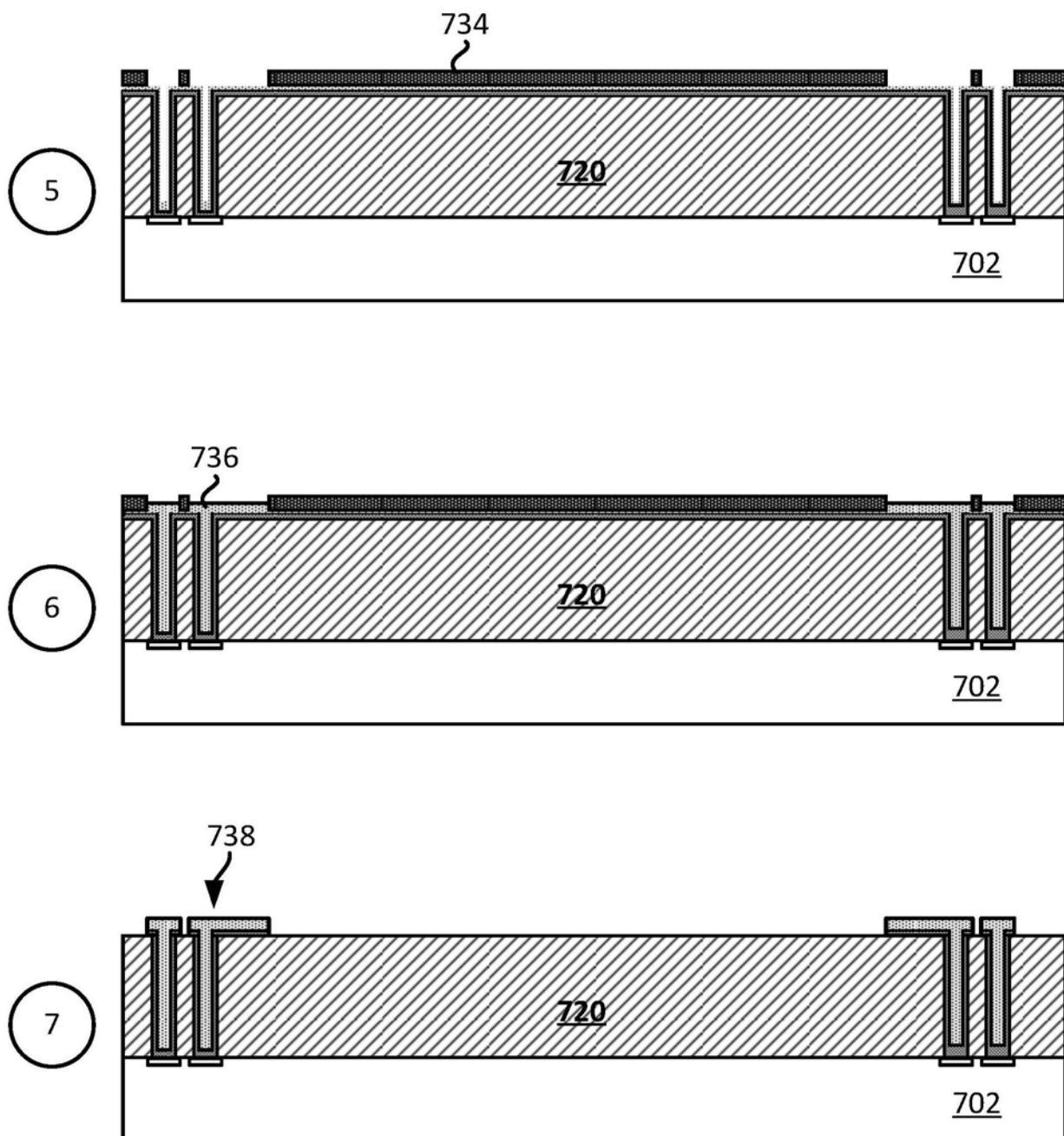


图7B

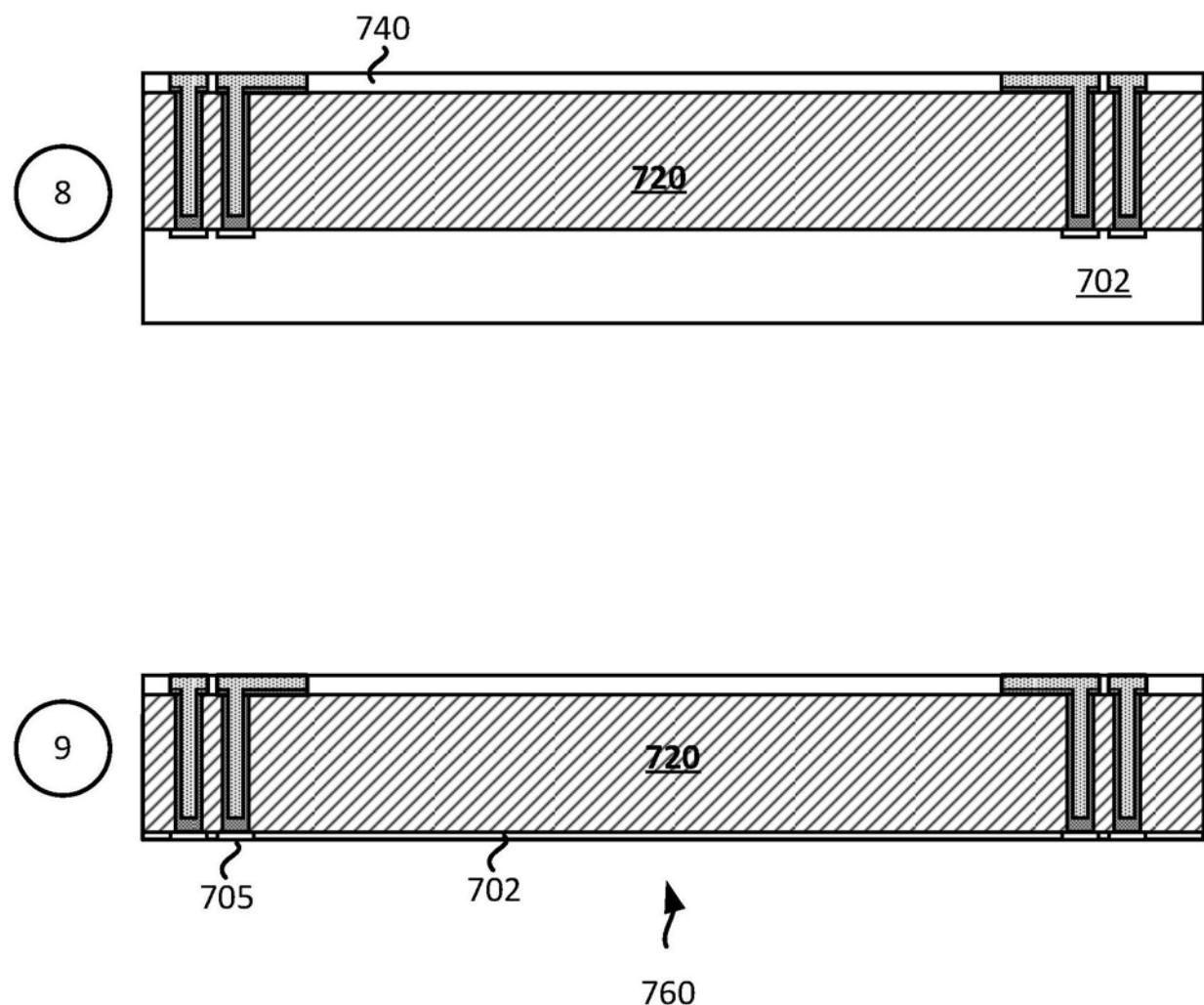


图7C

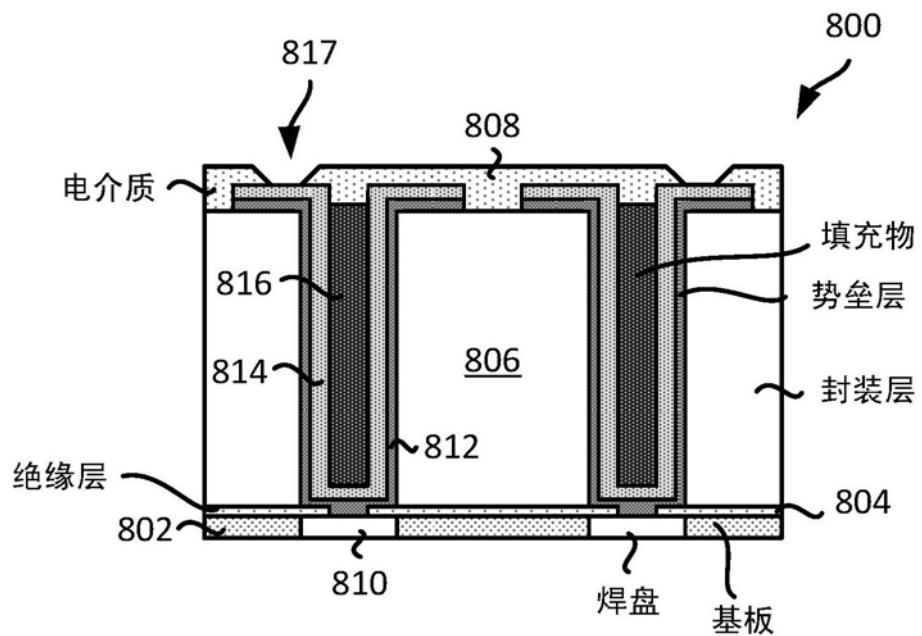


图8

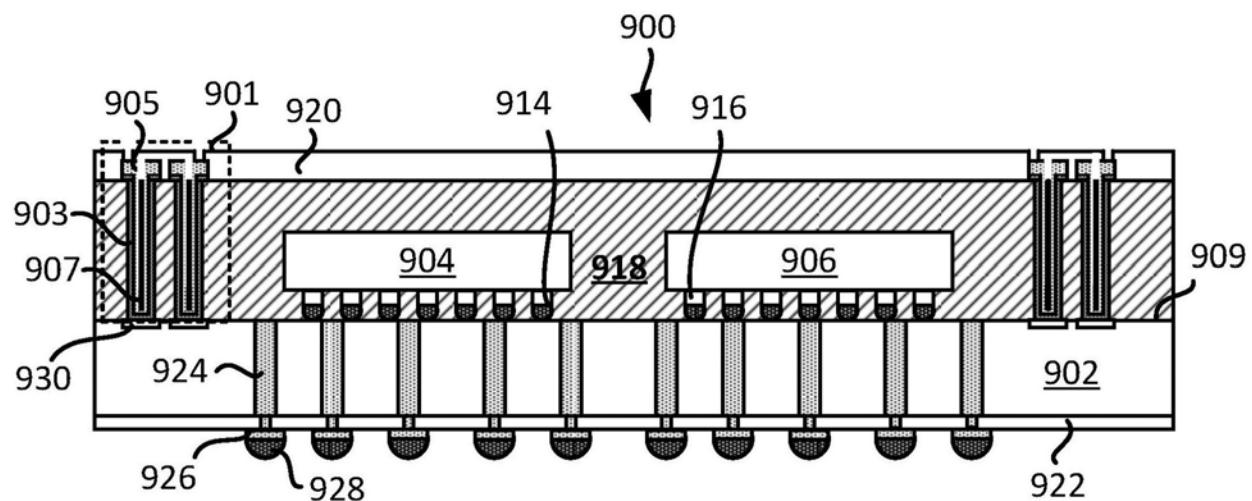


图9

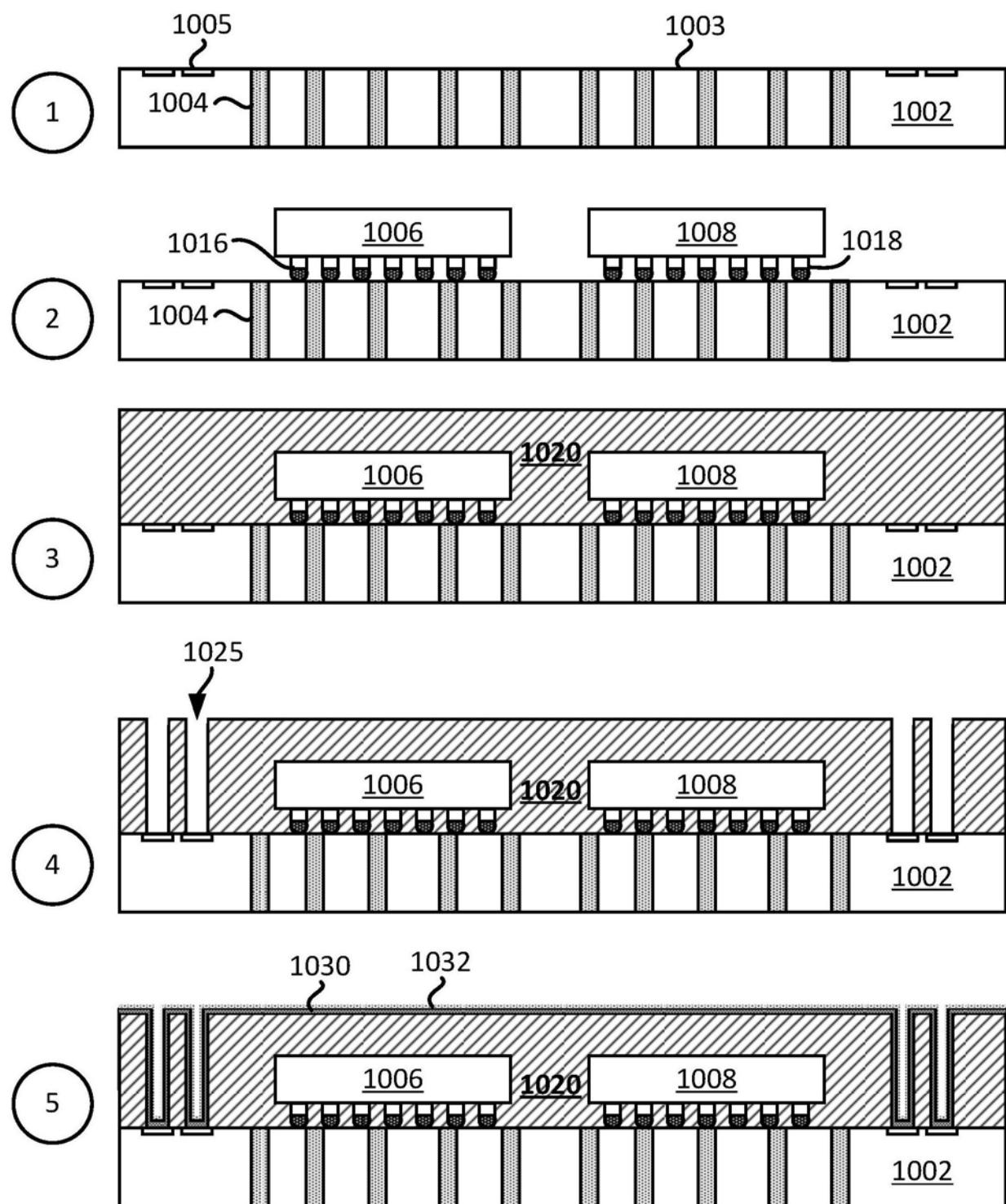


图10A

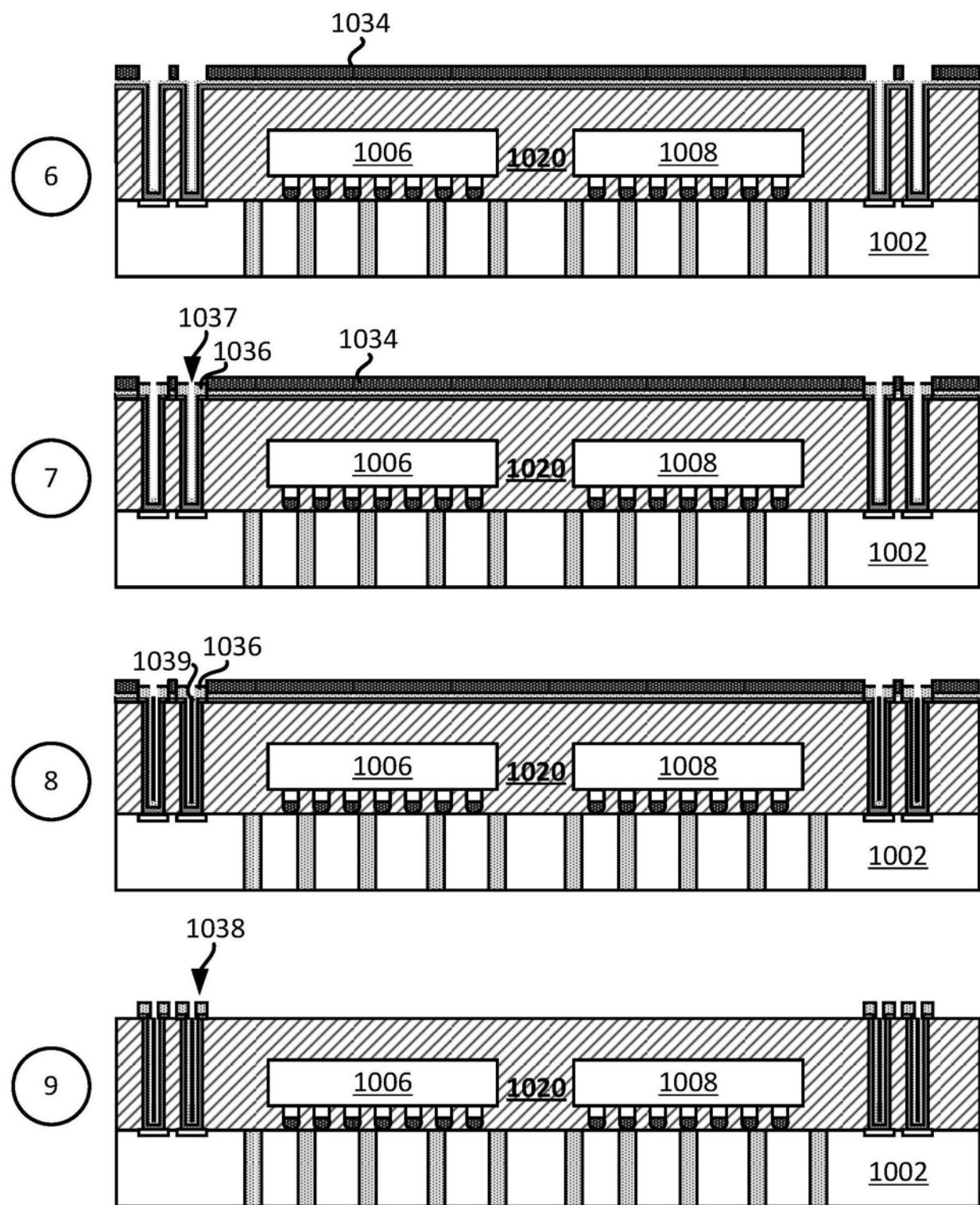


图10B

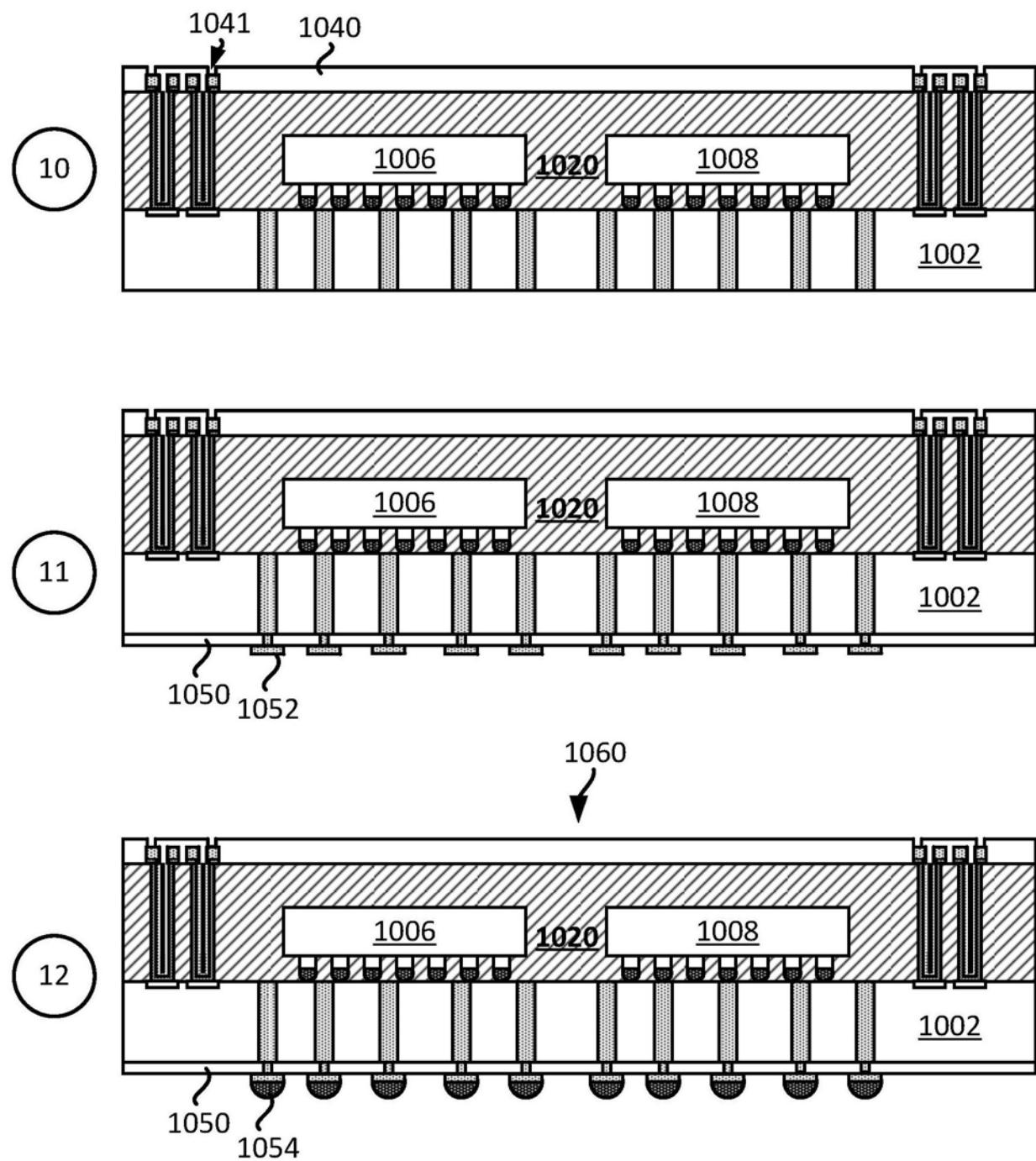


图10C

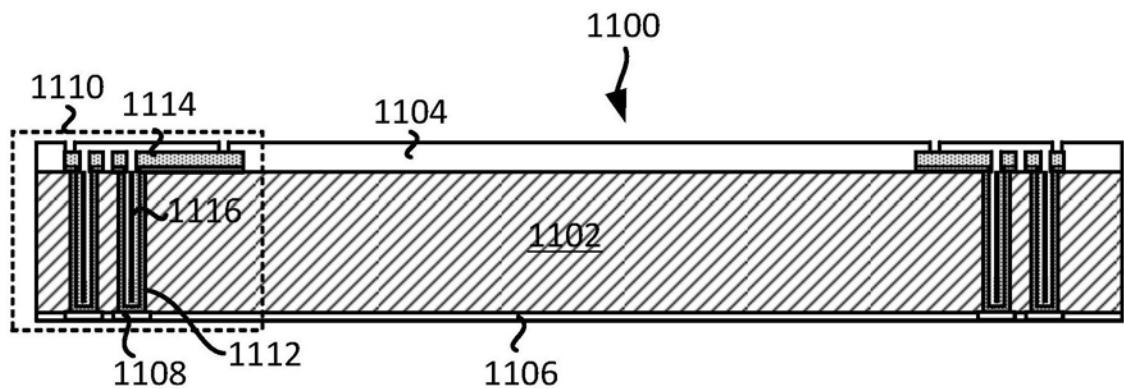


图11

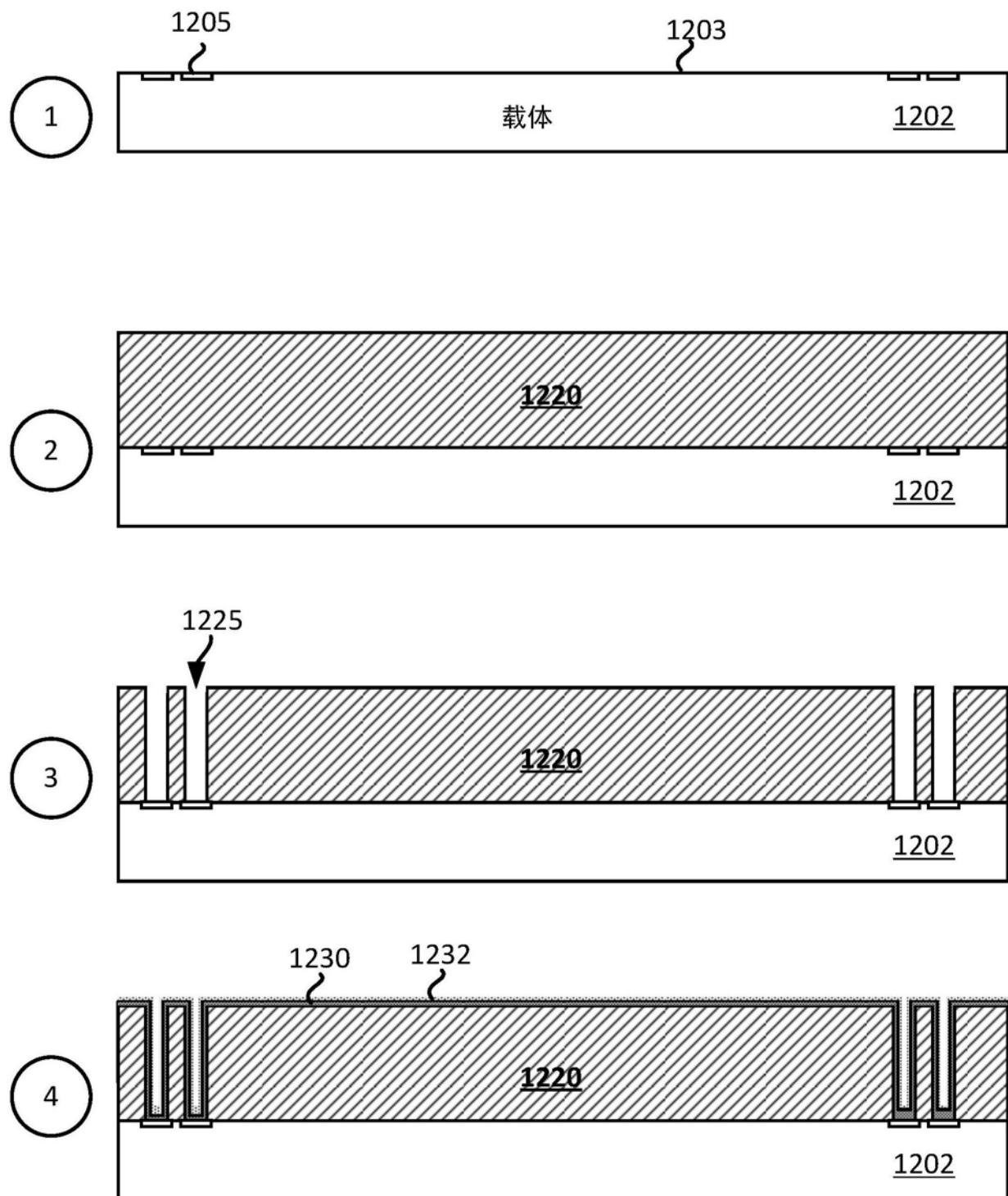


图12A

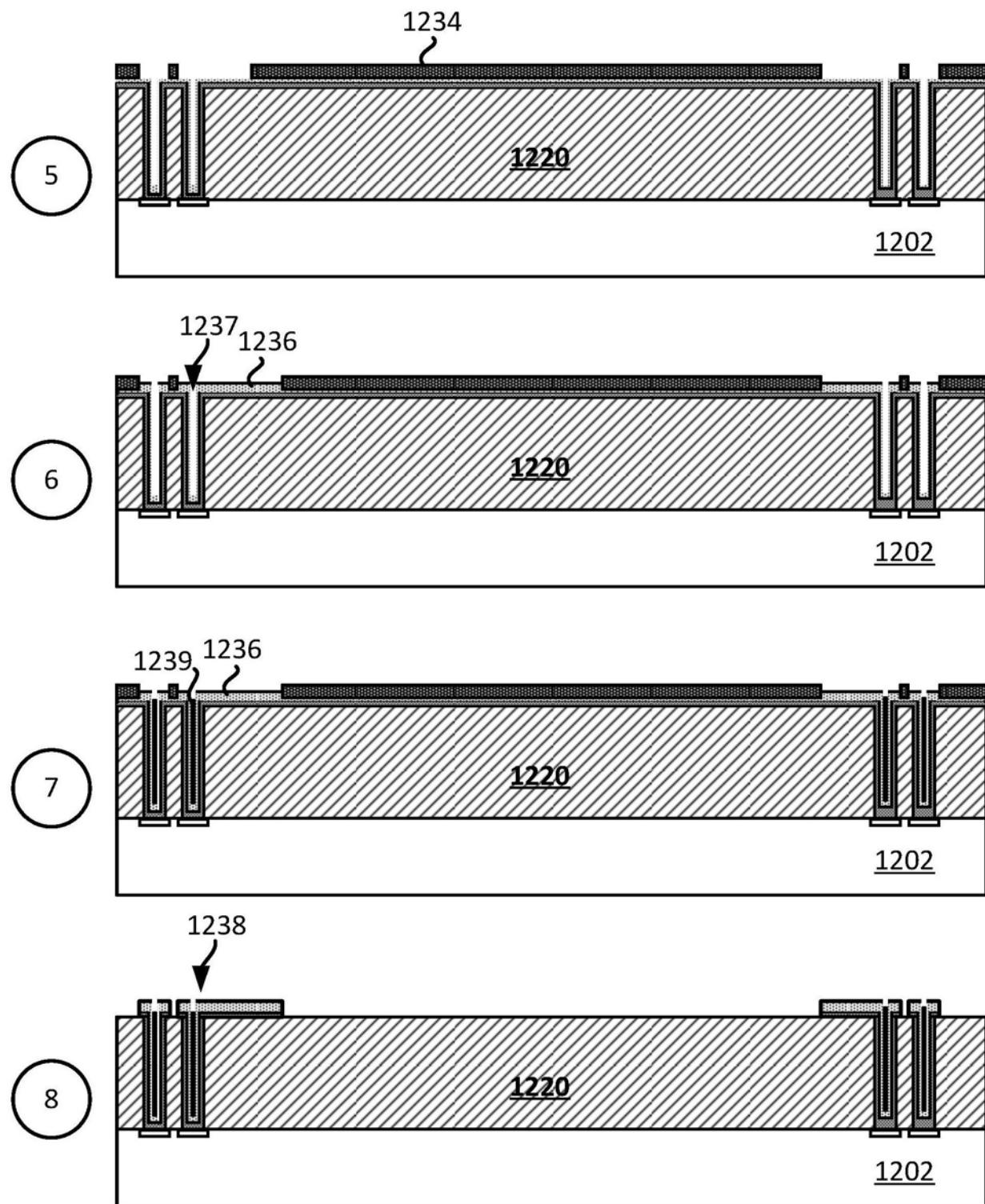


图12B

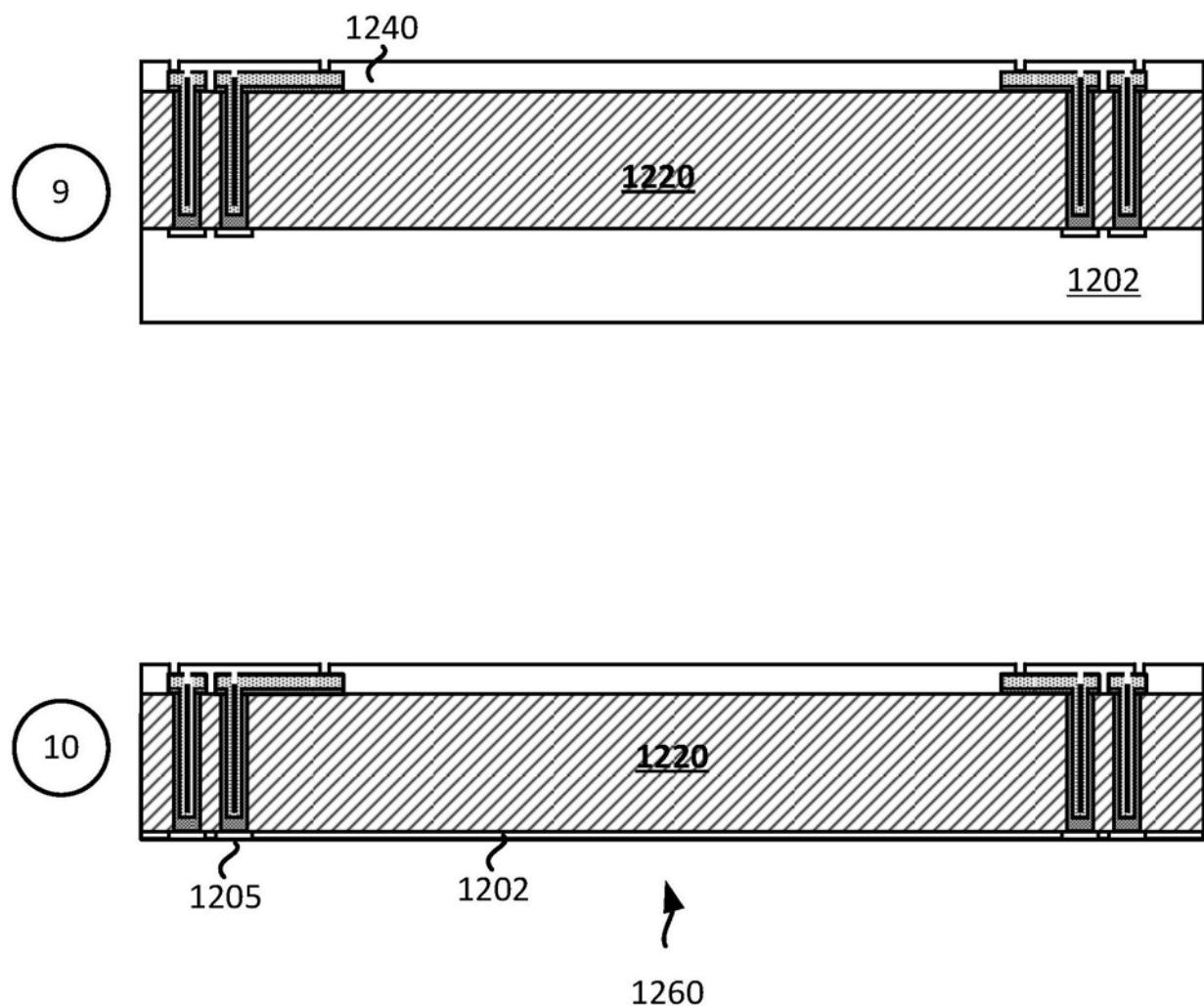


图12C

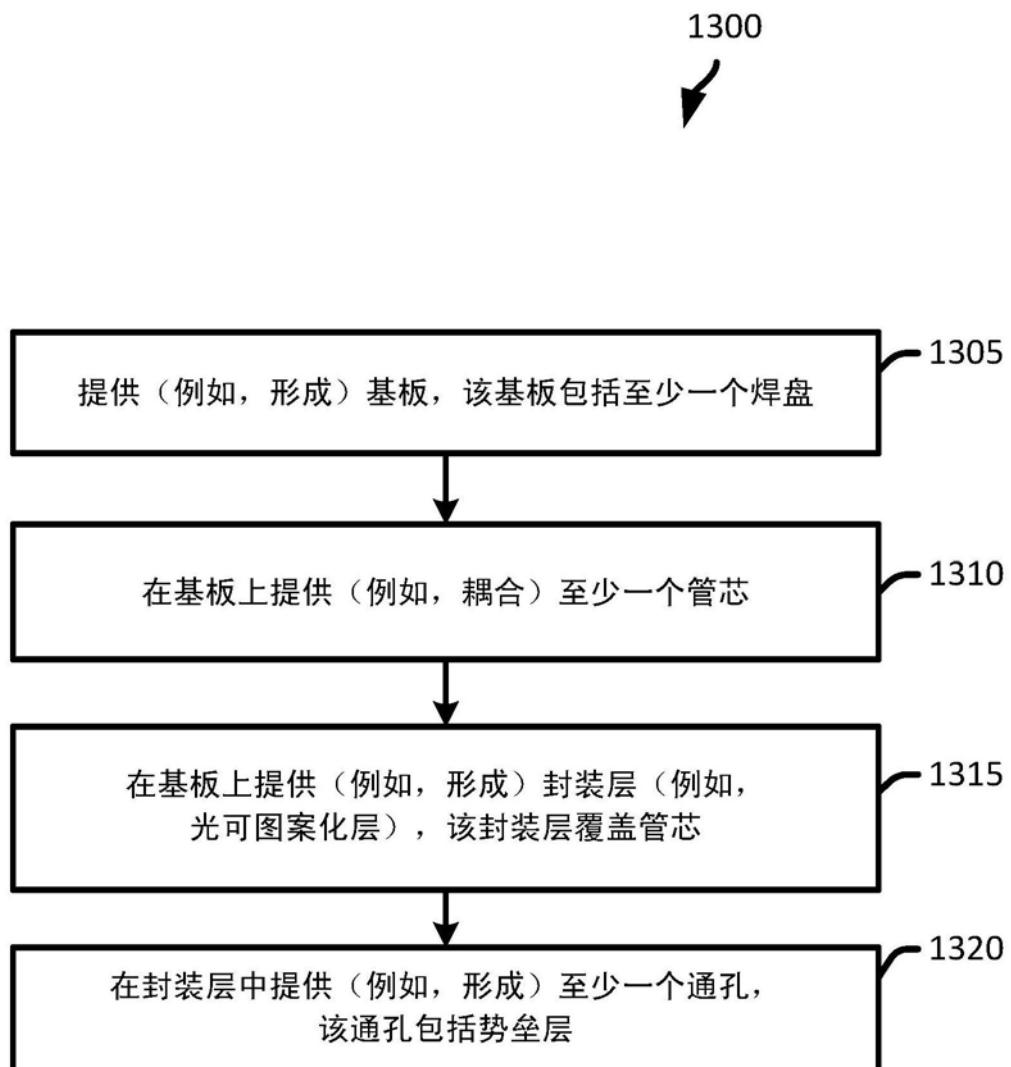


图13

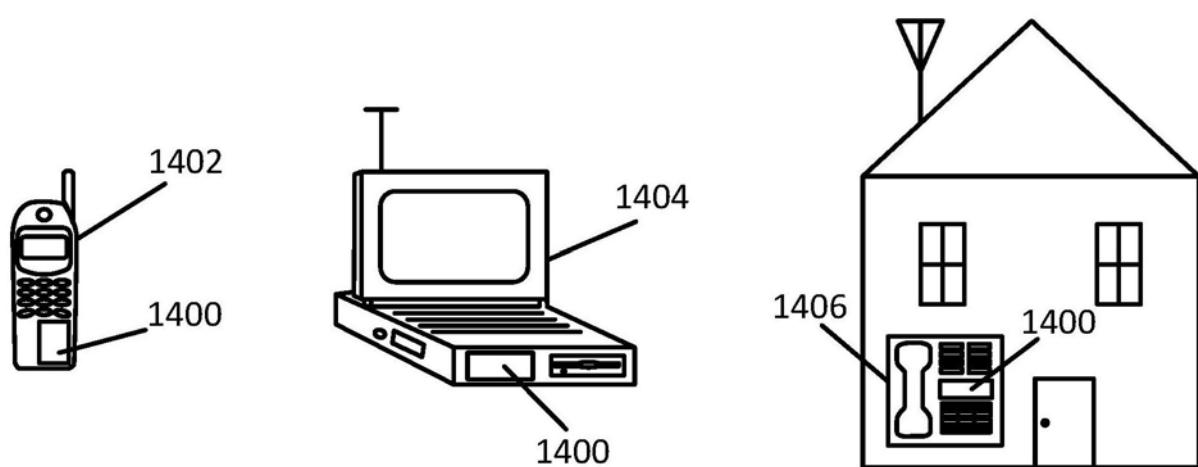


图14