

發明專利說明書

I222639

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92112838

※ 申請日期：92.05.12

※IPC 分類：G11C11/24, G11C11/4074

壹、發明名稱：(中文/英文)

(中文) 半導體裝置

(英文) Semiconductor Device

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

(中文) 三菱電機股份有限公司

(英文) MITSUBISHI DENKI KABUSHIKI KAISHA (三菱電機株式会社)

代表人：(中文/英文)

野間口有 / Tamotsu NOMAKUCHI

住居所或營業所地址：(中文/英文)

(中文) 日本國東京都千代田區丸の内二丁目 2 番 3 號

(英文) 2-3, Marunouchi 2-chome, Chiyoda-ku, TOKYO 100-8310, JAPAN

國籍：(中文) 日本 (英文) Japan

參、發明人：(共 8 人)

姓名：(中文/英文)

(1) 山內忠昭 / Tadaaki YAMAUCHI

(2) 松本淳子 / Junko MATSUMOTO

(3) 岡本武郎 / Takeo OKAMOTO

(4) 諏訪真人 / Makoto SUWA (諏訪真人)

(5) 田增成 / Zengcheng TIAN

(6) 米谷英樹 / Hideki YONETANI

(7) 市口哲一郎 / Tetsuichiro ICHIGUCHI

(8) 長澤勉 / Tsutomu NAGASAWA

住居所地址：(中文/英文)

中文：(1)日本國東京都千代田區丸の内二丁目 2 番 3 號 三菱電機株式會社內

(2)、(3)、(4)、(6)、(7)、(8)同(1)

(5)日本國兵庫縣伊丹市荻野 1 丁目 132 番地 大王電機株式會社內

英文：(1) c/o MITSUBISHI DENKI KABUSHIKI KAISHA, 2-3, Marunouchi 2-chome,
Chiyoda-ku, TOKYO 100-8310, JAPAN

(2)、(3)、(4)、(6)、(7)、(8) ditto (1)

(5) c/o DAIHO Electric Corporation, 132 Ogino 1-chome, Itami-shi,
HYOGO 664-0002, JAPAN

國 籍：中文：(1)~(4)、(6)~(8)日本 (5)中國

英文：(1)~(4)、(6)~(8)Japanese (5)Chinese

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002/05/20；2002-144869

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於內建產生內部電壓之內部電壓產生電路之半導體裝置，尤其是關於對於複數個外部電源電壓及複數個介面的規格，仍可根據外部電源電壓穩定地生成內部電壓的內部電壓產生電路。

【先前技術】

圖 36 為顯示習知之動態隨機存取記憶體 (DRAM: Dynamic Random Access Memory) 的陣列部的構成的概要圖。圖 36 中，對應於位元線 BL 及 ZBL 與字線 WL 的交叉部配置有記憶單元 MC。圖 36 中，代表性顯示對應於位元線 BL 與字線 WL 的交叉部所配置的記憶單元 MC。

一般，在記憶體陣列中，記憶單元 MC 係配置為行列狀，對應於各記憶單元列配置有字線 WL。此外，對應於各記憶單元行配置有位元線對 BL 及 ZBL。對應於位元線對之一位元線與字線的交叉部配置有記憶單元。位元線 BL 及 ZBL 傳輸互補的資料。

記憶單元 MC 包括：由電荷形態記憶資訊的記憶體電容器 MQ；及根據字線 WL 上的信號電壓將記憶體電容器 MQ 耦合於對應的位元線 BL (或 ZBL) 的存取電晶體 MT。存取電晶體 MT 通常係由 N 通道 MOS 電晶體 (絕緣閘場效電晶體) 所組成，於其後閘供給有負的偏向電壓 Vbb。藉由將負偏向電壓 Vbb 供給存取電晶體 MT 的後閘，以達成存取電晶體 MT 的臨限電壓的穩定化、信號線與基板區域之間的寄生電容

的減低及存取電晶體 MT 的汲極/源極的接面電容的減低。

對於位元線 BL 及 ZBL 設有，在待機狀態時將位元線 BL 及 ZBL 預充電至位元線預充電壓 V_{b1} 且予以均衡化的位元線均衡電路 BPE；及活性化時將位元線 BL 及 ZBL 的電壓差動放大且予以門鎖的感測放大器 SA。

對於該感測放大器 SA 設有，在感測放大活性化信號/SAP 的活性化時導通，且將感測放大器 SA 之高位準電源節點耦合於傳輸陣列電源電壓 V_{dds} 的感測電源線的感測活性化電晶體 ASPT；及在感測放大活性化信號 SAN 的活性化時導通，且於活性化時將感測放大器 SA 之低位準電源節點耦合於傳輸接地電壓 V_{ss} 的感測接地線的感測放大活性化電晶體 ASNT。

位元線均衡電路 BPE，係根據位元線均衡指示信號 BLEQ 將陣列電源電壓 V_{dds} 的中間電壓 ($V_{dds}/2$) 的位元線預充電壓 V_{b1} 傳輸給位元線 BL 及 ZBL。

字線 WL 係於選擇時被驅動為較陣列電源電壓 V_{dds} 還要高的電壓位準的高電壓 V_{pp} 位準。藉由將選擇字線 WL 驅動為高電壓 V_{pp} 位準，不會有伴隨著記憶單元 MC 的存取電晶體 MT 的臨限電壓損失，而於記憶體電容器 MQ 的記憶節點儲存陣列電源電壓 V_{dds} 位準的 H 資料。

記憶體電容器 MQ 係在與記憶資料的儲存節點對向的電極節點 (單元板節點) 接收一定的單元板電壓 V_{cp} 。通常，單元板電壓 V_{cp} 也與位元線預充電壓 V_{b1} 相同，為陣列電源電壓 V_{dds} 的中間電壓 ($V_{dds}/2$) 的電壓位準。

如上述，在 DRAM 中，使用各個電壓位準互異的複數種類的電壓。在由外部產生此等複數種類的電壓並供給 DRAM 的情況，系統的規模將增大，此外因外部內連線的損失，系統全體的消耗電流也增大。此外，DRAM 中為了增大電源端子數，其封裝體的尺寸也將增大。據此，一般此等複數種類的電壓係在 DRAM 的內部生成。

圖 37 為顯示與 DRAM 之內部電壓關聯部份的構成的概要圖。圖 37 中，DRAM 包括：具有排列為行列狀的複數個記憶單元（圖 36 之記憶單元 MC）的記憶單元陣列 902；根據外部的指令 CMD，生成實現指令 CMD 指定之動作模式用的動作控制信號的控制電路 904；在控制電路 904 的控制下被活性化，根據外部的列位址信號 RA，將對應於記憶單元陣列 902 的位址指定列而配置的字線驅動為選擇狀態用的列選擇電路 906；藉由控制電路 904 而被選擇性地活性化，並於活性化時檢測、放大藉由列選擇電路 906 所選擇的列上的記憶單元的資料，並予以閃鎖的感測放大器組 908；於控制電路 904 的控制下進行動作，於活性化時根據外部的行位址信號 CA，選擇對應於記憶單元陣列 902 的位址指定列的記憶單元的行選擇電路 910；及於活性化時根據外部電源電壓 EXVDD 生成各種內部電壓 V_{pp} 、 V_{bb} 、 V_{b1} 、 V_{cp} 、 V_{dds} 及 V_{ddp} 的內部電壓產生電路 900。

來自內部電壓產生電路 900 的週邊電源電壓 V_{ddp} ，供給控制電路 904 及列選擇電路 906。來自內部電壓產生電路 900 的高電壓 V_{pp} 還供給列選擇電路 906。

於列選擇電路 906 中，藉由接收作為動作電源電壓的週邊電源電壓 V_{ddp} 的列解碼器電路生成列選擇信號，根據該列選擇信號，藉由字驅動器將高電壓 V_{pp} 位準的字線選擇信號傳輸給對應於選擇列而配置的字線。

記憶單元陣列 902 內輸入施加於位元線預充電壓 V_{b1} 、單元板電壓 V_{cp} 及記憶單元陣列 902 的基板區域的負偏向電壓 V_{bb} 。感測放大器組 908 內通過感測電源線輸入作為動作電源電壓的陣列電源電壓 V_{dds} 。

行選擇電路 910 內輸入作為動作電源電壓的週邊電源電壓 V_{ddp} 。但是，該行選擇電路 910 輸出的行選擇信號也可為陣列電源電壓 V_{dds} 位準。通常，週邊電源電壓 V_{ddp} 為較陣列電源電壓 V_{dds} 高的電壓位準。

由週邊電源電壓 V_{ddp} 使控制電路 904 等的週邊電路動作，且根據陣列電源電壓 V_{dds} 使與記憶單元陣列 902 關連的感測放大器組 908 動作，藉以高速動作週邊電路以實現高速存取，此外，還保證記憶單元之存取電晶體及記憶單元電容器的絕緣耐壓，穩定記憶資料。

在半導體裝置中，隨著系統規模的增大，為了防止發熱等，對於低電力消耗的要求極高。尤其是在將電池作為電源的行動裝置的用途中，從電池壽命的觀點考慮也有減低消耗電流的必要。尤其是未進行資料存取的待機狀態，其時間較實際進行資料處理的時間要長，此外，在 DRAM 中，僅僅要求可保持資料而已，因此強烈要求減低該待機狀態時的消耗電流。

作為此種減低待機狀態時的消耗電流的一個方法，採用所謂電力下降模式的動作模式。於該電力下降模式中，在與資料保持無關之位址輸入緩衝電路等中停止動作電源電壓的供給。藉此，阻斷與資料保持無關之電路的直流電流通路，減低電路的漏電流，減低消耗電流。

在行動裝置等的用途中，最近進一步要求對於待機電力的降低，根據此種超低待機電流的要求，採用被稱為「深電力下降模式」的模式。在該深電力下降模式時，使內部電壓產生電路 900 之內部電壓產生動作停止。但是，電力下降模式係藉由外部的指令所設定，因此，對於接收指令 CMD 的指令解碼器等的與電力下降模式解除相關連的電路供給電源電壓。

在受到該深電力下降模式指示時，如圖 37 所示，從控制電路 904 生成電力截止信號 PCUT。該電力截止信號 PCUT 係為週邊電源電壓 V_{ddp} 位準的信號。為了從外部電源電壓 EXVDD 使生成內部電壓的電路的動作停止，藉由位準轉換電路 915，該電力截止信號 PCUT 轉換為振幅為外部電源電壓 EXVDD 位準的電力截止致能信號 PCUTe。該電力截止致能信號 PCUTe 被供給列選擇電路 906 及行選擇電路 910 等的週邊電路，以阻斷各週邊電路的電流路徑。

該電力截止致能信號 PCUTe 在控制電路 904 內，也被供給進行與深電力下降模式相關連的動作控制的電路以外的部份，以阻斷該電流路徑。

在深電力下降模式時，在必要的電路部份以外不消耗電

流，此外藉由阻斷電流路徑，防止漏電流的產生，可大大降低消耗電流。

DRAM 被應用於各式各樣的系統中。在系統中存在著種種的電源電壓。例如，外部電源電壓 EXVDD 具有 3.3V 及 2.5V。此外，介面除 LVTTTL 等外還有 1.8VIO 介面。在該 1.8VIO 介面中，外部電源電壓為 2.5V 或 3.3V，輸入信號的振幅設定為 1.8V。VIH 及 VIL 係基於輸出電源電壓 VDDQ 而設定為如 $0.8VDDQ/0.2VDDQ$ 。

在 DRAM 中，在對於如此之各種外部電源電壓由相同電路構成生成內部電壓的情況，因為內部電壓產生電路的動作條件依外部電源電壓位準而各異，因此產生無法有效生成最適合之電壓位準的內部電壓的問題。

此外，在響應各個外部電源電壓位準或介面規格來設計內部電壓產生電路的情況，為了僅對應於外部電源電壓的電壓位準，主要內部電路的構成相同，而有必要僅製作內部電壓產生電路的構成各異的複數種類的晶片，因而製造效率降低，產生成本增高的問題。

據此，從製品管理及成本的觀點考慮，最好在主步驟中，針對複數種類的外部電源電壓/介面製作共用電路部份，藉由遮罩內連線或搭接焊墊的電壓的固定，實現響應外部電源電壓位準或介面規格的內部電壓產生電路。

【發明內容】

本發明之目的在於，提供一種與外部電源電壓位準及介面規格無關，可穩定生成內部電壓的半導體裝置。

本發明之又一目的在於，提供一種響應所使用的外部電源電壓位準，可有效生成所需電壓位準的內部電壓的半導體裝置。

本發明之第 1 觀點的半導體裝置，包括：比較電路，活性化時比較來自基準電壓產生電路的基準電壓及內部電壓，並輸出響應該比較結果的信號；驅動電路，根據該比較電路的輸出信號，從電源節點將電壓供給內部電壓線以生成內部電壓；比較控制電路，根據外部電壓位準設定信號，使比較電路的比較動作停止，將其輸出信號固定於指定的電壓位準，將驅動電路設定為經常導通狀態；及輔助電晶體，根據外部電壓位準設定信號，將內部電壓線耦合於電源節點。

本發明之第 2 觀點的半導體裝置，包括：第 1 輸入電路，接收第 1 電源電壓作為動作電源電壓，響應模式設定信號選擇性進行作用，從外部信號生成第 1 內部信號；第 2 輸入電路，接收第 2 電源電壓作為動作電源電壓，響應模式設定信號選擇性進行作用，從外部信號生成第 2 內部信號；位準轉換電路，將來自第 2 輸入電路之第 2 內部信號位準轉換為第 1 電源電壓位準的振幅的信號，生成第 3 內部信號；及輸入閘電路，接收第 1 電源電壓作為動作電源電壓，根據第 1 及第 3 內部信號，生成傳輸給內部電路的第 4 內部信號。該輸入閘電路係在第 1 及第 2 輸入電路的不作用時，根據該不被作用的輸入電路的輸出信號而使緩衝電路進行動作，以便緩衝處理位準轉換電路或第 1 輸入

電路的輸出信號。

本發明之第 3 觀點的半導體裝置，包括：第 1 電容元件，連接於接收第 1 控制信號的第 1 控制信號輸入節點與第 1 內部節點之間；第 2 及第 3 電晶體，根據第 1 內部節點之電壓位準，將第 2 及第 3 內部節點分別預充電為外部電源電壓位準；第 2 電容元件，連接於接收第 2 控制信號的第 2 控制信號輸入節點與第 2 內部節點之間；輸出電晶體，根據第 2 內部節點之電壓位準選擇性呈導通狀態，導通時將電荷傳輸給第 3 內部節點與輸出節點之間；驅動電路，接收外部電源節點的電源電壓與第 1 內部電壓節點的電壓作為動作電源電壓，根據第 3 控制信號驅動第 4 內部節點；第 3 電容元件，連接於第 4 內部節點與第 3 內部節點之間；第 4 電容元件；及內連線，選擇性且固定地將第 4 電容元件連接於接收第 5 控制信號的第 4 控制信號輸入節點與第 3 內部節點之間及第 4 控制信號輸入節點與第 1 內部電壓節點之間的任一者。

藉由將驅動電路設定為經常導通狀態、且將輔助電晶體設定為導通狀態，可增加對內部電壓線的供給電流量，在外部電源節點耦合於內部電壓線的情況，可穩定地將外部電源電壓傳輸給內部電壓線。

此外，在輸入電路中，將第 2 輸入電路的輸出信號位準轉換，根據第 1 輸入電路的輸出信號及位準轉換電路的輸出信號生成內部信號，即使在介面各異的情況，藉由使一輸入電路作用，可穩定生成內部信號。

此外，在生成內部電壓的情況，藉由並聯連接電容元件並供給電荷，在外部電壓高的情況，可以充分的能力供給電荷，可穩定生成所需電壓位準的內部電壓。

此外，藉由使用電容元件來變換驅動電路的兩動作電源電壓的一個電壓位準，由電容耦合可進行 2 階段的升壓動作，可於內部節點產生大的電壓位準變化，即使在外部電源電壓位準低的情況，仍可穩定生成所需電壓位準的內部電壓。

此外，藉由將電容元件的連接設定為可變換，可實現以響應外部電源電壓位準的最佳能力產生內部電壓的內部電壓產生電路。

【實施方式】

（實施形態 1）

圖 1 為顯示本發明之實施形態 1 之內部電壓產生電路的構成的概要圖。圖 1 所示內部電壓產生電路含於圖 37 所示內部電壓產生電路 900。

圖 1 中，內部電壓產生電路包括：生成定電流 IC_{ST} 的定電流產生電路 1；接收外部電源位準指定信號 $ZCMPE$ 及電力截止致能信號 $PCUTE$ 的 OR 電路 6；於控制輸入 DIS 接收 OR 電路 6 的輸出信號，在 OR 電路 6 的輸出信號為非活性狀態（L 位準）時進行動作，生成週邊基準電壓 V_{refp} 的週邊基準電壓產生電路 2p；在供給控制輸入 DIS 的電力截止致能信號 $PCUTE$ 的非活性狀態時進行動作，生成陣列基準電壓 V_{refs} 的陣列基準電壓產生電路 2s；及在供給控制

輸入 DIS 的電力截止致能信號 PCUTE 的非活性狀態時進行動作，生成輸入基準電壓 V_{refi} 的輸入基準電壓產生電路 2i。

外部電源位準指定信號 ZCMPE，係對於該半導體裝置響應所使用的外部電源電壓 EXVDD 的電壓位準而固定設定。也就是說，外部電源位準指定信號 ZCMPE，例如，在外部電源電壓 EXVDD 為 2.5V 的低電壓的情況，設定為 H 位準，而例如在外部電源電壓 EXVDD 為 3.3V 的高電壓的情況，設定為 L 位準。該外部電源位準指定信號 ZCMPE 係藉由掩模內連線或搭接焊墊的電壓固定來設定其電壓位準。

電力截止致能信號 PCUTE 與習知相同，係在指定深電力下降模式時設定為 H 位準。據此，在深電力下降模式時，停止陣列基準電壓 V_{refs} 、週邊基準電壓 V_{refp} 及輸入基準電壓 V_{refi} 。在深電力下降模式時，有接收解除深電力下降模式的指令，使執行深電力下降模式解除的動作的電路動作的必要。如後述之說明，在深電力下降模式時，從其他路徑基於外部電源電壓生成週邊電源電壓，並作為動作電源電壓供給與該深電力下降模式的設定/解除關連的週邊控制電路。

內部電壓產生電路還包括：基於週邊基準電壓 V_{refp} 而於週邊電源線 10p 上生成週邊電源電壓 VDDP 的週邊電源電路 3；基於陣列基準電壓 V_{refs} 而於陣列電源線 10s 上生成陣列電源電壓（感測電源電壓）VDDS 的陣列電源電路 4；及基於輸入基準電壓 V_{refi} 而於輸入電源線 10i 上生成輸

入電源電壓 VDDI 的輸入電源電路 5。

週邊電源線 10p 上的週邊電源電壓 VDDP，對應於圖 37 所示週邊電源電壓 Vddp，並供給週邊電路。陣列電源電壓 VDDS 對應於圖 37 所示感測電源電壓 Vdds，並供給感測放大器組等。輸入電源電壓 VDDI 係於介面規格如為 1.8VIO 介面時被生成，並作為動作電源電壓被供給輸入電路初級的輸入緩衝器。輸出電源電壓 VDDQ 為輸出專用而由外部供給輸出電路。

週邊電源電路 3 包括：響應供入控制輸入 AIN 及 BIN 的陣列活性化信號 ACT 及外部電源位準指定信號 ZCMPE 而被選擇性活性化，並在活性化時於週邊電源線 10p 基於週邊基準電壓 Vrefp 生成週邊電源電壓 VDDP 的週邊有源器 VDC(降壓電路)3a；及根據供入控制輸入 CIN 的信號被選擇性活性化，並在活性化時於週邊電源線 10p 生成週邊電源電壓 VDDP 的週邊待機部 VDC3s。

週邊有源器 VDC3a 係於動作時，以大電流驅電源將電流供給週邊電源線 10p，即便由內部動作消耗週邊電源電壓 VDDP，仍將其電壓位準維持在指定的電壓位準。

週邊待機部 VDC3s 係於設定動作狀態的情況，以小電流驅電源將電流供給週邊電源線 10p，於待機狀態時週邊電源電壓 VDDP 藉由漏電流等防止其電壓位準的降低。

與週邊基準電壓產生電路 2p 相同，接收外部電源位準指定信號 ZCMPE 及電力截止致能信號 PCUTE 的 OR 閘 6 的輸出信號，供給該週邊待機部 VDC3s 的控制輸入 CIN。此等

週邊有源器 VDC3a 及週邊待機部 VDC3s 在動作時比較週邊基準電壓 Vrefp 及週邊電源電壓 VDDP，根據該比較結果從外部電源節點將電流供給週邊電源線 10p，將週邊電源電壓 VDDP 維持在對應週邊基準電壓 Vrefp 的電壓位準的電壓位準。

週邊有源器 VDC3a，係在供給控制輸入 AIN 的陣列活性化信號 ACT 為活性狀態且供給控制輸入 BIN 的外部電源位準指定信號 ZCMPE 為 L 位準時被活性化，而生成週邊電源電壓 VDDP。週邊待機部 VDC3s，係在外部電源位準指定信號 ZCMPE 及電力截止致能信號 PCUTE 均為 L 位準時被活性化，在選擇記憶單元的有源循環及記憶單元選擇完成後的待機循環時動作，生成週邊電源電壓 VDDP。

陣列電源電路 4 包括：在供給控制輸入 AIN 的陣列活性化信號 ACT 的活性化時進行動作，比較陣列電源電壓 VDDS 及陣列基準電壓 Vrefs，並根據該比較結果從外部電源節點將電流供給陣列電源線 10s 的陣列有源器 VDC4a；及在供入控制輸入 CIN 的電力截止致能信號 PCUTE 的非活性化時 (L 位準時) 進行動作，並根據陣列基準電壓 Vrefs 及陣列電源電壓 VDDS 的比較結果從外部電源節點將電流供給陣列電源線 10s 的陣列待機部 VDC4s。

對於陣列電源電路 4 並未供給外部電源位準指定信號 ZCMPE。這是因為外部電源電壓 EXVDD 如可為 2.5V 及 3.3V，陣列電源電壓 VDDS 如可為 2.0V，有對於外部電源電壓 EXVDD 的任一電壓位準，降低外部電源電壓 EXVDD 以

生成陣列電源電壓 VDDS 的必要。

輸入電源電路 5 包括：在供給控制輸入 AIN 的信號的活性狀態時被活性化，比較輸入基準電壓 Vrefi 及輸入電源電壓 VDDI，並根據該比較結果將電流供給輸入電源線 10i 的輸入有源器 VDC5a；及在供入控制輸入 CIN 的信號為 L 位準時被活性化，於活性化時比較輸入基準電壓 Vrefi 及輸入電源電壓 VDDI，並根據該比較結果將電流供給輸入電源線 10i 的輸入待機部 VDC5s。

接收陣列活性化信號 ACT 與模式選擇信號 MLV 的開電路 7 的輸出信號，係供給輸入有源器 VDC5a。該開電路 7 係在陣列活性化信號 ACT 為 H 位準且模式選擇信號 MLV 為 L 位準時輸出 H 位準的信號。模式選擇信號 MLV 係於 L 位準時指定 1.8VIO(介面)模式。接收模式選擇信號 MLV 與電力截止致能信號 PCUTE 的 OR 閘 8 的輸出信號，係供給輸入待機部 VDC5s 的控制輸入 CIN。

OR 電路 6 及 8 與開電路 7，接收外部電源電壓作為動作電源電壓，根據外部電源電壓位準的電力截止致能信號 PCUTE 或模式選擇信號 MLV 分別生成控制信號。

內部電壓產生電路還包括：反轉模式選擇信號 MLV 的反相器 11；及於反相器 11 的輸出信號為 L 位準時導通，電連接週邊電源線 10p 與輸入電源線 10i 的連接閘 12。圖 1 中，連接閘 12 係由 P 通道 MOS 電晶體所組成。但是，該連接閘 12 也可由 CMOS 傳輸閘所組成。

也就是說，當模式選擇信號 MLV 為 L 位準時，連接閘 12

為非導通狀態，週邊電源電壓 $VDDP$ 及輸入電源電壓 $VDDI$ 各個被分開生成。反之，當模式選擇信號 MLV 為 H 位準時，連接開 12 導通，電性連接週邊電源線 10p 及輸入電源線 10i。該情況，週邊電源電壓 $VDDP$ 係用作為輸入電源電壓 $VDDI$ (因為輸入電源電路 5 保持為非動作狀態)。

也就是說，在該模式設定信號 MLV 為 H 位準時，介面指定為 LVTTL 模式，在模式選擇信號 MLV 為 L 位準時，指定為 1.8VIO 模式。在 LVTTL 模式，輸入信號的 H 位準 V_{IH} 為 2.0V，L 位準 V_{IL} 為 0.8V。另一方面，在 1.8VIO 模式，輸入信號的 H 位準較 LVTTL 位準低。

據此，在模式設定信號 MLV 設定為 L 位準的情況，使輸入電源電路 5 動作，生成響應 1.8VIO 模式的輸入電源電壓 $VDDI$ 。反之，在模式設定信號 MLV 為 H 位準，且指定 LVTTL 模式的情況，將輸入電源電壓 $VDDI$ 與週邊電源電壓 $VDDP$ 規定為相同電壓位準，停止輸入電源電路 5 的動作。藉此，減低 LVTTL 模式的消耗電力。

圖 2 為顯示圖 1 所示基準電壓產生電路 2p、2s 及 2i 的構成的一例圖。此等基準電壓產生電路 2p、2s 及 2i 具有相同的構成，因此於圖 2 中，代表性顯示 1 個基準電壓產生電路 2。

圖 2 中，基準電壓產生電路 2 包括：耦合於外部電源節點且供給定電流 I_0 的定電流源 20a；連接於定電流源 20a 與輸出節點 20f 之間且其閘極連接於控制輸入 DIS 的 P 通道 MOS 電晶體 20b；一端連接於輸出節點 20f 的電阻元件

20c;連接於電阻元件 20c 與接地節點之間且其閘極連接於接地節點的 P 通道 MOS 電晶體 20d;及連接於輸出節點 20f 與接地節點之間且其閘極連接於控制輸入 DIS 的 N 通道 MOS 電晶體 20e。

於該基準電壓產生電路 2 中，當供給控制輸入 DIS 的信號為 L 位準時，MOS 電晶體 20b 為導通狀態，MOS 電晶體 20e 為非導通狀態。MOS 電晶體 20d 係於二極體模式時動作，導通時產生該臨限電壓的絕對值 V_{tp} 的電壓下降。於利用該 MOS 電晶體 20d 時外部電源電壓 EXVDD 上升，直到 MOS 電晶體 20d 的源極電位超過電壓 V_{tp} 為止，根據外部電源電壓 EXVDD 使來自輸出節點 20f 的電壓 V_{ref} 上升。藉此，於外部電源投入時，以高速使基準電壓 V_{ref} 的電壓位準上升。

據此，在供給該控制輸入 DIS 的信號為 L 位準時，來自輸出節點 20f 的基準電壓 V_{ref} 的電壓位準，由如下數式供給。

$$V_{ref} = I_0 \times R + V_{tp}$$

其中，R 顯示電阻元件 20c 的電阻值。

在供給控制輸入 DIS 的控制信號為 H 位準時，MOS 電晶體 20b 為非導通狀態，MOS 電晶體 20e 為導通狀態。據此，該情況，來自定電流源 20a 的電流供給的路徑被阻斷，基準電壓 V_{ref} 由 MOS 電晶體 20e 固定在接地電壓位準。

該基準電壓產生電路 2 為圖 1 所示週邊基準電壓產生電路 2p 的情況，將外部電源位準指定信號 ZCMPE 供給控制輸

入 DIS。在該外部電源位準指定信號 ZCMPE 為 H 位準時，外部電源電壓 EXVDD 如為 2.5V。該情況，如後述之詳細說明，週邊電源電壓 VDDP 與外部電源電壓 EXVDD 設定為相同的電壓位準。據此，該情況無生成週邊基準電壓 Vrefp 的必要，週邊基準電壓產生電路 2p 的動作停止。另一方面，在外部電源電壓 EXVDD 如為 3.3V 的情況，外部電源位準指定信號 ZCMPE 設定為 L 位準，根據該週邊基準電壓 Vrefp 將外部電源電壓 EXVDD 降壓，生成週邊電源電壓 VDDP。

在圖 2 所示基準電壓產生電路 2，為陣列基準電壓產生電路 2s 或輸入基準電壓產生電路 2i 的情況，電力截止致能信號 PCUTE 被供給控制輸入 DIS。據此，於深電力下降模式時，該電力截止致能信號 PCUTE 成為 H 位準，停止此等陣列基準電壓產生電路 2s 及輸入基準電壓產生電路 2i 的基準電壓產生動作。

在週邊基準電壓產生電路 2p 的情況，於控制輸入 DIS 接收 OR 電路 6 的輸出信號，在外部電源位準指定信號 ZCMPE 為 H 位準時，與動作模式無關停止基準電壓產生動作，週邊基準電壓 Vrefp 固定在接地電壓位準。在外部電源位準指定信號 ZCMPE 為 L 位準時，OR 電路 6 的輸出信號藉由電力截止致能信號 PCUTE 成為 H 位準，於深電力下降模式時，與陣列基準電壓 Vrefs 及輸入基準電壓 Vrefi 相同，停止週邊基準電壓 Vrefp 的產生。

圖 3 為顯示圖 1 所示週邊有源器 VDC3a 的構成的一例圖。圖 3 中，週邊有源器 VDC3a 包括：比較週邊電源電壓

VDDP 與週邊基準電壓 V_{refp} 的比較電路 23；及動作時根據比較電路 23 的輸出信號於週邊電源線 10p 將電流供給外部電源節點的電流驅動電晶體 24。

比較電路 23 包括：連接於外部電源節點與節點 ND1 之間且其閘極連接於節點 ND1 的 P 通道 MOS 電晶體 23a；連接於節點 ND1 與節點 ND3 之間且其閘極連接於週邊電源電壓 VDDP 的 N 通道 MOS 電晶體 23c；連接於外部電源節點與節點 ND2 之間且其閘極連接於節點 ND1 的 P 通道 MOS 電晶體 23b；連接於節點 ND2 與節點 ND3 之間且其閘極連接於基準電壓 V_{refp} 的 N 通道 MOS 電晶體 23d；及連接於節點 ND3 與接地節點之間且於其閘極接收開電路 25 的輸出信號的 N 通道 MOS 電晶體 23e。

MOS 電晶體 23a 及 23b 組成電流鏡電路，流入 MOS 電晶體 23a 的電流的鏡電流，通過 MOS 電晶體 23b 而流動。鏡面比為 1 的情況，MOS 電晶體 23a 及 23b 流動相同大小的電流。

MOS 電晶體 23c 及 23d 組成比較週邊電源電壓 VDDP 與週邊基準電壓 V_{refp} 的差動級。MOS 電晶體 23e 作為該比較電路 23 的電流源電晶體進行動作，於導通時啟動該比較電路 23 的比較動作，而於非導通時則阻斷動作電流的路徑，禁止該比較電路 23 的比較動作。

開電路 25 接收供給控制輸入 AIN 的陣列活性化信號 ACT 及供給控制輸入 BIN 的外部電源位準指定信號 ZCMPE。該開電路 25 係於陣列活性化信號 ACT 為 H 位準且外部電源位

準指定信號 ZCMPE 為 L 位準時輸出 H 位準的信號。據此，在外部電源位準指定信號 ZCMPE 為 H 位準時，開電路 25 的輸出信號固定在 L 位準，該比較電路 23 被禁止比較動作。也就是說，在外部電源電壓 EXVDD 為如 2.5V 的低電壓的情況，該外部電源位準指定信號 ZCMPE 被設定為 H 位準，停止比較電路 23 的比較動作。

週邊有源器 VDC3a 還包括：接收供給控制輸入 BIN 的外部電源位準指定信號 ZCMPE 的反相器 26；於反相器 26 的輸出信號為 L 位準時導通，將節點 ND1 耦合於外部電源節點的 P 通道 MOS 電晶體 27；於接收供給控制輸入 AIN 的陣列活性化信號 ACT 與供給控制輸入 BIN 的外部電源位準指定信號 ZCMPE 的開電路 32 的輸出信號的非活性化時 (L 位準時) 導通，將節點 ND2 耦合於外部電源節點的 P 通道 MOS 電晶體 29；接收供給控制輸入 DIN 的外部電源位準指定信號 ZCMPE 的反相器 30；於反相器 30 的輸出信號為 L 位準時導通，導通時將週邊電源線 10p 耦合於外部電源節點的 P 通道 MOS 電晶體 31；於供給控制輸入 BIN 的外部電源位準指定信號 ZCMPE 為 H 位準時導通，導通時將節點 ND2 保持於接地電壓位準的 N 通道 MOS 電晶體 28。

開電路 32 係於陣列活性化信號 ACT 為 H 位準且外部電源位準指定信號 ZCMPE 為 L 位準時輸出 H 位準的信號。

在外部電源位準指定信號 ZCMPE 為 H 位準時，反相器 26 及 30 的輸出信號成為 L 位準，MOS 電晶體 27 及 31 導通。此外，開電路 32 的輸出信號成為 H 位準，MOS 電晶體 29

成為非導通狀態，節點 ND2 從外部電源節點隔離。又，MOS 電晶體 28 成為導通狀態，節點 ND2 固定在接地電壓位準。

在該狀態中，節點 ND1 成為外部電源電壓位準，MOS 電晶體 23a 及 23b 成為截止狀態。比較電路 23 的比較動作被鎖住。

另一方面，週邊電源線 10p 介由 MOS 電晶體 31 耦合於外部電源節點，週邊電源電壓 VDDP 成為外部電源電壓 EXVDD 位準。此外，因為節點 ND2 保持於接地電壓位準，因此 MOS 電晶體 24 固定為導通狀態。僅使用電流驅動電晶體 24，在外部電源電壓 EXVDD 低的情況，在直接連接外部電源節點與週邊電源線 10p 的情況，因其通道電阻產生電壓下降，週邊電源電壓 VDDP 的電壓位準較外部電源電壓 EXVDD 還要降低，無法獲得必要的電壓位準。該情況，為了降低通道電阻，在將電流驅動電晶體 24 的尺寸（通道寬與通道長的比）增大的情況，外部電源位準指定信號 ZCMPE 為 L 位準時的週邊有源器 VDC3a 的增益增大，變得容易產生振盪而無法穩定地生成週邊電源電壓 VDDP。此外，為了抑制振盪動作以維持比較電路 23 的響應性，有增大該比較電路 23 的各電晶體的電流驅動力（尺寸）的必要，從而產生比較電路 23 的消耗電力增加的問題。

將 MOS 電晶體 31 與電流驅動電晶體 24 分開設置，僅於外部電源位準指定信號 ZCMPE 為 H 位準時使 MOS 電晶體 31 處於導通狀態，將週邊電源電壓 VDDP 的電壓位準設定為外部電源電壓 EXVDD 位準。即使增大該 MOS 電晶體 31 的尺

寸，在外部電源位準指定信號 ZCMPE 為 L 位準時，該 MOS 電晶體 31 成為非導通狀態，而不會影響到週邊有源器 VDC3a。

藉此，即使電源電壓 EXVDD 的電壓位準為如 2.5V 的低電壓的情況，仍可使用 MOS 電晶體 24 及 31，確實將週邊電源電壓 VDDP 維持在外部電源電壓 EXVDD 位準。此外，在外部電源電壓 EXVDD 的電壓位準高的情況，藉由電流驅動電晶體 24 的電流驅動，不會穩定地產生振盪動作，可生成所需電壓位準的週邊電源電壓 VDDP。此外，可減小比較電路 23 的各電晶體的尺寸，可降低消耗電流（動作電流）。

此外，週邊基準電壓 Vrefp 如圖 2 所示，在外部電源位準指定信號 ZCMPE 為 H 位準時，為接地電壓位準，MOS 電晶體 23d 維持非導通狀態。據此，在外部電源位準指定信號 ZCMPE 為 H 位準時，節點 ND2 也固定在接地電壓位準，可防止漏電流從 MOS 電晶體 27 介由 MOS 電晶體 23c 及 23d 流入接地節點。

週邊電路的電晶體在以電源電壓為 2.5V 其動作特性被最佳化的方式所設計的情況，在製造對應於 3.3V 的外部電源電壓 EXVDD 的 3.3V 製品的情況，將外部電源位準指定信號 ZCMPE 設定為 L 位準，使週邊有源器 VDC3a 動作，將外部電源電壓 EXVDD 降壓，生成 2.5V 位準的週邊電源電壓 VDDP。另一方面，在製造應用於 2.5V 的外部電源電壓 EXVDD 的 2.5V 製品的情況，將該外部電源位準指定信號 ZCMPE 設定為 H 位準，直接連接週邊電源線 10p 與外部電源節點。

以相同電路構成，可實現對應於複數種類的外部電源電壓的週邊電源電路。

又，在外部電源位準指定信號 ZCMPE 為 L 位準時，MOS 電晶體 27、28 及 31 均為非導通狀態。該情況，陣列活性化信號 ACT 成為 H 位準，在週邊電路動作時，MOS 電晶體 23e 成為導通狀態，MOS 電晶體 29 成為非導通狀態，比較電路 23 進行動作，電流驅動電晶體 24 根據該比較電路 23 的輸出信號將電流供給週邊電源線 10b。

當陣列活性化信號 ACT 成為 L 位準時，MOS 電晶體 23e 成為非導通狀態，MOS 電晶體 31 成為導通狀態，節點 ND2 被設定為外部電源電壓 EXVDD 位準，電流驅動電晶體 24 成為非導通狀態。

圖 4 為顯示產生外部電源位準指定信號 ZCMPE 的部份的構成的一例圖。圖 4 中，外部電源位準指定信號產生部包括藉由金屬內連線 35a 將其連接路徑設定於外部電源節點或接地節點之任一者的金屬開關 35。藉由該金屬開關 35 的連接路徑設定，外部電源位準指定信號 ZCMPE 的電壓位準被固定設定。該金屬內連線 35a 為掩模內連線，並藉由脈衝限幅步驟所形成。圖 4 中，作為一例顯示將金屬內連線 35a 耦合於外部電源節點，生成 H 位準之外部電源位準指定信號 ZCMPE 的狀態。據此，在脈衝限幅步驟中，藉由設定該金屬內連線 35a 的連接路徑，使用相同晶片構成的 DRAM，即可製造 3.3V 製品及 2.5V 製品等的對應於互異的外部電源電壓位準的製品。

圖 5 為顯示產生外部電源位準指定信號 ZCMPE 的部份的其他構成的概要圖。圖 5 中，外部電源位準指定信號產生部包括：焊墊 40；及響應該焊墊 40 的電壓位準生成外部電源位準指定信號 ZCMPE 的 ZCMPE 產生電路 41。ZCMPE 產生電路 41 係依照焊墊 40 在其搭焊接合時被設定為外部電源電壓及接地電壓的任一者，來決定其內部構成。基本上，該 ZCMPE 產生電路 41 包括門鎖焊墊 40 之電位的門鎖電路。也就是說，在該 ZCMPE 產生電路 41 中，焊墊 40 係設定為連接於外部電源電壓或接地電壓、或是導通狀態。

此外，該外部電源位準指定信號 ZCMPE，使用可熔斷的連接元件，從設定其輸出信號的電壓位準的程式電路生成亦可。

又，外部電源位準指定信號 ZCMPE 之 H 位準，係為外部電源電壓 EXVDD 位準，圖 3 所示反相器 26 及 30 與開電路 32，接收外部電源電壓 EXVDD 作為動作電源電壓。開電路 25 也可接收週邊電源電壓 VDDP 作為動作電源電壓。

圖 6 為顯示圖 1 所示陣列有源器 VDC4a 及輸入有源器 VDC5a 的構成的一例圖。此等陣列有源器 VDC4a 及輸入有源器 VDC5a 具有相同的構成，因此，在圖 6 中，顯示陣列有源器 VDC4a 的構成，並於括號內顯示輸入有源器 VDC5a 的構成要素的參照元件符號。

圖 6 中，陣列有源器 VDC4a 包括：於供給控制輸入 AIN 的信號為 H 位準時被活性化，比較陣列電源線 10s 上的陣列電源電壓 VDDS 與陣列基準電壓 Vrefs 的比較電路 50；

根據比較電路 50 的輸出信號從外部電源節點將電流供給陣列電源線 10s 的電流驅動電晶體 51；及於供給控制輸入 AIN 的信號為 L 位準時導通，將電流驅動電晶體 51 的閘極節點 ND4 維持於外部電源電壓 EXVDD 的 P 通道 MOS 電晶體 52。

在該陣列有源器 VDC4a 的構成中，比較電路 50 係由電流鏡型差動放大電路所構成，於供給控制輸入 AIN 的信號為 H 位準時，藉由比較電路 50 的比較動作，於節點 ND4 出現響應陣列基準電壓 V_{refs} 與陣列電源電壓 V_{DDS} 的差的電壓位準的信號。電流驅動電晶體 51 根據該節點 ND4 上的信號，從外部電源節點將電流供給陣列電源線 10s。據此，在該構成中，陣列電源電壓 V_{DDS} 維持在陣列基準電壓 V_{refs} 的電壓位準。

於供給控制輸入 AIN 的信號為 L 位準時，在比較電路 50 中，阻斷流動動作電流的路徑以停止比較動作。此外，MOS 電晶體 52 導通，節點 ND4 維持於外部電源電壓 EXVDD 位準，電流驅動電晶體 51 成為非導通狀態。據此，具有較大的電流驅動力的陣列有源器 VDC4a，在內部電路動作時（如後述說明之感測動作時）進行動作，以大電流驅動力生成陣列電源電壓 V_{DDS} ，防止其電壓位準的降低。

輸入有源器 VDC5a 的情況，響應輸入電源線 10i 上的輸入電源電壓 V_{DDI} 與輸入基準電壓 V_{refi} 的差，電流驅動電晶體 51 將電流供給輸入電源線 10i，於輸入基準電壓 V_{refi} 的電壓位準設定輸入電源電壓 V_{DDI} 的電壓位準。

在陣列有源器 VDC4a 中，陣列活性化信號 ACT 被供給控制輸入 AIN。另一方面，在輸入有源器 VDC5a 的情況，於控制輸入 AIN 供入圖 1 所示開電路 7 的輸出信號。據此，在模式設定信號 MLV 設定為 H 位準，且輸入介面設定為 LVTTTL 模式的情況，該輸入有源器 VDC5a 的動作停止。在該狀態下，輸入電源電壓 VDDI 係設定為與圖 1 所示週邊電源電壓 VDDP 相同的電壓位準。反之，在模式設定信號 MLV 設定為 L 位準，且指定 1.8VIO 模式作為介面模式的情況，該輸入有源器 VDC5a 根據陣列活性化信號 ACT 被選擇性活化。

模式選擇信號 MLV 與外部電源位準指定信號 ZCMPE 相同，係藉由掩模內連線或搭接焊墊的選擇性搭線而設定為該電壓位準。

又，在產生輸入基準電壓 Vrefi 的輸入基準電壓產生電路 2i 中，電力截止致能信號 PCUTE 被供給該控制輸入 DIS。但是，也可將電力截止致能信號 PCUTE 與接收模式設定信號 MLV 的開電路的輸出信號供給該輸入基準電壓產生電路 2i 的控制輸入 DIS。也就是說，在模式設定信號 MLV 設定為 H 位準，且指定 LVTTTL 模式時，並無生成輸入電源電壓 VDDI 的必要，因此，使該輸入基準電壓產生電路 2i 的基準電壓產生動作停止。藉此，可減低消耗電流。作為將信號供給該輸入基準電壓產生電路 2i 的控制輸入 DIS 的開電路，可使用 OR 電路。

圖 7 為顯示圖 1 所示待機部 VDC3s、4s 及 5s 的構成的

一例圖。因為此等待機部 VDC3s、4s 及 5s 具有相同的構成，圖 7 中，代表性顯示 1 個待機部 VDC。圖 7 中，待機部 VDC 包括：於供給控制輸入 CIN 的信號為 H 位準時被活性化，活性化時比較基準電壓 Vref(Vrefi、Vrefp、Vrefs)與電源電壓 VDD(VDDI、VDDP、VDDS)的比較電路 60；根據比較電路 60 的輸出信號從外部電源節點將電流供給內部電源線(10i、10p、10s)的電流驅動電晶體 61；及於供給控制輸入 CIN 的信號為 L 位準時導通，導通時將外部電源電壓 EXVDD 傳輸給電流驅動電晶體 61 的閘極節點 ND5 的 P 通道 MOS 電晶體 62。

在週邊待機部 VDC3s 的情況，圖 1 所示 OR 閘 6 的輸出信號被供給控制輸入 CIN。據此，在週邊待機部 VDC3s 的情況，在電力截止致能信號 PCUTE 及外部電源位準指定信號 ZCMPE 均為 H 位準時被活性化，根據基準電壓 Vref 與內部電源電壓 VDD 的差調整內部電源電壓 VDD 的電壓位準。也就是說，週邊待機部 VDC3s 在外部電源電壓為 2.5V，且外部電源位準指定信號 ZCMPE 設定為 H 位準的情況，停止其動作，此外，在外部電源電壓為 3.3V 的情況，當電力截止致能信號 PCUTE 被活性化時，停止其內部電源電壓產生動作。

在陣列待機部 VDC4s 的情況，電力截止致能信號 PCUTE 被供給該控制輸入 CIN。據此，僅在深電力下降模式時，該陣列待機部 VDC4s 才停止陣列電源電壓 VDDS 的產生動作。

在輸入待機部 VDC5s 的情況，模式設定信號 MLV 與接收電力截止致能信號 PCUTE 的 OR 閘的輸出信號被供給該控制輸入 CIN。據此，在指定 LVTTL 模式、且模式設定信號 MLV 為 H 位準時，及在深電力下降模式時，當電力截止致能信號 PCUTE 設定為 H 位準時，該輸入待機部 VDC5i 才停止輸入電源電壓 VDDI 的產生動作。

如上所述，根據本發明之實施形態 1，根據電源位準指定信號、模式設定信號及電力截止致能信號，選擇性地作用待機部 VDC 及有源器 VDC，響應各動作模式/外部電源電壓位準使必要的電路動作，可減低消耗電力，穩定生成所需要的電壓位準的內部電源電壓。

尤其是在週邊電源電路中，設置在外部電源電壓為如 2.5V 的情況串聯耦合傳輸週邊電源電壓 VDDP 的週邊電源線與外部電源節點用的專用的輔助驅動電晶體，不用降低響應比較電路而動作的電流驅動電晶體的通道電阻，可將週邊電源電壓設定為外部電源電壓位準，不會對該外部電源電壓為 3.3V 時的週邊電源電路的動作特性產生惡影響，而可穩定生成所需電壓位準的週邊電源電壓。

此外，當指定為該 1.8VIO 介面模式時，使產生輸入電源電壓的電路動作停止，連接週邊電源線與輸入電源線，減低 1.8VIO 介面模式時的消耗電力，可生成必要的電壓位準的內部電源電壓。

(實施形態 2)

圖 8 為顯示本發明之實施形態 2 之輸入電路的構成圖。

圖 8 中，在從外部信號生成內部信號的信號輸入部中，對於共同的外部信號 EXSG 設置，接收作為動作電源電壓的週邊電源電壓 VDDP 的輸入緩衝電路 72；及接收作為動作電源電壓的輸入電源電壓 VDDI 的輸入緩衝電路 78。為了擇一啟動此等輸入緩衝電路 72 及 78，設置接收輸入致能信號 EN 及模式設定信號 MLV 的開電路 70 及 76。

開電路 70 係於輸入致能信號 EN 及模式設定信號 MLV 均為 H 位準時，啟動輸入緩衝電路 72。開電路 76 係於輸入致能信號 EN 為 H 位準且模式設定信號 MLV 為 L 位準時，啟動輸入緩衝電路 78。

輸入緩衝電路 72 包括：串聯連接於週邊電源節點與內部節點 ND10 間的 P 通道 MOS 電晶體 72a 及 72b；及並聯連接於內部節點 ND10 與接地節點間的 N 通道 MOS 電晶體 72c 及 72d。

對於 MOS 電晶體 72a 及 72d 的閘極供給開電路 70 的輸出信號，對於 MOS 電晶體 72b 及 72c 的閘極供給外部信號 EXSG。據此，在該輸入緩衝電路 72 中，在開電路 70 的輸出信號為 H 位準時，藉由 MOS 電晶體 72d 將內部節點 ND10 固定在接地電壓位準。在開電路 70 的輸出信號為 L 位準時，MOS 電晶體 72d 成為非導通狀態，MOS 電晶體 72a 成為導通狀態，於節點 ND10 輸出反轉外部信號 EXSG 後的信號。

在開電路 70 的輸出信號為 H 位準時，MOS 電晶體 72a 成為非導通狀態，此外，MOS 電晶體 72d 被設定為導通狀態，將內部節點 ND10 固定在接地電壓位準。

輸入緩衝電路 78 包括：串聯連接於輸入電源節點與內部節點 ND11 間的 P 通道 MOS 電晶體 78a 及 78b；及並聯連接於內部節點 ND11 與接地節點間的 N 通道 MOS 電晶體 78c 及 78d。對於 MOS 電晶體 78a 及 78d 的閘極供給閘電路 76 的輸出信號，對於 MOS 電晶體 78b 及 78c 的閘極供給外部信號 EXSG。

閘電路 76 係於輸入致能信號 EN 為 H 位準且及模式設定信號 MLV 為 L 位準時輸出 L 位準的信號。

該輸入緩衝電路 78 也與輸入緩衝電路 72 相同，在閘電路 76 的輸出信號為 L 位準時，MOS 電晶體 78a 成為導通狀態，MOS 電晶體 78d 成為非導通狀態，於節點 ND11 生成反轉外部信號 EXSG 後的信號。反之，在閘電路 76 的輸出信號為 H 位準時，MOS 電晶體 78a 成為非導通狀態，MOS 電晶體 78d 成為導通狀態，與外部信號 EXSG 的邏輯位準無關，將節點 ND10 固定在接地電壓位準。

輸入電路還包括：反轉輸入緩衝電路 72 的輸出信號的 CMOS 反相器 74；反轉輸入緩衝電路 78 的輸出信號的 CMOS 反相器 80；根據輸入緩衝電路 78 的輸出信號與反相器 80 的輸出信號，將該反相器 80 的輸出信號轉換為振幅的週邊電源電壓 VDDP 位準的信號的位準轉換電路 82；及接收 CMOS 反相器 74 的輸出信號與位準轉換電路 82 的輸出信號生成內部信號 INSG 的 AND 電路 84。

CMOS 反相器 74 接收週邊電源電壓 VDDP 作為動作電源電壓，CMOS 反相器 80 接收輸入電源電壓 VDDI 作為動作電源

電壓。位準轉換電路 82 接收週邊電源電壓 VDDP 作為動作電源電壓，AND 電路 84 接收週邊電源電壓 VDDP 作為動作電源電壓。

位準轉換電路 82 包括：連接於週邊電源節點與節點 ND12 間、且其閘極連接於節點 ND13 的 P 通道 MOS 電晶體 82a；連接於週邊電源節點與節點 ND13 間、且其閘極連接於節點 ND12 的 P 通道 MOS 電晶體 82b；連接於節點 ND12 與接地節點間、且其閘極接收 CMOS 反相器 80 的輸出信號的 N 通道 MOS 電晶體 82c；及連接於節點 ND13 與接地節點間、且其閘極接收輸入緩衝電路 78 的輸出信號的 N 通道 MOS 電晶體 82d。

該位準轉換電路 82 係於 CMOS 反相器 80 的輸出信號為輸入電源電壓 VDDI 的 H 位準時，輸出週邊電源電壓 VDDP 位準的信號。CMOS 反相器 80 的輸出信號為 L 位準（接地電壓位準）時，輸入緩衝電路 78 的輸出信號為輸入電源電壓 VDDI 位準，MOS 電晶體 82d 導通，於位準轉換電路 82 的輸出節點 13 輸出 L 位準的信號。據此，該位準轉換電路 82 將輸入緩衝電路 78 的 L 位準的輸出信號轉換為週邊電源電壓位準的信號，將 H 位準的信號轉換為接地電壓位準的信號。

AND 電路 84 包括：接收 CMOS 反相器 74 的輸出信號與位準轉換電路 82 的輸出信號的 NAND 閘 84a；及反轉 NAND 閘 84a 的輸出信號以生成內部信號 INSG 的反相器 84b。

藉由該 AND 電路 84 將 CMOS 反相器 74 的輸出信號與位

準轉換電路 82 的輸出信號合併，生成對應被致能的輸入緩衝電路的輸出信號的內部信號 INSG。

輸入緩衝電路 72 及 78 係根據模式設定信號 MLV 而被擇一啟動，於禁止時其輸出信號為接地電壓位準。CMOS 反相器 74 及位準轉換電路 82 分別反轉輸入緩衝電路 72 及 78 的輸出信號。據此，反轉禁止狀態時之輸入緩衝電路的輸出信號供給 AND 電路 84，AND 電路 84 根據被致能的輸入緩衝電路的輸出信號生成內部信號 INSG。

圖 9 為顯示模式設定信號 MLV 為 H 位準，且指定為 LVTTTL 模式時的輸入緩衝電路與內部電壓產生電路的狀態的概要圖。在該模式設定信號 MLV 為 H 位準時，指定為 LVTTTL 模式，輸入信號的 H 位準 V_{IH} 為 2.0V，輸入信號的 L 位準 V_{IL} 為 0.8V。該情況，如圖 1 所示，輸入電源電壓產生電路 5 被設定為禁止狀態，週邊電源線 10p 耦合於輸入電源線 10i。輸入緩衝電路 72 接收週邊電源電壓 VDDP 作為動作電源電壓，根據外部信號並介由閘電路 84 生成內部信號 INSG。該情況，輸入緩衝電路 78 係為禁止狀態，其輸出信號固定在 L 位準。

在輸入緩衝電路 72 中，根據該週邊電源電壓 VDDP 的電壓位準 (2.5V)，對於 V_{IH}/V_{IL} 將邊線最佳化。藉此，可對 LVTTTL 模式的輸入信號正確生成內部信號 INSG。此外，使輸入電源電壓產生電路 5 的動作停止，可減低消耗電流。

圖 10 為顯示模式設定信號 MLV 為 L 位準時的輸入緩衝電路與內部電壓產生電路的狀態的概要圖。在該模式設定

信號 MLV 為 L 位準時，指定為 1.8VIO 介面模式。在該模式中，輸入信號的 H 位準 V_{IH} 及 L 位準 V_{IL} 均較 LVTTL 模式的位準要低。例如，在該 1.8VI/O 模式 (1.8VIO 介面模式) 中，輸入信號的 H/L 位準 V_{IH}/V_{IL} ，例如被設定為 $0.65V_{DDQ}/0.35V_{DDQ}$ 或 $0.8V_{DDQ}/0.2V_{DDQ}$ 。在此， V_{DDQ} 為供給輸出電路的輸出電源電壓的電壓位準，為與外部電源電壓位準相等的電壓位準。週邊電源電壓 V_{DDP} 一般為 2.5V。

據此，在使用該輸入緩出器 72 並以 1.8 VI/O 模式動作的情況，對該輸入信號位準 V_{IH}/V_{IL} 的邊限不同，無法正確進行輸入信號的邏輯位準判定，而變得無法正確生成內部信號 INSG (在 1.8 VI/O 模式中，較 LVTTL 模式時的 V_{IH}/V_{IL} ，其輸入信號的邏輯位準的基準值 V_{IH} 及 V_{IL} 均低。)。據此，於該 1.8 VI/O 模式專用，生成 1.8V 的輸入電源電壓 V_{DDI} 以使輸入緩出電路 78 動作。該情況，將輸入緩出電路 78 的輸入邏輯臨限值，配合於該 1.8 VI/O 模式的 V_{IH}/V_{IL} 予以最佳化。根據該輸入緩出電路 78 的輸出信號，介由開電路 84 生成內部信號 INSG。

在該 1.8 VI/O 模式中，圖 1 所示連接開 12 為非導通狀態，週邊電源線 10p 及輸入電源線 10s 被隔離，週邊電源電壓產生電路 3 及輸入電源電壓產生電路 5，均分別於週邊電源線 10p 及輸入電源線 10s 生成週邊電源電壓 V_{DDP} 及輸入電源電壓 V_{DDI} 。

又，週邊電源電壓產生電路 3，係根據外部電源位準指

定信號 ZCMPE 而設定為被禁止的狀態或是啟動狀態。

如上所述，根據本發明之實施形態 2，藉由分別設置 LVTTL 模式及 1.8V_{I/O} 模式專用而動作的輸入緩衝電路，響應指定的介面選擇性使此等輸入緩衝電路動作，即可實現穩定地以指定介面模式動作的輸入電路。此外，在 LVTTL 模式時，藉由使輸入電源電壓產生電路的動作停止，可減低消耗電力。

又，輸入致能信號 EN 係為在時脈同步型半導體記憶裝置的情況，相當於將內部時脈信號有效以使內部電路動作的時脈致能信號 CKE。在該半導體裝置中，在指定根據外部信號生成輸入信號的情況時，輸入致能信號 EN 被活性化。

(實施形態 3)

圖 11 為顯示本發明之實施形態 3 之內部電壓產生部的構成的概要圖。圖 11 中，對於週邊電源線 10p 設置週邊電源電壓產生電路 3，此外，對於輸入電源線 10i 設置輸入電源電壓產生電路 5。對於陣列電源線 10s 設置陣列電源電壓產生電路 4。對於此等週邊電源電壓產生電路 3、輸入電源電壓產生電路 5 及陣列電源電壓產生電路 4，供給電力截止致能信號 PCUTE。在電力下降模式時，因為陣列活性化信號 ACT 為非活性狀態，在電力截止致能信號 PCUTE 設定為 H 位準的情況，週邊電源電壓產生電路 3、輸入電源電壓產生電路 5 及陣列電源電壓產生電路 4，停止其內部電源電壓產生動作（參照圖 1）。此等週邊電源電壓產生

電路 3、輸入電源電壓產生電路 5 及陣列電源電壓產生電路 4 的構成，與前述圖 1～圖 7 所示構成相同。

對於週邊電源線 10p 設置在電力截止致能信號 PCUTE 的活性化時導通，且於導通時將週邊電源線 10p 耦合於外部電源節點的 N 通道 MOS 電晶體 90。該 N 通道 MOS 電晶體 90 具有臨限電壓 V_{thn} 。週邊電源電壓 VDDP 在將外部電源電壓 EXVDD 降壓而被生成的模式時，在電力截止致能信號 PCUTE 的 H 位準時，該週邊電源線 10p 上的週邊電源電壓 VDDP 成為電壓 $EXVDD - V_{thn}$ 。

但是，在顯示外部電源位準指定信號 ZCMPE 設定為 H 位準，外部電源電壓 EXVDD 如為 2.5V 時，在週邊電源電壓產生電路 3 中，圖 3 所示 MOS 電晶體 31 為導通狀態，週邊電源線 10p 耦合於外部電源節點。據此，該情況，與電力截止致能信號 PCUTE 的活性/非活性無關，週邊電源電壓 VDDP 維持在外部電源電壓 EXVDD 位準。

另一方面，外部電源電壓 EXVDD 為 3.3V 時，在電力截止致能信號 PCUTE 被活性化之深電力下降模式時，週邊電源電壓 VDDP 成為外部電源電壓 $EXVDD - V_{thn}$ 。

在電源投入時，當藉由雜訊等的影響，電力截止致能信號 PCUTE 被活性化時，週邊電源電壓產生電路 3 停止週邊電源電壓 VDDP 的產生動作。該情況，即便電源投入檢測信號 POR 被非活性化，在對於週邊電路不供給動作電源電壓的情況，無法進行電力截止致能信號 PCUTE 的重設，從而無法在內部生成週邊電源電壓 VDDP。當電力截止致能信號

PCUTe 被活性化時，藉由將週邊電源線 10p 耦合於外部電源節點，可將電源電壓 VDDP 供給與電力下降模式相關連的週邊電路。在電源投入後，使該週邊電路動作，進行電力截止致能信號 PCUTe 的重設，將週邊電源電壓產生電路 3 活性化，以生成內部週邊電源電壓。

在電源投入且電力截止致能信號 PCUTe 維持為非活性狀態的情況，待電源投入後使週邊電源電壓產生電路 3 動作，以生成週邊電源電壓 VDDP。

此外，在深電力下降模式時，在與深電力下降控制關連的電路以外阻斷電流路徑。另一方面，藉由使供給與該深電力下降模式的控制關連的電路的週邊電源電壓 VDDP 的電壓位準，較外部電源電壓 EXVDD 還要低於 MOS 電晶體 90 的臨限電壓 V_{thn} ，以抑制該電路部份的漏電流。

對於輸入電源線 10i 設置，接收模式設定信號 MLV 的反相器 11；及於反相器 11 的輸出信號為 L 位準時導通，連接輸入電源線 10i 及週邊電源線 10p 的 P 通道 MOS 電晶體 12。此等反相器 11 與 MOS 電晶體 12 為與圖 1 所示者相同。

對於輸入電源線 10i 還設置，接收反相器 11 的輸出信號與電力截止致能信號 PCUTe 的 NAND 電路 92；及於 NAND 電路 92 的輸出信號為 L 位準時導通，將外部電源節點連接於輸入電源線 10i 的 P 通道 MOS 電晶體 93。

在模式設定信號 MLV 為 H 位準時，指定為 LVTTTL 模式。在該 LVTTTL 模式時，輸入電源電壓 VDDI 係設定為與週邊電源電壓 VDDP 位準相同的電壓位準，輸入電源電壓產生電路

5 的動作被停止。此時，NAND 電路 92 的輸出信號為 H 位準，MOS 電晶體 93 為非導通狀態，供給外部電源電壓 EXVDD 的外部電源節點與輸入電源線 10i 被隔離。

另一方面，在設定 1.8VI/O 模式的情況，模式設定信號 MLV 為 L 位準。該情況，MOS 電晶體 12 成為非導通狀態，週邊電源線 10p 與輸入電源線 10i 被隔離。當電力截止致能信號 PCUTE 成為 H 位準時，NAND 電路 92 的輸出信號成為 L 位準，MOS 電晶體 93 導通，外部電源節點與輸入電源線 10i 連接，輸入電源電壓 VDDI 成為外部電源電壓 EXVDD 位準。

在輸入電源電壓 VDDI 設定為 1.8V 的情況，於深電力下降模式時，在使該輸入電源電壓 VDDI 低於 1.8V，尤其是低於 N 通道 MOS 電晶體及 P 通道 MOS 電晶體的臨限電壓的絕對值程度的情況，CMOS 電路有進行誤動作的可能性。使用該輸入電源電壓 VDDI 之輸入電路，接收來自外部的進行深電力下降模式及出口指示的控制信號（指令）。據此，在根據外部信號無法正確生成內部信號的情況，將有無法正確解除深電力下降模式的可能性。在此，於該深電力下降模式時，將輸入電源電壓 VDDI 設定為外部電源電壓 EXVDD 位準。藉此，使指令輸入電路正確動作，解除深電力下降模式。

此外，於電源投入時，即使電力截止致能信號 PCUTE 被錯誤設定為活性狀態，仍可根據外部電源電壓 EXVDD 生成輸入電源電壓 VDDI。據此，在週邊電路動作且電力截止致

能信號 PCUTe 被重設時，可以高速根據該輸入電源電壓 VDDI 進行輸入電路的初期設定。

對於陣列電源線 10s 設置，接收電力截止致能信號 PCUTe 及外部電源位準指定信號 ZCMPE 的開電路 95；在開電路 95 的輸出信號為 H 位準時導通，連接外部電源節點與陣列電源線 10s 的 N 通道 MOS 電晶體 96；接收電力截止致能信號 PCUTe 及外部電源位準指定信號 ZCMPE 的 AND 電路 97；及在 AND 電路 97 的輸出信號為 L 位準時導通，耦合外部電源節點與陣列電源線 10s 的 N 通道 MOS 電晶體 98。

N 通道 MOS 電晶體 98 係為臨限電壓低的 LOWVth 電晶體。

在外部電源電壓為 3.3V 時，外部電源位準指定信號 ZCMPE 為 L 位準，AND 電路 97 的輸出信號固定在 L 位準，MOS 電晶體 98 成為非導通狀態。另一方面，開電路 95 係在電力截止致能信號 PCUTe 成為 H 位準時輸出 L 位準的信號，MOS 電晶體 96 為導通狀態。該情況，陣列電源電壓 VDDs 成為電壓 $EXVDD - V_{thn}(96)$ 。在此， $V_{thn}(96)$ 顯示 MOS 電晶體 96 的臨限電壓。

另一方面，在外部電源電壓 EXVDD 如為 2.5V 時，外部電源位準指定信號 ZCMPE 係設定為 H 位準，開電路 95 的輸出信號成為 L 位準，MOS 電晶體 96 成為非導通狀態。另一方面，當電力截止致能信號 PCUTe 成為 H 位準時，AND 電路 97 的輸出信號成為 H 位準，MOS 電晶體 98 導通。在該狀態下，陣列電源電壓 VDDs 成為電壓 $EXVDD - V_{thn}(98)$ 。在此， $V_{thn}(98)$ 顯示 MOS 電晶體 98 的臨限電壓。

因為外部電源電壓 EXVDD 低，使用 LOWVth 電晶體 98，以防止陣列電源電壓 VDDS 的電壓位準降低太多。據此，於深電力下降模式時截止電流路徑的情況，在該深電力下降模式解除時，直到該陣列電源電壓 VDDS 歸位至指定的電壓 (V_{rsfs}) 的位準為止，可防止使用該陣列電源電壓 VDDS 的電路的誤動作。

此外，即使於電源投入時錯誤地將電力截止致能信號 PCUTE 活性化，仍可根據外部電源電壓 EXVDD 驅動陣列電源電壓 VDDS，此外，電壓 $EXVDD - V_{thn}(98)$ 的電壓位準為接近外部電源電壓 EXVDD 的電壓位準，在電力截止致能信號 PCUTE 的非活性化移行時，可初期設定使用陣列電源電壓的電路。

藉此，可減低深電力下降模式時的消耗電流，確實且正確進行深電力下降模式時的出口，使內部電路正確動作。此外，即使於電源投入時錯誤地將電力截止致能信號 PCUTE 活性化，仍可根據外部電源電壓確實生成內部電源電壓。

又，AND 電路 92、97、開電路 95 及反相器 11，係將外部電源電壓 EXVDD 用作為動作電源電壓進行動作。
(變化例)

圖 12 為顯示本發明之實施形態 3 之變化例的構成的概要圖。圖 12 中，對於陣列電源線 10s 設置，接收電力截止致能信號 PCUTE 及外部電源位準指定信號 ZCMPE 的 AND 電路 100；及在 AND 電路 100 的輸出信號為 L 位準時導通，

將陣列電源線 10s 連接於外部電源節點的 P 通道 MOS 電晶體 102。對於該陣列電源線 10s，與圖 11 所示構成相同，還設置開電路 95 及 N 通道 MOS 電晶體 96。

在該圖 12 所構成中，在外部電源電壓 EXVDD 如為 2.5V 的情況，外部電源位準指定信號 ZCMPE 係設定為 H 位準。當電力截止致能信號 PCUTE 被活性化時，相應地 MOS 電晶體 102 導通，陣列電源電壓 VDDS 被設定為外部電源電壓 EXVDD 位準。該情況，也於深電力下降模式時，因為將陣列電源電壓 VDDS 設定為低於外部電源電壓 EXVDD 為 3.3V 的情況的電壓位準，因此可獲得與前述圖 11 所示構成相同的效果，於深電力下降模式解除時，或電力截止致能信號 PCUTE 的非活性化移行時，可正確穩定地令使用陣列電源電壓的電路動作。

在外部電源位準指定信號 ZCMPE 設定為 L 位準時，在電力截止致能信號 PCUTE 的活性化時，MOS 電晶體 96 導通，將電壓 $EXVDD - V_{thn}(96)$ 傳輸給陣列電源線 10s。據此，與圖 11 所示構成相同，可將較外部電源電壓低的電壓供給使用陣列電源電壓的電路，可穩定地令陣列電源電壓系統的電路動作。

又，對於週邊電源線 10p 及輸入電源線 10i 而設的構成，也與圖 11 所示構成相同。

如上所述，根據本發明之實施形態 3，於深電力下降模式時，將內部電源電壓設定為響應外部電源電壓位準的電壓位準，在深電力下降模式解除時，可根據外部的深電力

下降模式出口指令，可正確使內部電路動作。

此外，即使於電源投入時錯誤地將電力截止致能信號 PCUTe 活性化，當外部電源電壓達到一定的電壓位準以上時，確實將電力截止致能信號 PCUTe 重設，可確實生成內部電源電壓。

(實施形態 4)

圖 13 為顯示本發明之實施形態 4 之電源控制部的構成的概要圖。圖 13 中，電源控制部包括：檢測週邊電源電壓 VDDP 的投入的週邊電源投入檢測電路 110；週邊電源投入檢測信號 /PORP 的活性化時，其內部狀態被重設，此外根據外部的指令 CMD 生成電力截止致能信號 PCUTe 的週邊電路 112；將週邊電路 112 之電力截止致能信號 PCUTe，轉換為外部電源電壓 EXVDD 的振幅信號的位準轉換電路 114；反轉位準轉換電路 114 的輸出信號的 CMOS 反相器 116；檢測外部電源電壓 EXVDD 的投入的外部電源投入檢測電路 118；及接收外部電源投入檢測電路 118 的外部電源投入檢測信號 /POREX 與 CMOS 反相器 116 的輸出信號，生成電力截止致能信號 PCUTe 的 AND 電路 120。

週邊電路 112 接收週邊電源電壓 VDDP 作為動作電源電壓。CMOS 反相器 116 及 AND 電路 120 接收外部電源電壓 EXVDD 作為動作電源電壓。

位準轉換電路 114 將週邊電路 112 輸出的電力截止信號 PCUT 的邏輯位準反轉，且轉換其振幅。

週邊電源投入檢測電路 110，在週邊電源電壓 VDDP 成為

指定電壓位準以上或是在指定電壓位準穩定化時，將週邊電源投入檢測信號/PORP設定為H位準。

外部電源投入檢測電路118，在外部電源電壓EXVDD達到指定電壓位準或是在指定電壓位準穩定化時，將外部電源投入檢測信號/POREX設定為H位準。

週邊電源電壓VDDP係由外部電源電壓EXVDD生成。藉此，在外部電源電壓EXVDD的投入時，週邊電源電壓VDDP因為未達到指定的電壓位準，從週邊電路112輸出的電力截止信號PCUT，其邏輯位準為不穩定狀態。該電力截止信號PCUT提升該電壓位準，在位準轉換電路114中，當其輸出信號被驅動為L位準時，CMOS反相器116的輸出信號成為H位準。該情況，若外部電源投入檢測信號/POREX維持為L位準時，來自AND電路120的電力截止致能信號PCUTe被固定為L位準。藉此，電力截止致能信號PCUTe，根據外部電源投入時的不穩定狀態的電力截止信號PCUT被活性化，可防止內部電源電壓產生電路的內部電壓產生動作的停止，於外部電源投入時可穩定生成含有內部電源電壓的內部電壓。

也就是說，如圖14所示，於外部電源電壓EXVDD的投入時，外部電源投入檢測信號/POREX直到外部電源電壓EXVDD達到指定的電壓位準或穩定化為止為L位準，該期間，可確實將電力截止致能信號PCUTe設定為L位準。

此外，如圖14所示，外部電源電壓EXVDD的投入後，週邊電源電壓VDDP較該外部電源電壓EXVDD緩慢地上升其

電壓位準（尤其是，3.3V 模式時：外部電源位準指定信號 ZCMPE 被設定為 L 位準時）。該情況，來自週邊電源投入檢測電路 110 的週邊電源投入檢測信號 /PORP，直到週邊電源電壓 VDDP 的穩定化位止維持為 L 位準。

在該週邊電源電壓 VDDP 的不穩定狀態時，來自週邊電路 112 的電力截止信號 PCUT 的邏輯位準為不穩定狀態。據此，當該電力截止信號 PCUT 的電位位準上升，位準轉換電路 114 的輸出信號成為 L 位準時，CMOS 反相器 116 的輸出信號成為 H 位準。但是，該情況，外部電源投入檢測信號 /POREX 為 L 位準，來自 AND 電路的電力截止致能信號 PCUTe 維持 L 位準，週邊電源電壓 VDDP 根據外部電源電壓 EXVDD 的上升驅動為指定電壓位準。當該週邊電源電壓 VDDP 到達指定的電壓位準時，週邊電路 112 的內部狀態呈穩定化，該電力截止信號 PCUT 的狀態確定而驅動為接地電壓位準（因為週邊電源投入檢測信號 /PORP 為 L 位準，根據該週邊電源投入檢測信號 /PORP 確實將週邊電路 112 的內部狀態設定為初期狀態）。

在該週邊電源投入檢測信號 /PORP 上升為 H 位準後，將外部電源投入檢測信號 /POREX 上升為 H 位準。藉此，在電力截止信號 PCUT 確實設定為 L 位準後，可將 AND 電路 120 作為緩衝電路動作，可根據外部的深電力下降模式指示，將電力截止致能信號 PCUTe 活性化。

又，該外部電源投入檢測信號 /POREX 的非活性化，在外部電源電壓 EXVDD 投入後，只要考慮週邊電源電壓 VDDP

到達指定電壓位準的時間設定為適當的時間即可。也就是說，當外部電源電壓 EXVDD 穩定化，且經過指定的時間時，將該外部電源投入檢測信號 /POREX 驅動為 H 位準。藉此，在電力截止信號 PCUT 被重設後，藉由將外部電源投入檢測信號 /POREX 驅動為 H 位準，可確實防止電力截止致能信號 PCUTe 於電源投入時誤被活性化的情況。

外部電源投入檢測電路 118 及週邊電源投入檢測電路 110 的構成，可利用通常的電源投入檢測電路，如藉由使用延遲電路來延遲其輸出信號的上升為 H 位準的時序，以所需的時序可將此等電源投入檢測信號 /PORP 及 /POREX 驅動為 H 位準。

如上所述，根據本發明之實施形態 4，於外部電源投入時，使用外部電源電壓的投入檢測信號將電力截止致能信號維持為重設狀態，可確實於電源投入後從該外部電源電壓生成內部電源電壓，還可確實以較早的時序將內部電源電壓驅動為指定的電壓位準。

(實施形態 5)

圖 15 為顯示本發明之實施形態 5 之模式設定信號產生部的構成的一例圖。圖 15 中，模式設定信號產生部包括：將連接於焊墊 130 的節點 ND20 上的信號反轉的反相器 131；反轉反相器 131 的輸出信號，生成模式設定信號 MOD 的反相器 132；根據反相器 131 的輸出信號將節點 ND20 耦合於接地節點的 N 通道 MOS 電晶體 133；接收電力截止致能信號 PCUTe 的反相器 134；根據根據反相器 134 的輸出

信號選擇性地導通，導通時將節點 ND20 耦合於接地節點的 N 通道 MOS 電晶體 135。

反相器 131、132 及 134 接收外部電源電壓 EXVDD 作為動作電源電壓。MOS 電晶體 135 係由通道長較長的 MOS 電晶體所構成，同效地其通道電阻被增大，其電流驅動例充分被減小。

模式設定信號 MOD 例如係為外部電源位準指定信號 ZCMPE 或模式指定信號 MLV。該模式設定信號 MOD 還可為設定輸出入資料的位元數的語構成指定信號，此外，也可為設定復新週期等的內部動作模式的信號，也可為藉由對於焊墊 130 的電壓設定，使該電壓位準固定，而固定設定內部狀態的信號。

在該圖 15 所示模式設定信號產生部的構成中，焊墊 130 係通過搭焊線 137 而選擇性連接於外部電源端子 136。在焊墊 130 通過搭焊線 137 連接於外部電源端子 136 的情況，節點 ND20 的電壓位準成為外部電源電壓 EXVDD 位準，而模式設定信號 MOD 也成為外部電源電壓 EXVDD 位準。該情況，反相器 131 的輸出信號為 L 位準，MOS 電晶體 133 處於非導通狀態。

於正常動作模式時，電力截止致能信號 PCUTE 為 L 位準，MOS 電晶體 135 維持導通狀態。據此，在該狀態中，微小電流通過 MOS 電晶體 135 從節點 ND20 流入接地節點。因為從該節點 ND20 使通過 MOS 電晶體 135 流入接地節點的電流量充分的小，因此該 MOS 電晶體 135 的通道長變得足

夠長，從而使其通道電阻增大。

於深電力下降模式時，電力截止致能信號 PCUTE 被設定為 H 位準，MOS 電晶體 135 成為非導通狀態。據此，於深電力下降模式時，節點 ND20 與接地節點間的電流流動路徑被阻斷，從外部電源端子 136 通過搭焊線 137、焊墊 130 及 MOS 電晶體 135 流入接地節點間的電流路徑被阻斷，從而可減低深電力下降模式時的消耗電流。

在焊墊 130 的導通狀態的情況，MOS 電晶體 135 在正常動作模式時為導通狀態，節點 ND20 被固定於接地電壓位準。該情況，反相器 131 的輸出信號成為 H 位準，MOS 電晶體 133 導通，藉由反相器 131 及 MOS 電晶體 133 構成門鎖電路，節點 ND20 被固定於接地電壓位準。

於深電力下降模式時，當電力截止致能信號 PCUTE 被活性化時，MOS 電晶體 135 成為非導通狀態。在該狀態下，因為根據反相器 131 的輸出信號，MOS 電晶體 133 處於導通狀態，因此，節點 ND20 被維持於接地電壓位準，相應地模式設定信號 MOD 被維持於 L 位準。

藉此，在將該節點 ND20 設定為導通狀態的情況，藉由將用以將節點 ND20 固定在指定電壓位準的 MOS 電晶體 135，設定為深電力下降模式時非導通狀態，於焊墊 130 耦合於電源端子的模式時，可減低深電力下降模式時的消耗電流。

又，在將焊墊 130 設定為外部電源電壓 EXVDD 位準的情況，即使於深電力下降模式時，節點 ND20 仍為外部電源電

壓 EXVDD 位準，模式設定信號 MOD 維持於 H 位準。此外，在焊墊 130 的導通狀態時，藉由 MOS 電晶體 133，節點 ND20 為接地電壓位準，模式設定信號 MOD 維持 L 位準。藉此，於深電力下降模式時，即使將節點 ND20 的浮動防止用的 MOS 電晶體 135 設定為非導通狀態，該，模式設定信號 MOD 的邏輯位準仍不產生任何變化。

又，在圖 15 所示構成中，藉由搭焊線 137 對焊墊 130 的連接的有無，來設定模式設定信號 MOD 的邏輯位準。但是，該模式設定信號 MOD 為藉由可熔斷的連接元件的熔斷 / 非熔斷來設定其邏輯位準的構成亦可。內部節點 ND20 的電壓位準被固定設定，於深電力下降模式時，阻斷防止該內部節點的浮動狀態用的 MOS 電晶體。藉此，可減低深電力下降模式時的消耗電流。

在以連接於接地端子的方式搭接焊墊 130 的情況，該浮動防止用的 MOS 電晶體係連接於外部電源節點與節點 ND20 之間。

如上所述，根據本發明之實施形態 5，在固定設定內部狀態設定信號的邏輯位準用的程式電路中，於深電力下降模式時將防止焊墊浮動用的電晶體設定為非導通狀態，可減低深電力下降模式時的消耗電流。

(實施形態 6)

圖 16 為顯示本發明之實施形態 6 之陣列有源器 VDC4a 的構成圖。圖 16 中，陣列有源器 VDC4a 包括：構成電流鏡電路的 P 通道 MOS 電晶體 140 及 141；構成比較陣列電源

電壓 V_{DDs} 與陣列基準電壓 V_{refs} 的差動級的 N 通道 MOS 電晶體 142 及 143；響應供給控制輸入 A_{IN} 的陣列活性化信號 ACT 的活性化，將陣列有源器 $VDC4a$ 活性化的 N 通道 MOS 電晶體 144；及根據節點 $ND32$ 的輸出信號從外部電源節點將電流供給陣列電源線 $10s$ 的電流驅動用的 P 通道 MOS 電晶體 145。

MOS 電晶體 140 及 141 的閘極連接於節點 $ND30$ ，MOS 電晶體 140 構成電流鏡電路的主極。MOS 電晶體 142 及 143 分別於各自的閘極接收陣列電源電壓 V_{DDs} 與陣列基準電壓 V_{refs} 。

陣列有源器 $VDC4a$ 還包括：過驅動信號 $ZOVR$ 的活性化時導通，並將陣列電源電壓 V_{DDs} 供給節點 $ND30$ 的過驅動用的 P 通道 MOS 電晶體 146。過驅動信號 $ZOVR$ 係於感測放大器動作時於指定期間（例如、 $10ns$ ）活性化。

圖 17 為顯示圖 16 所示陣列有源器 $VDC4a$ 的動作的信號波形圖。以下，參照圖 17 說明圖 16 所示陣列有源器 $VDC4a$ 的動作。

當指示記憶單元選擇動作時，陣列活性化信號 ACT 被活性化。當該陣列活性化信號 ACT 被活性化時，陣列有源器 $VDC4a$ 被活性化，於是進行陣列電源線 $10s$ 上的陣列電源電壓 V_{DDs} 與陣列基準電壓 V_{refs} 的比較，根據該比較結果從外部電源節點將電流供給陣列電源線 $10s$ 。

在該比較動作時，在陣列基準電壓 V_{refs} 較陣列電源電壓 V_{DDs} 高時，MOS 電晶體 143 的電導較 MOS 電晶體 142 的

電導增大，將從 MOS 電晶體 141 供給的電流放電，節點 ND32 的電壓位準下降，電流驅動電晶體 145 的驅動電流增大，陣列電源電壓 VDD5 的電壓位準上升。

反之，在陣列電源電壓 VDD5 較陣列基準電壓 V_{ref5} 高的情況，MOS 電晶體 142 的電導較 MOS 電晶體 143 的電導增大，於是驅動電流增大，相應地 MOS 電晶體 140 的供給電流增大。MOS 電晶體 143 無法將從 MOS 電晶體 141 供給的電流全部放電，節點 ND32 的電壓位準上升。相應地，電流驅動電晶體 145 的驅動電流被減低或是停止電流供給。

當從該陣列活性化信號 ACT 被活性化開始經過指定的時間時，感測觸發信號 SON 被活性化，而開始選擇記憶單元資料的感測動作。響應該感測觸發信號 SON 的活性化，過驅動信號 ZOV5 被於指定期間活性化。當過驅動信號 ZOV5 活性化時，過驅動用 MOS 電晶體 146 導通，節點 ND30 固定於指定期間陣列電源電壓 VDD5 位準。藉由將該節點 ND30 固定於陣列電源電壓 VDD5 位準，在陣列有源器 VDC4a 的比較電路中，等效地強制性實現陣列電源電壓 VDD5 的狀態，減低 MOS 電晶體 141 的供給電流，使節點 ND30 的電壓位準降低，以增加電流驅動電晶體 145 的供給電流量。

響應感測觸發信號 SON 的活性化，感測放大器進行動作，消耗陣列電源線 10s 上的陣列電源電壓 VDD5，即使在該電壓位準降低的情況，仍可增大電流驅動電晶體 145 的電流驅動力，可抑制陣列電源電壓 VDD5 的降低，可穩定地進行感測動作。

陣列電源電壓 V_{DDS} 如為 $1.6V$ 。在外部電源電壓 $EXVDD$ 為 $2.5V$ 的情況，MOS 電晶體 141 的閘極-源極間電壓為 $0.9V$ ，可充分減小該 MOS 電晶體 141 的電流供給量，可使節點 ND30 的電壓位準較 MOS 電晶體 143 的放電動作充分降低。

另一方面，在外部電源電壓 $EXVDD$ 為 $3.3V$ 的情況，MOS 電晶體 141 的閘極-源極間電壓成為 $-1.7V$ ，該 MOS 電晶體 141 供給較外部電源電壓 $EXVDD$ 為 $2.5V$ 時要大的電流，可抑制節點 ND30 的電壓位準過多地降低。藉此，外部電源電壓 $EXVDD$ 如為 $3.3V$ 的高電壓的情況，過剩地將電流供給陣列電源線 10s，可抑制該陣列電源電壓 V_{DDs} 位準過剩而成為較指定電壓位準高。

圖 18 為顯示本發明之實施形態 6 之半導體記憶裝置的列系電路的構成的概要圖。

圖 18 中，列系控制電路包括：接收來自外部的指令 CMD，在該指令 CMD 指示列選擇時將陣列活性化信號 ACT 活性化的陣列活性化控制電路 150；響應陣列活性化信號 ACT 的活性化，以指定的時序生成字線驅動時序信號 RXT 的字線驅動控制電路 152；及響應字線驅動控制電路 152 的輸出信號，於指定期間經過後將感測觸發信號 SON 活性化的感測控制電路 154。控制電路 150、152 及 154 接收週邊電源電壓 V_{DDP} 作為動作電源電壓。

在半導體裝置為與時脈信號同步進行動作的同步型記憶體的情況，陣列活性化控制電路 150 與該時脈信號的如

上升邊限同步取入複數的外部控制信號，響應此等控制信號的邏輯位準的組合，生成內部動作控制信號。字線驅動控制電路 152 及感測控制電路 154，當陣列活性化信號 ACT 活性化時，分別經過指定時間後，將字線驅動時序信號 RXT 及感測觸發信號 SON 活性化。當陣列活性化信號 ACT 藉由預充電的施加而非活性化時，字線驅動時序信號 RXT 被非活性化，接著，感測觸發信號 SON 被非活性化。

列系週邊電路包括：根據字線驅動時序信號 RXT，將指定地址的字線 WL 驅動為選擇狀態的字線選擇電路 160；及根據感測觸發信號 SON 生成感測放大器活性化信號 SIN 供給感測放大器 SA 的感測放大活性化電路 162。字線選擇電路 160 內供給有週邊電源電壓 VDDP 及高電壓 V_{pp} ，選擇字線 WL 被驅動為高電壓 V_{pp} 位準。

感測放大器 SA 包括：由交叉耦合的 P 通道 MOS 電晶體構成的 P 感測放大器；及由交叉耦合的 N 通道 MOS 電晶體構成的 N 感測器。感測放大器 SA 係根據該感測放大器活性化信號 SIN 的活性化，使 N 感測器耦合於感測接地線而將低電位的位元線放電為接地電壓位準。

感測放大活性化電路 162 還根據感測觸發信號 SON 生成將 P 感測器活性的 P 感測活性化信號 SPE，並供給感測放大器 SA。P 感測器根據該 P 感測活性化信號 SPE 耦合於陣列電源線 10s 而將位元線 BL 及 ZBL 的高電位的位元線驅動為陣列電源電壓 VDDs。藉此，於該感測放大器 SA 的動作時，進行位元線 BL 及 ZBL 的充放電，而於該位元線充電

時消耗陣列電源電壓 V_{DDS} 。

感測放大器 SA 係對應於各記憶單元行（位元線對）而配置，於該感測動作時，大量的感測放大器 SA 同時進行充放電動作。為了補償該感測動作時的位元線充電電流，如圖 16 所示，使用過驅動用 MOS 電晶體 146 來增大陣列有源器 $VDC4a$ 的電流驅動力，抑制陣列電源電壓 V_{DDS} 的降低。

對於該陣列有源器 $VDC4a$ 設置響應感測觸發信號 $S0N$ 的活性化而生成單觸發的過驅動信號 $Z0VR$ 的過驅動控制電路 156。該過驅動控制電路 156 接收外部電源電壓 $EXVDD$ 作為動作電源電壓。

通常，記憶單元陣列被分割為複數個列塊，對含有選擇記憶單元的列塊執行感測動作。根據感測觸發信號 $S0N$ 而對列塊所設的感測放大器，係根據感測放大活性化信號 SIN 而被活性化。

又，位元線 BL 及 ZBL 於待機狀態時，藉由位元線預充電/均衡電路 BPE ，預充電為指定的位元線預充電電壓 $Vb1$ 位準且被均衡。

圖 19 為顯示圖 18 所示過驅動控制電路 156 的構成的一例圖。圖 19 中，過驅動控制電路 156 包括：將感測觸發信號 $S0N$ 的振幅轉換為外部電源電壓 $EXVDD$ 位準的位準轉換電路 156a；反轉位準轉換電路 156a 的輸出信號且延遲指定時間的反轉/延遲電路 156b；及接收反轉/延遲電路 156b 的輸出信號與位準轉換電路 156a 的輸出信號，生成過驅動信號 $Z0VR$ 的 NAND 電路 156c。對於反轉/延遲電路 156b 及

NAND 電路 156c 供給外部電源電壓 EXVDD 作為動作電源電壓。

位準轉換電路 156a 僅進行感測觸發信號 SON 的振幅轉換，並不進行邏輯位準的轉換。據此，當感測觸發信號 SON 被活性化，其電壓位準上升時，位準轉換電路 156a 的輸出信號也上升。反轉/延遲電路 156b 例如係由奇數級的縱續連接的反相器所構成，在經過指定的時間後，根據位準轉換電路 156a 的輸出信號將其輸出信號驅動為 L 位準。據此，在該反轉/延遲電路 156b 的所具延遲時間的期間，NAND 電路 156c 的兩輸入成為 H 位準，將該過驅動信號 ZOVR 驅動為 L 位準。

當外部電源電壓 EXVDD 的電壓位準上升時，反轉/延遲電路 156b 的延遲時間縮短，此外，NAND 電路 156c 的閘極延遲也縮短。據此，在外部電源電壓 EXVDD 增高的情況下，過驅動信號 ZOVR 的活性化期間也變短，可縮短感測過驅動期間，在陣列有源器 VDC4a 中，可縮短該電流驅動力的期間，可抑制陣列電源電壓 VDD5 被過剩地過驅動，可減低消耗電流。

圖 20 為顯示本發明之實施形態 6 之產生中間電壓 Vb1 及 Vcp 的中間電壓電路的構成的一例圖。圖 20 中，中間電壓產生電路 170 包括：將陣列基準電壓 Vrefs 分壓的分壓電路；及根據該分壓電路的輸出信號生成中間電壓 Vb1 或 Vcp 的輸出電路。

分壓電路包括：連接於基準電壓輸入節點 ND 與內部節

點 ND41 間的電阻元件 170a；串聯連接於節點 ND41 及節點 ND42 間的 MOS 電晶體 170b 及 170c；及連接於節點 ND42 與接地節點間的電阻元件 170d。

MOS 電晶體 170b 係為 N 通道 MOS 電晶體，其閘極及汲極連接於節點 ND41，並以二極體模式進行動作。MOS 電晶體 170c 係為 P 通道 MOS 電晶體，其閘極及汲極連接於節點 ND42，並以二極體模式進行動作。

電阻元件 170a 及 170d 具有充分大的電阻值，且流動微小電流。據此，MOS 電晶體 170b 及 170c 各自以二極體模式進行動作，節點 ND41 的電壓位準成為 $V_{\text{refs}}/2 + V_{\text{thn}}$ ，節點 ND42 的電壓位準成為 $V_{\text{refs}}/2 - V_{\text{thp}}$ 。在此， V_{thn} 顯示 MOS 電晶體 170b 的臨限電壓， V_{thp} 顯示 MOS 電晶體 170c 的臨限電壓的絕對值。

輸出電路包括：連接於外部電源節點與輸出節點 ND43 之間，且其閘極連接於節點 ND41 的 N 通道 MOS 電晶體 170e；及連接於節點 ND43 與接地節點之間，且其閘極連接於節點 ND42 的 P 通道 MOS 電晶體 170f。

MOS 電晶體 170e 因節點 ND41 的電壓位準較外部電源電壓 EXVDD 低，因此以隨源模式進行動作，於節點 ND43 箝位固定較節點 ND41 的電壓還要低去臨限電壓 V_{thn} 的電壓位準。此外，MOS 電晶體 170f 之源極電壓也為接地電壓位準，因較其閘極電壓還低，以隨源模式進行動作，將節點 ND43 箝位固定在較節點 ND42 的電壓還要高出電壓 V_{thp} 的電壓位準。

當來自節點 ND43 的中間電壓 V_{b1} (或 V_{cp}) 低於電壓 $V_{refs}/2$ 時，MOS 電晶體 170e 導通，將電流供給節點 ND43。此時，MOS 電晶體 170f 為非導通狀態。當中間電壓 V_{b1} (或 V_{cp}) 高於電壓 $V_{refs}/2$ 時，MOS 電晶體 170e 為截止狀態，另一方面，MOS 電晶體 170f 導通，從節點 ND43 向著接地節點放電電流。據此，該中間電壓 V_{b1} (或 V_{cp}) 維持在 $V_{refs}/2$ 的電壓位準。在此，MOS 電晶體 170b 及 170e 的臨限電壓的大小相等，此外，MOS 電晶體 170c 及 170f 的臨限電壓的大小也相等。

為了生成該中間電壓 V_{b1} (或 V_{cp})，藉由使用基準電壓 V_{refs} ，即使過驅動陣列電源電壓 V_{DDs} ，仍不受其影響，於 $V_{refs}/2$ 的電壓位準維持此等中間電壓 V_{b1} 及 V_{cp} 的電壓位準。據此，於感測動作時，可將參照位元線的電壓位準正確維持在中間電壓 $V_{refs}/2$ 的電壓位準。

陣列電源電壓 V_{DDs} 在過驅動期間外，為該基準電壓 V_{refs} 的電壓位準，被記憶於記憶單元的 H 位準資料，在藉由感測放大器的恢復動作時，成為電壓 V_{refs} 位準。藉此，於待機時可正確將位元線預充電電壓位準維持在記憶單元記憶資料的中間電壓位準，即使利用感測過驅動方式，仍可正確生成中間電壓位準的位元線預充電電壓 V_{b1} 及單元板電壓 V_{cp} 。

關於單元板電壓，記憶單元電容器的蓄積電荷量係響應該單元板電壓而變化 ($Q = C \times (V_{cp} - V(\text{data}))$)。

據此，單元板電壓 V_{cp} 也藉由依該陣列基準電壓 V_{refs}

所生成，而不受感測過驅動的影響，針對 H 位準及 L 位準資料可使蓄積電荷量的絕對值相等，針對 H 位準及 L 位準資料可使記憶單元選擇時出現於位元線上的讀出電壓的絕對值相等，而可穩定地進行感測動作。

如上所述，根據本發明之實施形態 6，於感測動作時過驅動陣列電源電壓，於感測動作時不消耗陣列電源電壓，可穩定地將陣列電源電壓供給感測放大器。

此外，基於決定陣列電源電壓的電壓位準的陣列基準電壓來生成位元線預充電電壓及單元板電壓，根據感測過驅動方式，即使陣列電源電壓被過驅動而使其電壓位準上升，該位元線預充電電壓及單元板電壓仍可穩定地維持其電壓位準，可正確進行位元線的預充電，此外針對 H 位準及 L 位準資料可於位元線上生成相同大小的讀出電壓，而可正確進行感測動作。

(實施形態 7)

圖 21 為顯示本發明之實施形態 7 之高電壓產生電路的構成圖。高電壓 V_{pp} 如圖 18 所示，係於選擇字線上傳輸。

圖 21 中，高電壓產生電路包括：根據預充電控制信號 PRE 將電荷供給節點 ND50 的電容元件 180；將節點 ND50 的電壓位準，從外部電源電壓箝位固定於低去臨限電壓的電壓 $EXVDD-V_{thn}$ 的位準的 N 通道 MOS 電晶體 181；響應節點 ND50 的電壓位準而選擇性導通，導通時將外部電源電壓 EXVDD 傳輸給節點 ND53 的 N 通道 MOS 電晶體 182；響應節點 ND50 的電壓位準而選擇性導通，導通時將外部電源電壓

EXVDD 傳輸給節點 ND51 的 N 通道 MOS 電晶體 183；及根據輸出閘控制信號 GATEE 將電荷供給節點 ND51 的電容元件 184。

預充電控制信號 PRE 係為振幅為外部電源電壓 EXVDD 位準的信號，輸出閘控制信號 GATEE 的振幅具有高電壓 V_{pp} 或 $2 \times V_{DDs}$ 的振幅 V_g 。據此，節點 ND51 的電壓 GATE 係在電壓 $V_g + EXVDD$ 與外部電源電壓 EXVDD 間變化。節點 ND50 藉由 MOS 電晶體 181 而將其電壓的下限位準箝位固定在 $EXVDD - V_{thn}$ ，MOS 電晶體 182 及 183 各自於導通時傳輸外部電源電壓 EXVDD。

高電壓產生電路還包括：在抽運控制信號 ZPUMP 為 L 位準時導通，將外部電源電壓 EXVDD 傳輸給節點 ND52 的 P 通道 MOS 電晶體 185；在抽運控制信號 ZPUMP 為 H 位準時導通，將節點 ND54 的電壓 VBTB 傳輸給節點 ND52 的 N 通道 MOS 電晶體 186；根據負升壓控制信號 ZVBTB 從節點 ND54 抽出電荷的電容元件 187；根據負升壓預充電控制信號 ZPREB 從節點 ND55 抽出電荷的電容元件 188；將節點 ND55 的上限電壓箝位固定在電壓 V_{thp} 位準的 P 通道 MOS 電晶體 189；及根據節點 ND55 上的電壓將節點 ND54 預充電至接地電壓位準的 P 通道 MOS 電晶體 190。

抽運控制信號 ZPUMP 係振幅為外部電源電壓 EXVDD 位準的信號。負升壓控制信號 ZVBTB 係振幅為外部電源電壓 EXVDD 的信號。負升壓預充電控制信號 ZPREB 係振幅為外部電源電壓 EXVDD 位準的信號。

電容元件 187 係由 P 通道 MOS 電晶體所構成，其後閘共同連接於源極及汲極而接收負升壓控制信號 ZVBTB，其閘極連接於節點 ND54。節點 ND54 如後述之說明，因被驅動為負電壓位準，藉由將節點 ND54 連接於該電容元件 187 的閘極電極，以防止電荷流入構成電容元件 187 的 MOS 電晶體的基板區域。

高電壓產生電路還包括：根據節點 ND52 的電壓位準進行對節點 ND53 的電荷的供給/抽出的電容元件 191；及根據節點 ND51 上的電壓 GATE 選擇性地導通，導通時從節點 ND53 將電荷供給輸出節點，生成高電壓 V_{pp} 的 N 通道 MOS 電晶體 192。

電容元件 191 也是由 P 通道 MOS 電晶體所構成，其閘極連接於節點 ND52，後閘、源極及汲極共同連接於節點 ND53。於該電容元件 191 中，因為節點 ND52 也被驅動為負電壓，因此，電容元件 191 的閘極連接於節點 ND52，後閘、源極及汲極連接於節點 ND53。藉由利用閘極電極接收負電壓以防止電荷流入基板區域。

圖 22 為顯示圖 21 所示高電壓產生電路的動作的信號波形圖。以下，參照圖 22，說明圖 21 所示高電壓產生電路的動作。

在時刻 t_0 以前，負升壓控制信號 ZVBTB 為 H 位準，此外，負升壓預充電控制信號 ZPREB 為接地電壓位準。在該狀態下，節點 ND55 為 $V_{thp-EXVDD}$ 位準，MOS 電晶體 190 導通，節點 ND54 被預充電為接地電壓位準。當負升壓預充

電控制信號 ZPREB 上升為 H 位準，節點 ND55 的電壓位準上升至 MOS 電晶體 189 的臨限電壓 V_{thp} 時，MOS 電晶體 190 成為非導通狀態，節點 ND54 的預充電動作完成。

接著，在時刻 t_0 ，當負升壓控制信號 ZVBTB 被驅動為接地電壓位準時，藉由電容元件 187 的電容耦合，節點 ND54 的電壓 VBTB 降低至 $-V_b$ 位準。在該節點 ND54 的電壓位準降低時，即使控制信號 ZPUMP 處於接地電壓位準，因為 MOS 電晶體 186 導通，節點 ND54 的電壓 VBTB 的到達電壓位準，仍藉由電容元件 187 及 191 的電容值 C_1 及 C_2 的電容分割所供給。也就是說，電壓 V_b 由如下數式所表示。

$$V_b = C_1 \times EXVDD / (C_1 + C_2) - L_{ls}$$

在此， L_{ls} 顯示耦合損失。又，在電容值 C_1 及 C_2 的值相等，且無耦合損失的情況，節點 ND54 的電壓 VBTB 達到 $-EXVDD/2$ 的電壓位準。

在時刻 t_1 ，接著，預充電控制信號 PRE 上升至外部電源電壓 $EXVDD$ 位準，藉由電容元件 180 的電容耦合，節點 ND50 的電壓位準上升至 $2 \times EXVDD - V_{thn}$ 的電壓位準（在此，假定無耦合損失）。根據該節點 ND50 的電壓位準的上升，MOS 電晶體 182 及 183 導通，節點 ND53 的電壓位準成為外部電源電壓 $EXVDD$ ，而且，節點 ND51 的電壓 GATE 的電壓位準被預充電為外部電源電壓 $EXVDD$ 。

在時刻 t_{1b} ，當將預充電控制信號 PRE 下降為接地電壓位準時，節點 ND50 的電壓位準下降，藉由 MOS 電晶體 181 的箝位固定動作，節點 ND50 的電壓位準成為 $EXVDD - V_{thn}$

位準，MOS 電晶體 182 及 183 成為非導通狀態。

在時刻 t_2 ，將負升壓預充電控制信號 ZPREB 下降為接地電壓位準，並且在與此幾乎是同時的時刻 t_3 ，將負升壓控制信號 ZVBTB 上升為外部電源電壓 EXVDD 位準。藉由電容元件 188 的電容耦合，MOS 電晶體 190 導通，節點 ND54 的電壓 VBTB 被預充電為接地電壓位準。在該狀態，抽運控制信號 ZPUMP 在時刻 t_0 被驅動為外部電源電壓 EXVDD 位準，MOS 電晶體 186 處於導通狀態。藉此，當該節點 ND54 的電壓 VBTB 上升為接地電壓位準時，節點 ND52 的電壓位準也相應地上升，藉由電容元件 191 的電容耦合，節點 ND53 的電壓位準上升而成為 $EXVDD+V_b$ 位準。

在時刻 t_4 ，當使抽運控制信號 ZPUMP 從外部電源電壓 EXVDD 降低至接地電壓位準時，MOS 電晶體 185 導通，另一方面，MOS 電晶體 186 成為非導通狀態，節點 ND52 的電壓位準從接地電壓位準上升至外部電源電壓 EXVDD 位準。藉此，藉由電容元件 191 的電容耦合，節點 ND53 的電壓位準再上升為 EXVDD 位準，成為 $2 \times EXVDD+V_b$ 的電壓位準。

接著，在時刻 t_5 ，當輸出開控制信號 GATEE 上升為高電壓 V_g 位準時，節點 ND51 的電壓 GATE，藉由電容元件 184 的電容耦合從外部電源電壓 EXVDD 位準上升為電壓 $V_g+EXVDD$ 位準。電壓 V_g 為接近 $2 \times V_{DD_S}$ 或高電壓 V_{pp} 的電壓位準，MOS 電晶體 192 導通，蓄積於節點 ND53 的電荷被傳輸至輸出節點，高電壓 V_{pp} 的電壓位準上升。

在時刻 t_6 ，當輸出開控制信號 GATEE 下降為接地電壓位

準時，節點 ND51 的電壓位準藉由電容元件 184 的電容耦合而降低。在該時刻 t_6 之後的馬上時刻 t_7 ，預充電控制信號 PRE 再度上升為外部電源電壓 EXVDD 位準，節點 ND51 及 ND53 分別被預充電為外部電源電壓 EXVDD 位準。

另一方面，在時刻 t_2 ，節點 ND50 的電壓 VBTB 被預充電為接地電壓位準，準備下一升壓動作。之後，藉由反覆進行從時刻 t_0 的動作，使高電壓 V_{pp} 的電壓位準上升。高電壓 V_{pp} 的最高達到電壓位準，係因外部電源電壓 EXVDD、陣列電源電壓 VDDS 及 MOS 電晶體 192 的臨限電壓而各異。在電壓 GATE 的最高電壓位準較 $2 \times \text{EXVDD} + V_b + V_{thn}$ 高的情況，高電壓 V_{pp} 可達到最大 $2 \times \text{EXVDD} + V_b$ 的電壓位準。

如該圖 21 所示，藉由將由抽運動作傳輸電荷至節點 ND53 的電容元件 191 的節點的最低電壓升壓為負電壓位準，可將 ND53 的電壓位準僅增高該負的升壓電壓 V_b ，在 $C_1 = C_2$ 的情況，可理想地上升至 $2.5 \times \text{EXVDD}$ 的電壓位準。據此，即使外部電源電壓 EXVDD 的規格值的下限電壓位準進行動作，仍可充分增高高電壓 V_{pp} 的電壓位準。

圖 23 為顯示電容元件 187 及 191 的剖面構造的概要圖。該電容元件 187 及 191 具有相同的構造，因此在圖 23 中顯示電容元件 187 的剖面構造。

圖 23 中，電容元件 187 形成於 P 型基板區域 200 表面所形成的 N 井 202 內。P 型基板區域 200 被偏壓為接地電壓位準。

電容元件 187 包括：於 N 井 202 表面隔開間隔所形成的

P 型雜質區域 203a 及 203b；於此等雜質區域 203a 及 203b 之間的通道形成區域上介由未圖示的閘極絕緣膜形成的閘極電極 203；及形成於 N 井 202 表面上的 N 井雜質區域 204。此等雜質區域 203a、203b 及 204 相互連接，共同接收負升壓控制信號 ZVBTB。閘極電極 203 連接於圖 21 所示的節點 ND50，接收電壓 VBTB。

如圖 23 所示，在電容元件 187，即使電壓 VBTB 下降為負電壓 $-V_b$ ，雜質區域 203a、203b 及 204 仍均為接地電壓位準。P 型基板區域 200 被偏壓為接地電壓位準，該 P 型基板區域 200 及 N 井 202 間的 PN 接面，為非導通狀態。藉此，可防止電荷從 N 井 202 流入 P 型基板區域 200。

在高電壓產生電路中，即使在內部節點被升壓為負電壓位準的情況，仍可在形成 P 通道 MOS 電晶體的 P 型基板區域 200 內以僅隔離 N 井 202 的方式形成一般構成的 MOS 電晶體，以用作為負電壓升壓電容。

又，高電壓 V_{pp} 通常係設定為 $1.5 \times V_{DDs}$ 的電壓位準。

圖 24 為顯示輸出閘控制信號 GATE 產生部的構成的一例圖。圖 24 中，輸出閘控制信號產生部包括：將導通時外部電源電壓 EXVDD 傳輸給節點 ND60 的 N 通道 MOS 電晶體 211；將 MOS 電晶體 211 的閘極的下限電壓箝位固定在 $EXVDD - V_{thn}$ 位準的 N 通道 MOS 電晶體 212；根據控制信號 GAT0 將電荷供給 MOS 電晶體 211 的閘極的電容元件 210；根據控制信號 GAT1 將電荷供給節點 ND60 的電容元件 213；於控制信號 GAT2 為 L 位準時導通，將節點 ND60 的電

壓傳輸給輸出節點以生成輸出閘控制信號 GATEE 的 P 通道 MOS 電晶體 214；及於控制信號 GAT2 為 H 位準時導通，將輸出閘控制信號 GATEE 驅動為接地電壓位準的 N 通道 MOS 電晶體 215。控制信號 GAT0～GAT2 之振幅為外部電源電壓 EXVDD 位準。

圖 25 為顯示圖 24 所示輸出閘控制信號產生部的動作的信號波形圖。以下，參照圖 25，說明圖 24 所示輸出閘控制信號產生電路的動作。

控制信號 GAT1 從外部電源電壓 EXVDD 位準降低為接地電壓位準。此時，控制信號 GAT0 為接地電壓位準，MOS 電晶體 211 的閘極電位為電壓 $EXVDD - V_{thn}$ 位準。隨著控制信號 GAT1 的電壓位準的降低，節點 ND60 的電壓位準降低。在與該控制信號 GAT1 的下降的大致相同時刻，控制信號 GAT2 的電壓位準上升為外部電源電壓 EXVDD 位準，MOS 電晶體 215 成為導通狀態，輸出閘控制信號 GATEE 被驅動為接地電壓位準。此時，節點 ND60 的電壓位準最大為外部電源電壓 EXVDD 位準，MOS 電晶體 214 維持非導通狀態。

接著，控制信號 GAT0 上升為電源電壓 EXVDD 位準，MOS 電晶體 211 導通，節點 ND60 的電壓位準被預充電為外部電源電壓 EXVDD 位準。

當控制信號 GAT0 降低為接地電壓位準時，MOS 電晶體 211 的源極及汲極電壓較該閘極電壓還要增高，MOS 電晶體 211 成為非導通狀態。

接著，在指定的時序，控制信號 GAT1 上升為電源電壓

EXVDD 位準，節點 ND60 的電壓位準上升為 $2 \times \text{EXVDD}$ 位準。在與該控制信號 GAT1 的上升大致相同的時刻，控制信號 GAT2 降低為接地電壓位準，MOS 電晶體 214 導通，此外，MOS 電晶體 215 成為非導通狀態，輸出閘控制信號 GATEE 的電壓位準上升為節點 ND60 上的電壓位準、亦即 $2 \times \text{EXVDD}$ 位準。

以後，藉由反覆該動作，可生成振幅 $2 \times \text{EXVDD}$ 位準的輸出閘控制信號 GATEE。由互補的控制信號構成控制信號 GAT1 及 GAT2，藉由以與輸出閘控制信號 GATEE 大致相同的信號波形來驅動控制信號 GAT1，可從振幅為外部電源電壓 EXVDD 位準的控制信號來生成振幅 $2 \times \text{EXVDD}$ 位準的輸出閘控制信號 GATEE。

又，藉由於該輸出閘控制信號 GATEE 設置專用升壓電路，使用該專用之升壓電路的輸出電壓，並將外部電源電壓 EXVDD 位準的振幅的輸出閘控制信號 GATEE 進行位準轉換，也可生成輸出閘控制信號 GATEE。

(變化例)

圖 26 為顯示本發明之實施形態 7 之高電壓產生電路的變化例的構成圖。在該圖 26 所示構成中，於節點 ND53 連接著電容元件 187 的主電極，對於電容元件 187 的另一電極，藉由 CMOS 反相器 220 供給負升壓控制信號 ZVBTB。該 CMOS 反相器 220 係將與抽運控制信號 ZPUMP 同相的控制信號 ZPUMPA 反轉，生成負升壓控制信號 ZVBTB。

此外，驅動電容元件 191 的一電極節點的電位的 MOS 電晶

體 186 的源極節點係耦合於接地節點。驅動節點 ND51 及 ND53 的電路部份，與圖 21 所示高電壓產生電路的構成相同，對於對應的部份則賦予相同的元件符號，並省略詳細說明。

在該圖 26 所示高電壓產生電路中，對於節點 ND53 並聯設置電容元件 187 及 191。據此，於該節點 ND53 藉由 2 個電容元件 187 及 191 供給電荷。藉此，節點 ND53 的振幅為 $2 \times EXVDD$ 者，且對其輸出節點的電荷供給增大，可高速且穩定地生成高電壓 V_{pp} 。

又，在圖 26 所示構成中，電容元件 191 與雙升壓時相同，其閘極連接於節點 ND52。但是，在單升壓時，節點 ND52 僅在接地電壓與電源電壓 $EXVDD$ 之間變化，並無被驅動為負電位的情況。藉此，也可將電容元件 191 的閘極連接於節點 ND53，將源極/汲極/基板區域連接於節點 ND52。該配置的情況，於節點 ND53 連接著電容元件 191 的閘電容與電容元件 187 的閘電容。藉此，電容元件 191 的基板區域等的寄生電容與連接於節點 ND53 的構成比較，可減低節點 ND53 的寄生電容，可增高節點 ND52 與節點 ND53 間的耦合係數，可改善抽運效率。

如上所述，根據本發明之實施形態 7，將內部節點升壓為負電壓，此後將內部節點驅動為外部電源電壓位準，可將內部節點的最大電壓振幅設定為 $2 \times EXVDD + 0.5 \times EXVDD$ ，外部電源電壓 $EXVDD$ 即使降低為下限位準，仍可穩定地生成指定電壓位準的高電壓 V_{pp} 。

(實施形態 8)

圖 27 為顯示本發明之實施形態 8 之高電壓產生電路的構成的概要圖。圖 27 中，為了將內部節點 ND53 的振幅設定為 $2 \times \text{EXVDD} + 0.5 \times \text{EXVDD}$ 的任一者，使用掩模金屬內連線。

也就是說，在將內部節點 ND53 的電壓位準設定為振幅 2.5EXVDD 的情況，有使用雙升壓型的必要。在該情況，配設掩模金屬內連線 235a、235b 及 242。藉此，電容元件 187 連接於 MOS 電晶體 186 的源極節點，此外，另一電極介由掩模金屬內連線 242 接收偏壓升壓信號 ZVBTB。此外，MOS 電晶體 190 的汲極節點，介由掩模金屬內連線 235a 耦合於 MOS 電晶體 186 的源極節點。藉此，與圖 21 所示構成相同，實現雙升壓型高電壓產生電路。

另一方面，在將節點 ND53 的電壓振幅設定為 $2 \times \text{EXVDD}$ 的情況，指定單升壓構成。該情況，配設掩模金屬內連線 240a、240b 及 237。據此，該情況介由反相器 220 將抽運控制信號 ZPUMP 供給電容元件 187，此外，電容元件 187 的電極並不連接於 MOS 電晶體 186，而是介由掩模金屬內連線 240a 連接於節點 ND53。

此外，MOS 電晶體 186 的源極節點介由掩模金屬內連線 240c 連接於接地節點，此外，MOS 電晶體 190 的汲極節點介由掩模金屬內連線 240b 連接於接地節點。負升壓預充電控制信號 ZPREB 係於單升壓模式時固定為 L 位準。

藉此，該情況，藉由電容元件 191 及 187 並聯驅動節點 ND53，可實現單升壓模式型的內部電壓產生電路。

藉此，由掩模步驟製成相同電路構成，其後，藉由響應電源電壓 EXVDD 的電壓位準以脈衝限幅步驟選擇性配設掩模金屬內連線，即可選擇性形成雙升壓型極單升壓型的內部高電壓產生電路。

又，在圖 27 所示構成中，電容元件 191 之閘極連接於節點 ND52，且基板區域及雜質區域（源極／汲極區域）連接於節點 ND53。但是，在單升壓時，在與電容元件 191 的連接逆方向的情況，響應單升壓型／雙升壓型，藉由內連線轉換電容元件 191 之閘極與基板區域／雜質區域的連接處。

電壓產生部 230 包括圖 21 及圖 26 所示構成中生成電壓 GATE 及節點 ND53 的預充電電壓的電路部份，並根據預充電控制信號 PRE 及輸出閘控制信號 GATEE 進行動作的電路部份。

（變化例 1）

圖 28 為顯示本發明之實施形態 8 之變化例的構成圖。圖 28 中，於 MOS 電晶體 186 的源極節點配設金屬開關 250，於 MOS 電晶體 190 的汲極節點配設金屬開關 251，對於節點 ND53 配設金屬開關 253。此外，於電容元件 187 的電極節點配設金屬開關 252。此等配設金屬開關 250～253 係於脈衝限幅步驟中藉由金屬內連線設定其連接路徑。

金屬開關 250 在雙升壓方式的情況，將內連線 245 與電容元件 187 的閘極電極連接於 MOS 電晶體 186 的源極節點。金屬開關 251 將 MOS 電晶體 190 的汲極節點連接於內連線 245。金屬開關 253 將接地節點連接於內連線 247。金

屬開關 252 將負升壓控制信號 ZVBTB 耦合於電容元件 187 的源極/汲極/基板區域。

在單升壓構成時，金屬開關 250 將接地節點連接於 MOS 電晶體 186 的源極節點，此外，電容元件 187 的閘極電極連接於內連線 245。金屬開關 251 將內連線 245 連接於內連線 247，且，將 MOS 電晶體 190 的汲極節點耦合於接地節點。金屬開關 253 將內連線 247 連接於節點 ND53。金屬開關 252 將反相器 220 的輸出信號連接於電容元件 187 的源極/汲極/後閘節點。

據此，藉由在脈衝限幅步驟以金屬內連線設定此等金屬開關 250～253 的連接路徑，響應外部電源電壓 EXVDD 的電壓位準，可實現雙升壓構成之高電壓產生電路及單升壓構成之高電壓產生電路。

又，在該圖 28 所示構成中，電容元件 191 還是未在單升壓型及雙升壓型兩者中轉換其連接。但是，在單升壓型的情況，在將電容元件 191 的閘極連接於節點 ND53 的情況，對於電容元件 191 的閘極及基板區域/雜質區域配置轉換連接處用的金屬開關。

此外，在該圖 28 所示構成中，電壓產生部 230 也顯示根據預充電控制信號 PRE 及輸出閘控制信號 GATEE 生成節點 ND53 的電壓及電壓 GATE 的電路部份。

(變化例 2)

圖 29 為顯示本發明之實施形態 8 之高電壓產生電路的變化例 2 的構成圖。圖 29 中，未顯示預充電節點 ND53 的

電壓位準的電壓產生部的構成。

圖 29 中，高電壓產生電路包括：連接於 MOS 電晶體 186 的源極節點 ND60 與接地節點間且於其閘極接收控制信號 CTL1 的 N 通道 MOS 電晶體 260；連接於節點 ND60 與節點 ND61 內部且於其閘極接收控制信號 CTL2 的 N 通道 MOS 電晶體 261；連接於節點 ND61 與節點 ND62 間且其閘極連接於接地節點的 P 通道 MOS 電晶體 262；連接於節點 ND62 與接地節點間且於其閘極接收控制信號 CTL3 的 N 通道 MOS 電晶體 263；連接於節點 ND62 與節點 ND53 間的 P 通道 MOS 電晶體 264；根據控制信號 CTL4 將 MOS 電晶體 264 的閘極耦合於節點 ND53 的 P 通道 MOS 電晶體 265；及根據控制信號 CTL5 將 MOS 電晶體 264 的閘極耦合於接地節點的 N 通道 MOS 電晶體 266。

對於電容元件 187 的電極節點供給接收負升壓控制信號 ZVBTB 與反相器 220 的輸出信號的 OR 電路 270 的輸出信號。

於雙升壓構成時，控制信號 CTL1 係設定於電壓 VBB 位準，控制信號 CTL2 係設定於外部電源電壓。此外，控制信號 CTL3 係設定為 H 位準（外部電源電壓位準）。藉此，MOS 電晶體 260 為非導通狀態，MOS 電晶體 263 為導通狀態，節點 ND62 被固定於接地電壓位準。

此外，控制信號 CTL4 及 CTL5 係設定為 L 位準，MOS 電晶體 265 成為導通狀態，MOS 電晶體 266 成為截止狀態，MOS 電晶體 264 的閘極連接於節點 NND53。

於雙升壓構成時，節點 ND61 係在負電壓 $-V_b$ 與接地電壓

位準間變化。藉此，MOS電晶體262因為在節點ND61的電壓位準變為高於其臨限電壓的絕對值時成為導通狀態，因此在此在該雙升壓構成時，MOS電晶體262維持非導通狀態。另一方面，MOS電晶體261為導通狀態，而且控制信號CTL2維持在外部電源電壓EXVDD位準，因此節點ND61的電壓被正確傳輸給節點ND60。

節點ND53係於雙升壓構成時，在外部電源電壓EXVDD與電壓 $2.5 \times EXVDD$ 間變化。藉此，MOS電晶體264因為節點ND62維持接地電壓位準，而經常維持為非導通狀態。

於雙升壓模式時，抽運控制信號ZPUMPA係固定於H位準，反相器220的輸出信號成為L位準。相應地，OR電路270係作為緩衝電路進行動作，根據負升壓控制信號ZVBTB驅動電容元件187。

另一方面，於單升壓構成時，控制信號CTL1係設定於外部電源電壓位準，MOS電晶體260設定為導通狀態。此外，控制信號CTL2係維持於接地電壓位準，MOS電晶體261成為非導通狀態。相同地，控制信號CTL3係維持於接地電壓位準，MOS電晶體263成為截止狀態。於單升壓構成時，依此節點ND60被固定於接地電壓位準。

於單升壓構成時，負升壓控制信號ZVBTB係固定於L位準，OR電路270根據反相器220的輸出信號驅動電源元件187。藉此，節點ND61在接地電壓與外部電源電壓EXVDD間變化，MOS電晶體262導通，將外部電源電壓EXVDD的振幅信號傳輸給節點ND62。

此外，於單升壓模式時，控制信號 CTL4 係設定於高電壓位準的 H 位準，MOS 電晶體 265 成為截止狀態，另一方面，控制信號 CTL5 被設定為外部電源電壓位準，MOS 電晶體 266 成為導通狀態，MOS 電晶體 264 的閘極固定於接地電壓位準。藉此，該情況節點 ND62 的外部電源電壓 EXVDD 位準的振幅信號係介由 MOS 電晶體 264 而傳輸給節點 ND53。藉此，節點 ND53 的電壓位準可使外部電源電壓 EXVDD 與 $2 \times \text{EXVDD}$ 的電壓位準間變化。

節點 ND53 的預充電電壓位準，係為外部電源電壓 EXVDD 位準，節點 ND61 的預充電電壓也可介由 MOS 電晶體 264 及 262 設定為外部電源電壓 EXVDD 位準，藉由電容元件 187 的預充電抽運動作，可在外部電源電壓 EXVDD 與 $2 \times \text{EXVDD}$ 間使節點 ND61 變化。

又，上述說明中，並未針對電容元件 191 的連接方向作特別的說明。在由單升壓型與雙升壓型來轉換電容元件 191 的連接方向的情況，同樣可根據控制信號來轉換連接處。該情況，因為電荷介由電容元件 191 而藉由抽運動作進行傳輸，為了防止在電晶體開關電路的電荷損失，電容元件 191 的連接處的轉換也可由金屬內連線來進行。

此外，作為連接處的轉換，也可將 CMOS 傳輸閘作為開關電路使用。在將開關電路用於電容元件 191 的連接處的轉換的情況，因為節點 ND52 在雙升壓構成時被驅動為負電壓，作為針對連接該節點 ND52 的開關電路的控制信號，與控制信號 CTL1 相同，有利用被位準轉換為負電壓位準的控

制信號的必要。作為針對連接該節點 ND53 用的開關電路的控制信號，與控制信號 CTL4 相同使用高電壓 VP 位準的信號。藉此，可響應抽運電路的構成轉換電容元件 191 的連接處。

圖 30 為顯示圖 29 所示控制信號產生部的構成的一例的概要圖。圖 30 中，控制信號產生部包括：於雙升壓指示信號 DBLE 的活性化時被活性化，產生負電壓 VBB 的負電壓產生電路 300；接收外部電源電壓 EXVDD 及負電壓 VBB 作為動作電源電壓，轉換雙升壓指示信號 DBLE 的位準生成控制信號 CTL1 的位準轉換電路 302；於雙升壓指示信號 DBLE 的非活性化時被活性化，生成活性化時高電壓 VP 的高電壓產生電路 304；接收來自高電壓產生電路 304 的高電壓 VP 與接地電壓作為動作電源電壓，進行雙升壓指示信號 DBLE 的位準轉換，生成控制信號 CTL4 的位準轉換電路 306；及將雙升壓指示信號 DBLE 反轉，生成控制信號 CTL5 的反相器 308。

控制信號 CTL2 及 CTL3 係根據雙升壓指示信號 DBLE 所生成。

雙升壓指示信號 DBLE 係藉由金屬內連線、搭接焊墊的電壓固定、或模式指定信號來決定其邏輯位準。作為一例，雙升壓指示信號 DBLE 係於雙升壓模式設定時設定為 H 位準，而於單升壓模式設定時設定為 L 位準。

負電壓產生電路 300 係在指定為雙升壓構成時，生成負電壓 VBB。該負電壓 VBB 係為圖 21 所示節點 ND54 的電壓

VBTB 的負電壓 $-V_b$ 以下的電壓位準。負電壓產生電路 300 係於非活性化時輸出接地電壓。

位準轉換電路 302 係根據雙升壓指示信號 DBLE 生成控制信號 CTL1。控制信號 CTL1 在指定為雙升壓構成時，設定為負電壓 VBB 位準，當在指定為單升壓構成時，固定為 H 位準（外部電源電壓 EXVDD）。位準轉換電路 302 係使用周知的電路構成所構成，例如在圖 13 所示位準轉換電路 114 中，藉由使電源節點之電壓極性及 MOS 電晶體的電晶體極性均呈相反來實現。

控制信號 CTL2 及 CTL3 係在指定為單升壓構成時，成為 L 位準（接地電壓位準），而在指定為雙升壓構成時，成為 H 位準。

高電壓產生電路 304 係在指定為單升壓構成時，被活性化而生成高電壓 VP。該高電壓 VP 係為 $2 \times \text{EXVDD}$ 以上的電壓。高電壓產生電路 304 係於非活性化時輸出外部電源電壓 EXVDD 位準的電壓。

位準轉換電路 306 係將雙升壓指示信號 DBLE 反轉，且將其輸出信號的 H 位準設定為高電壓 VP 位準。據此，在單升壓構成時，控制信號 CTL4 成為高電壓 VP 位準，在雙升壓構成時，成為接地電壓位準的 L 位準。

反相器 308 接收外部電源電壓作為動作電源電壓，將雙升壓指示信號 DBLE 反轉而生成控制信號 CTL5。藉此，控制信號 CTL5 在雙升壓構成時成為 L 位準，在單升壓構成時成為 H 位準。

又，負電壓產生電路 300 及高電壓產生電路 304，係分別由利用電容器的預充電抽運電動作的預充電抽運電路所構成。

圖 31 為顯示圖 30 所示負電壓產生電路 300 的構成的一例的概要圖。圖 31 中，負電壓產生電路 300 包括：活性化時利用電容器的預充電抽運電動作，而於輸出節點 ND70 生成負電壓 VBB 的預充電抽運電路 300a；將雙升壓指示信號 DBLE 的位準轉換的位準轉換電路 300b；及根據位準轉換電路 300b 的輸出信號選擇性導通，導通時將節點 ND70 耦合於接地節點的 N 通道 MOS 電晶體 300c。

預充電抽運電路 300a 係於雙升壓指示信號 DBLE 為活性化時，根據來自未圖示的時脈控制信號產生電路的時脈控制信號進行預充電抽運動作，而於節點 ND70 生成負電壓。該情況，在雙升壓指示信號 DBLE 為 H 位準時，位準轉換電路 300b 的輸出信號成為輸出節點 ND70 電壓位準，MOS 電晶體 300c 維持非導通狀態。據此，來自預充電抽運電路 300a 的負電壓 VBB，係由預充電抽運動作所生成。

另一方面，在雙升壓指示信號 DBLE 為 L 位準時，位準轉換電路 300b 的輸出信號成為外部電源電壓 EXVDD 位準，MOS 電晶體 300c 成為導通狀態，輸出節點 ND70 固定於接地電壓位準。預充電抽運電路 300a，在雙升壓指示信號 DBLE 為 L 位準時停止預充電抽運動作。藉此，輸出節點 ND70 的負電壓 VBB 成為接地電壓位準。

又，也可將圖 31 所示位準轉換電路 300b 作為圖 30 所

示位準轉換電路 302 予以利用。該情況，位準轉換電路 300b 的輸出信號相當於控制信號 CTL1。

圖 32 為顯示圖 30 所示高電壓產生電路 304 的構成的一例圖。圖 32 中，高電壓產生電路 304 包括：活性化時利用電容器的預充電抽運動作而於節點 ND72 生成高電壓 VP 的預充電抽運電路 304a；將雙升壓指示信號 DBLE 反轉，且於單升壓構成時轉換該位準的位準轉換電路 304b；及根據位準轉換電路 304b 的輸出信號，將節點 ND72 設定為外部電源電壓 EXVDD 位準的 P 通道 MOS 電晶體 304c。

預充電抽運電路 304a 係在雙升壓指示信號 DBLE 為 L 位準且顯示單構成時，進行預充電抽運動作而於節點 ND72 生成高電壓 VP。於該單升壓構成時，位準轉換電路 304b 的輸出信號成為節點 ND72 上的電壓 VP 位準，MOS 電晶體 304c 成為非導通狀態。藉此，於節點 ND72 設定該預充電抽運電路 304a 生成的高電壓的電壓位準。另一方面，於雙升壓構成時，雙升壓指示信號 DBLE 為 H 位準，該位準轉換電路 304c 的輸出信號為 L 位準（接地電壓位準），MOS 電晶體 304c 導通，將外部電源電壓 EXVDD 傳輸給節點 ND72。預充電抽運電路 304a 在雙升壓構成時，不進行預充電抽運動作。藉此，該節點 ND72 上的高電壓 VP，在雙升壓構成時，成為外部電源電壓 EXVDD 位準。

又，在該圖 32 所示高電壓產生電路 304 的構成中，位準轉換電路 304b 也可作為生成控制信號 CTL4 的位準轉換電路 306 予以使用。從位準轉換電路 304b 供給 MOS 電晶體

304c 的閘極的信號，係作為控制信號 CTL4 使用。

又，關於圖 29 所示控制信號 ZVBTB 及 ZPNPA 的狀態，也可根據雙升壓指示信號 DBLE 來設定其狀態。例如，將取得雙升壓指示信號 DBLE 與控制信號 ZVBTBF 的與信號，作為負電壓升壓控制信號 ZVBTB 使用。另一方面，抽運控制信號 ZPNPA 係從取得雙升壓指示信號 DBLE 與抽運控制信號 ZPNPA 的或信號所生成。

如上所述，根據本發明之實施形態 8，在外部電源電壓的電壓位準低的情況，將電容器的預充電抽運動作分割為 2 階段來進行，以增大內部節點的輸出電壓振幅，在外部電源電壓高的情況，使該電容器並聯同時動作以蓄積電荷，即可響應外部電源電壓有效地生成必要之電壓位準的高電壓。

(實施形態 9)

圖 33 為顯示本發明之實施形態 9 之高電壓產生電路的控制部的構成的概要圖。圖 33 中，高電壓產生控制部包括：將高電壓 V_{pp} 分壓生成分壓電壓 V_{PDIV} 的分壓電路 400；比較分壓電壓 V_{PDIV} 與基準電壓 V_{refd} 的比較電路 402；根據比較電路 402 的輸出信號與分壓電壓 V_{PDIV} 生成位準檢測信號 DETN 的偏壓補償電路 404；響應位準檢測信號 DETN 而選擇性地被活性化，活性化時以指定的週期進行振盪動作以生成抽運時脈信號 PCLK 的環式振盪器 406；及將抽運時脈信號 PCLK 作為基本時序信號，生成控制信號 PRE、GATEE、ZPUMP 等的控制信號產生電路 408。

來自該控制信號產生電路 408 的控制信號 PRE 等，被供給前述之實施形態 7 及實施形態 8 所示的高壓產生電路。

分壓電路 400 包括串聯連接於高電壓輸入節點與接地節點間的電阻元件 400a 及 400b。該分壓電路 400 的分壓係設定為 0.43，分壓電壓 VPDIV 係設定為較高電壓 V_{pp} 的 $1/2$ 的電壓位準低的電壓位準。

比較電路 402 包括：構成比較分壓電壓 VPDIV 與基準電壓 V_{refd} 的差動級的 N 通道 MOS 電晶體 NQ1 及 NQ2；構成將電流供給此等 MOS 電晶體 NQ1 及 NQ2 的電流鏡級的 P 通道 MOS 電晶體 PQ1 及 PQ2；及供給該比較電路 402 的動作電流的 MOS 電晶體 NQ3。

MOS 電晶體 PQ1 構成電流鏡級的主級，流動於 MOS 電晶體 PQ1 的電流的鏡電流，係介由 MOS 電晶體 PQ2 而流動。

活性化信號 EN 係供給該比較電路 402 的電流源電晶體 NQ3 的閘極，該活性化信號 EN 可為陣列活性化信號，也可為電力截止致能信號的反轉信號。

在該比較電路 402 的動作中，在分壓電壓 VPDIV 較基準電壓 V_{refd} 高的情況，比較電路 402 的輸出信號成為高位準，另一方面，在分壓電壓 VPDIV 較基準電壓 V_{refd} 低的情況，比較電路 402 的輸出信號成為低位準。

偏壓補償電路 404 包括：於閘極接收比較電路 402 的輸出信號，在該比較電路 402 的輸出信號為高位準時，將位準檢測信號 DATN 驅動為 H 位準的 P 通道 MOS 電晶體 PQ3；及於閘極接收分壓電壓 VPDIV，用以補償 MOS 電晶體 PQ3

的驅動電流的 N 通道 MOS 電晶體 NQ4。MOS 電晶體 NQ4 連接於電流源電晶體 NQ3。藉此，偏壓補償電路 404 也於活性化信號 EN 的活性化時執行生成位準檢測信號 DATN 的動作。

在外部電源電壓 EXVDD 的電壓位準變低的情況，在分壓電壓 VPDIV 為 $V_{pp}/2$ 的電壓位準的情況，外部電源電壓 EXVDD 與分壓電壓 VPDIV 的差減小，差動級的 MOS 電晶體 NQ1 及 NQ2 在線型區域動作，而有該比較電路 402 的感度下降的可能性。在此，例如使分壓電壓 VPDIV 的分壓比減小 $43/100$ 而使分壓電壓 VPDIV 的電壓位準下降，另外還使基準電壓 Vrefd 的電壓位準也下降，在飽和區域使 MOS 電晶體 NQ1 及 NQ2 動作。

此外，對於該差動級的分壓電壓 VPDIV，即使與外部電源電壓 EXVDD 的電壓位準相比相對地增高，仍可以不致使該位準檢測的感度降低的方式，設置偏壓補償電路 404。在分壓電壓 VPDIV 較基準電壓 Vrefd 高的情況，比較電路 402 的輸出信號成為高位準，MOS 電晶體 PQ3 的電導降低，另一方面，MOS 電晶體 NQ4 的電導增大，偏壓補償電路 404 的輸出信號被驅動為 L 位準。

另一方面，在分壓電壓 VPDIV 較基準電壓 Vrefd 低的情況，比較電路 402 的輸出信號成為低位準，MOS 電晶體 PQ3 的電導增大，此外，MOS 電晶體 NQ4 的電導降低。藉此，在該狀態下，偏壓補償電路 404 的輸出信號 DETEN 被驅動為 H 位準。

也就是說，關於 MOS 電晶體 PQ3 及 NQ4，根據比較電路

402 的輸入信號與輸出信號使此等的閘極電壓向同一方向變化，此外，藉由在飽和區域使 MOS 電晶體 NQ4 動作，根據比較電路 402 的輸出信號可使 MOS 電晶體 NQ4 及 PQ3 互補變化，即可比較電路 402 的輸出信號以高速使輸出信號變化。

藉此，在比較電路 402 的感度低的情況，根據比較電路 402 的輸出信號，偏壓補償電路 404 仍可以高速驅動其輸出信號 DETEN，在分壓電壓 VPDIIV 的電壓位準高的情況仍可正確進行電壓位準的檢測動作。

環式振盪器 406 包括偶數級的反相器及接收該最終級的反相器的輸出信號與位準檢測信號 DETN 的閘電路。該閘電路輸出信號係供給反相器列的初級反相器。位準檢測信號 DETN 為 H 位準，在分壓電壓 VPDIIV 較基準電壓 V_{refd} 低時，進行振盪動作。在分壓電壓 VPDIIV 較基準電壓 V_{refd} 高時，位準檢測信號 DETN 成為 L 位準，環式振盪器 406 停止振盪動作。藉此，作為高電壓 V_{pp} 位準的電壓位準，可將高電壓 V_{pp} 維持於 $100 \times V_{refd} / 43$ 的電壓位準。

(變化例)

圖 34 為顯示本發明之實施形態 9 之變化例的高電壓產生控制部的構成的概要圖。在該圖 34 所示構成中，在分壓電路 400 中，在分壓電壓輸出節點 ND75 與接地節點間串聯連接著電阻元件 400ba 及 400bb。與該電阻元件 400ba 並聯連接著於閘極接收雙升壓指示信號的互補信號 ZDBLE 的 N 通道 MOS 電晶體 400c。此外，在控制信號產生電路 408

中，供給雙升壓指示信號 DBLE。圖 34 所示高電壓產生控制部的其他構成，與圖 33 所示構成相同，對於對應的部份賦予相同的元件符號，並省略詳細說明。

在外部電源電壓 EXVDD 為 1.8V 或 2.5V 的低電壓的情況，指定雙升壓構成，進行雙升壓動作，生成高電壓 V_{pp} 。該情況，互補的雙升壓指示信號 ZDBLE 係設定為 L 位準，MOS 電晶體 400c 成為導通狀態。藉此，在該情況分壓電壓 VPDIV 係以分壓比 0.43 將高電壓 V_{pp} 分壓而生成。

另一方面，在外部電源電壓 EXVDD 如為 3.3V 的高電壓的情況，以單升壓構成，生成高電壓 V_{pp} 。該情況，互補的雙升壓指示信號 ZDBLE 係設定為 H 位準，MOS 電晶體 400c 導通，電阻元件 400b 被短路。藉此，來自輸出節點 ND75 的分壓電壓 VPDIV，藉由將電阻元件 400a 及 400bb 的電阻值設為相同，而可以分壓比 1/2 從高電壓 V_{pp} 生成。在該單升壓構成時，控制信號產生電路 408 係根據雙升壓指示信號 DBLE 來轉換控制信號的產生態樣（參照實施形態 8）。

據此，藉由利用該圖 34 所示構成，藉由一個高電壓產生控制部可實現響應複數種類的外部電源電壓的控制態樣，此外，響應高電壓產生方式進行最佳位準檢測動作，可控制高電壓產生動作。

又，圖 34 中，可使用掩模金屬內連線，也可使用連接元件（熔絲元件），來取代 MOS 電晶體 400c。

圖 35 為顯示基準電壓 V_{refd} 產生部份的構成的一例圖。

圖 35 中，基準電壓產生電路包括：耦合外部電源節點

而供給定電流 i_0 的定電流源 420a；響應供給控制輸入 DIS 的信號進行選擇性導通，導通時將來自定電流源 420a 的電流供給節點 ND78 的 P 通道 MOS 電晶體 420b；串聯連接於節點 ND78 與 ND79 之間的電阻元件 420c 及 420d；連接於節點 ND79 與接地節點之間，且其閘極連接於接地節點的 P 通道 MOS 電晶體 420e；與電阻元件 420c 並聯連接且其閘極接收雙升壓指示信號 DBLE 的 N 通道 MOS 電晶體 420f；及響應控制輸入 DIS 供給的信號進行選擇性導通，導通時將輸出節點 ND78 耦合於接地節點的 N 通道 MOS 電晶體 420g。

對於控制輸入 DIS 供給圖 34 所示活性化信號 EN 的反轉信號。

在外部電源電壓 EXVDD 的電壓位準低，且雙升壓指示信號 DBLE 設定為 H 位準的情況，MOS 電晶體 420f 導通，電阻元件 420c 被短路。據此，節點 ND78 的基準電壓 V_{refd} 係由電阻元件 420d 的電阻值與定電流 i_0 的積與 MOS 電晶體 420e 的臨限電壓的絕對值 V_{thp} 的和所供給。

另一方面，在外部電源電壓 EXVDD 的電壓位準高，且於單升壓構成設定高電壓產生電路的情況，雙升壓指示信號 DBLE 為 L 位準，MOS 電晶體 420 成為非導通狀態。該情況，基準電壓 V_{refd} 係由電阻元件 420c 及 420d 的合成電阻值與 MOS 電晶體 420e 的臨限電壓的絕對值 V_{thp} 的和所供給。

藉此，在外部電源電壓 EXVDD 設定為高位準的情況，基準電壓 V_{refd} 的電壓位準係較高地設定為 $V_{pp}/2$ ，另一方

面，在外部電源電壓 EXVDD 設定為低位準的情況，基準電壓 V_{refd} 如係較低地設定為 $0.43V_{pp}$ 。

又，在圖 35 所示基準電壓產生電路的構成中，也可省略 MOS 電晶體 420e。

如上所述，根據本發明之實施形態 9，在較低地設定外部電源電壓且以雙升壓方式生成內部高電壓的情況，在該高電壓的位準檢測時，較低地設定供給比較電路的偏向電壓，即可在比較電路的所謂「位元區域」進行比較動作，可正確進行位準檢測動作。

此外，根據該高電壓的分壓電壓，來調整最終輸出位準檢測信號的電路的驅動電流，補償比較電路的感度降低，可正確生成位準檢測信號。

又，在該圖 35 所示基準電壓產生電路之構成中，可使用可熔斷的連接元件來取代 MOS 電晶體 420f，也可使用掩模金屬內連線選擇性將電阻元件 420c 短路。

如上所述，根據本發明，響應外部電源電壓的電壓位準來調整內部電壓產生態樣，即可以 1 個晶片實現可對應複數種類的外部電源電壓的半導體裝置。

【圖式簡單說明】

圖 1 為顯示本發明之實施形態 1 之內部電壓產生電路的構成的概要圖。

圖 2 為顯示圖 1 所示基準電壓產生電路的構成的一例圖。

圖 3 為顯示圖 1 所示週邊有源器 VDC 的構成的一例圖。

圖 4 為顯示產生圖 1 所示電壓位準設定信號的部份的構成的一例圖。

圖 5 為電壓位準設定信號產生部的變化例的構成的概要圖。

圖 6 為顯示圖 1 所示陣列有源器 VDC 及輸入有源器 VDC 的構成的一例圖。

圖 7 為顯示圖 1 所示待機部 VDC 的構成的一例圖。

圖 8 為顯示本發明之實施形態 2 之輸入電路的構成圖。

圖 9 為顯示對於圖 8 所示輸入電路之電源供給形態的圖。

圖 10 為顯示對於圖 8 所示輸入電路之電源供給形態的圖。

圖 11 為顯示本發明之實施形態 3 之內部電壓產生部的構成的概要圖。

圖 12 為顯示本發明之實施形態 3 之變化例的圖。

圖 13 為顯示本發明之實施形態 4 之電力截止致能信號產生部的構成的概要圖。

圖 14 為顯示圖 13 所示電力截止致能信號產生部的動作的信號波形圖。

圖 15 為顯示本發明之實施形態 5 之內部狀態設定信號產生部的構成圖。

圖 16 為顯示本發明之實施形態 6 之陣列有源器 VDC 的構成圖。

圖 17 為顯示圖 16 所示陣列有源器 VDC 的動作的信號波

形圖。

圖 18 為顯示本發明之實施形態 6 之具有陣列有源器 VDC 的半導體記憶裝置的要部構成的概要圖。

圖 19 為顯示圖 18 所示過驅動控制電路的構成的一例圖。

圖 20 為顯示本發明之實施形態 6 之中間電壓產生部的構成圖。

圖 21 為顯示本發明之實施形態 7 之高電壓產生部的構成圖。

圖 22 為顯示圖 21 所示高電壓產生電路的動作的信號波形圖。

圖 23 為顯示圖 21 所示 MOS 電容器的剖面構造的概要圖。

圖 24 為顯示產生圖 21 所示輸出閘控制信號部份的構成的一例圖。

圖 25 為顯示圖 24 所示輸出閘控制信號產生部的動作的信號波形圖。

圖 26 為顯示本發明之實施形態 7 之高電壓產生電路的變化例的構成圖。

圖 27 為顯示本發明之實施形態 8 之高電壓產生電路的構成的概要圖。

圖 28 為顯示本發明之實施形態 8 之高電壓產生電路的變化例的構成圖。

圖 29 為顯示本發明之實施形態 8 之高電壓產生電路的變化例 2 的構成圖。

圖 30 為顯示圖 29 所示連接控制信號產生部的構成的概要圖。

圖 31 為顯示圖 30 所示負電壓產生電路的構成的一例圖。

圖 32 為顯示圖 30 所示高電壓產生電路的構成的一例圖。

圖 33 為顯示本發明之實施形態 9 之高電壓產生控制部的構成圖。

圖 34 為顯示本發明之實施形態 9 之高電壓產生控制部的變化例的圖。

圖 35 為顯示本發明之實施形態 9 之基準電壓產生電路的構成的一例圖。

圖 36 為顯示習知半導體記憶裝置的陣列部的構成的概要圖。

圖 37 為顯示習知半導體記憶裝置的全體構成的概要圖。
(元件符號說明)

- 1 定電流產生電路
- 2 i 輸入基準電壓產生電路
- 2 s 陣列基準電壓產生電路
- 2 p 週邊基準電壓產生電路
- 3 週邊電源電壓產生電路
- 3 a 週邊有源器 VDC
- 3 s 週邊待機部 VDC
- 4 陣列電源電壓產生電路

- 4 a 陣列有源器 VDC
- 4 s 陣列待機部 VDC
- 5 輸入電源電壓產生電路
- 5 a 輸入有源器 VDC
- 5 s 輸入待機部 VDC
- 5 i 輸入待機部 VDC
- 6 OR 電路
- 7 閘電路
- 8 OR 閘
- 10 i 輸入電源線
- 10 p 週邊電源線
- 10 s 陣列電源線
- 11 反相器
- 12 連接閘
- 13 輸入節點
- 20 a 定電流源
- 20 b P 通道 MOS 電晶體
- 20 c 電阻元件
- 20 d P 通道 MOS 電晶體
- 20 e N 通道 MOS 電晶體
- 20 f 輸出節點
- 23 比較電路
- 23 a P 通道 MOS 電晶體
- 23 b P 通道 MOS 電晶體

23c	N 通道 MOS 電 晶 體
23d	N 通道 MOS 電 晶 體
23e	N 通道 MOS 電 晶 體
24	電 流 驅 動 電 晶 體
25	開 電 路
26	反 相 器
27	P 通 道 MOS 電 晶 體
28	N 通 道 MOS 電 晶 體
29	P 通 道 MOS 電 晶 體
30	反 相 器
31	P 通 道 MOS 電 晶 體
32	開 電 路
35	金 屬 開 關
35a	金 屬 內 連 線
40	焊 墊
41	ZCMPE 產 生 電 路
50	比 較 電 路
51	電 流 驅 動 電 晶 體
52	P 通 道 MOS 電 晶 體
60	比 較 電 路
61	電 流 驅 動 電 晶 體
62	P 通 道 MOS 電 晶 體
70	開 電 路
72	輸 入 緩 衝 電 路

- 72 a P 通道 MOS 電 晶 體
- 72 b P 通道 MOS 電 晶 體
- 72 c N 通道 MOS 電 晶 體
- 72 d N 通道 MOS 電 晶 體
- 74 CMOS 反 相 器
- 76 開 電 路
- 78 輸 入 緩 衝 電 路
- 78 a P 通道 MOS 電 晶 體
- 78 b P 通道 MOS 電 晶 體
- 78 c N 通道 MOS 電 晶 體
- 78 d N 通道 MOS 電 晶 體
- 80 CMOS 反 相 器
- 82 位 準 轉 換 電 路
- 82 a P 通道 MOS 電 晶 體
- 82 b P 通道 MOS 電 晶 體
- 82 c N 通道 MOS 電 晶 體
- 82 d MOS 電 晶 體
- 84 AND 電 路
- 84 a NAND 開
- 84 b 反 相 器
- 90 MOS 電 晶 體
- 92 NAND 電 路
- 93 P 通道 MOS 電 晶 體
- 95 開 電 路

- 96 N 通道 MOS 電 晶 體
- 97 AND 電 路
- 98 N 通道 MOS 電 晶 體
- 100 AND 電 路
- 102 P 通道 MOS 電 晶 體
- 110 週 邊 電 源 投 入 檢 測 電 路
- 112 週 邊 電 路
- 114 位 準 轉 換 電 路
- 116 CMOS 反 相 器
- 118 外 部 電 源 投 入 檢 測 電 路
- 120 AND 電 路
- 130 焊 墊
- 131 反 相 器
- 132 反 相 器
- 133 N 通道 MOS 電 晶 體
- 134 反 相 器
- 135 N 通道 MOS 電 晶 體
- 136 外 部 電 源 端 子
- 137 搭 焊 線
- 140 P 通道 MOS 電 晶 體
- 141 P 通道 MOS 電 晶 體
- 142 N 通道 MOS 電 晶 體
- 143 N 通道 MOS 電 晶 體
- 144 N 通道 MOS 電 晶 體

- 145 P 通道 MOS 電 晶 體
- 146 P 通道 MOS 電 晶 體
- 150 陣 列 活 性 化 控 制 電 路
- 152 字 線 驅 動 控 制 電 路
- 154 感 測 控 制 電 路
- 156 過 驅 動 控 制 電 路
- 156a 位 準 轉 換 電 路
- 156b 反 轉 / 延 遲 電 路
- 156c NAND 電 路
- 160 字 線 選 擇 電 路
- 162 感 測 放 大 活 性 化 電 路
- 170 中 間 電 壓 產 生 電 路
- 170a 電 阻 元 件
- 170b MOS 電 晶 體
- 170c MOS 電 晶 體
- 170d 電 阻 元 件
- 170e N 通 道 MOS 電 晶 體
- 170f P 通 道 MOS 電 晶 體
- 180 電 容 元 件
- 181 N 通 道 MOS 電 晶 體
- 182 N 通 道 MOS 電 晶 體
- 183 N 通 道 MOS 電 晶 體
- 184 電 容 元 件
- 185 P 通 道 MOS 電 晶 體

- 186 N 通道 MOS 電 晶 體
- 187 電 容 元 件
- 188 電 容 元 件
- 189 P 通 道 MOS 電 晶 體
- 190 P 通 道 MOS 電 晶 體
- 191 電 容 元 件
- 192 N 通 道 MOS 電 晶 體
- 200 P 型 基 板 區 域
- 202 N 井
- 203 閘 極 電 極
- 203a P 型 雜 質 區 域
- 203b P 型 雜 質 區 域
- 204 N 井 雜 質 區 域
- 210 電 容 元 件
- 211 N 通 道 MOS 電 晶 體
- 212 N 通 道 MOS 電 晶 體
- 213 電 容 元 件
- 214 P 通 道 MOS 電 晶 體
- 215 N 通 道 MOS 電 晶 體
- 220 CMOS 反 相 器
- 235a 掩 模 金 屬 內 連 線
- 235b 掩 模 金 屬 內 連 線
- 237 掩 模 金 屬 內 連 線
- 240a 掩 模 金 屬 內 連 線

- 240b 掩模金屬內連線
- 240c 掩模金屬內連線
- 242 掩模金屬內連線
- 245 內連線
- 247 內連線
- 250 金屬開關
- 251 金屬開關
- 252 金屬開關
- 253 金屬開關
- 260 N通道MOS電晶體
- 261 N通道MOS電晶體
- 262 P通道MOS電晶體
- 263 N通道MOS電晶體
- 264 P通道MOS電晶體
- 265 P通道MOS電晶體
- 266 N通道MOS電晶體
- 270 OR電路
- 300 負電壓產生電路
- 300a 預充電抽運電路
- 300b 位準轉換電路
- 300c N通道MOS電晶體
- 302 位準轉換電路
- 304 高電壓產生電路
- 304a 預充電抽運電路

- 304b 位準轉換電路
- 304c P 通道 MOS 電晶體
- 306 位準轉換電路
- 308 反相器
- 400 分壓電路
- 400a 電阻元件
- 400b 電阻元件
- 400ba 電阻元件
- 400bb 電阻元件
- 400c N 通道 MOS 電晶體
- 402 比較電路
- 404 偏壓補償電路
- 406 環式振盪器
- 408 控制信號產生電路
- 420 MOS 電晶體
- 420a 定電流源
- 420b P 通道 MOS 電晶體
- 420c 電阻元件
- 420d 電阻元件
- 420e P 通道 MOS 電晶體
- 420f N 通道 MOS 電晶體
- 420g N 通道 MOS 電晶體
- 900 內部電壓產生電路
- 902 記憶單元陣列

904	控制電路
906	列選擇電路
908	感測放大器組
910	行選擇電路
/POREX	外部電源投入檢測信號
/PORP	週邊電源投入檢測信號
ACT	陣列活性化信號
AIN	控制輸入
BIN	控制輸入
BL	位元線
BPE	位元線均衡電路
CIN	控制輸入
CKE	時脈致能信號
CMD	指令
CTL1	控制信號
CTL2	控制信號
CTL3	控制信號
DBLE	雙升壓指示信號
DETN	位準檢測信號
DIS	控制輸入
EN	輸入致能信號
EN	輸入致能信號
EXSG	外部信號
EXSG	外部信號

EXVDD	外部電源電壓
GAT0～GAT2	控制信號
GATEE	輸出閘控制信號
ICST	定電流
INSG	內部信號
MLV	模式選擇信號
MOD	模式設定信號
ND1	節點
ND10	內部節點
ND11	內部節點
ND12	節點
ND13	節點
ND2	節點
ND20	節點
ND3	節點
ND32	節點
ND41	節點
ND42	節點
ND5	閘極節點
ND50	節點
ND51	節點
ND52	節點
ND54	節點
ND55	節點

ND60	節點
NQ1	N 通道 MOS 電晶體
NQ2	N 通道 MOS 電晶體
NQ4	N 通道 MOS 電晶體
PCLK	抽運時脈信號
PCUT	電力截止信號
PCUTe	電力截止致能信號
PQ1	P 通道 MOS 電晶體
PQ2	P 通道 MOS 電晶體
PQ3	P 通道 MOS 電晶體
PRE	預充電控制信號
RXT	字線驅動時序信號
RXT	字線驅動時序信號
SON	感測觸發信號
SA	感測放大器
SIN	感測放大器活性化信號
SPE	P 感測活性化信號
Vb1	位元線預充電電壓位準
VBB	負電壓
VBTB	電壓
VDC3a	週邊有源器
VDC3s	週邊待機部
VDC4a	陣列有源器
VDC4s	陣列待機部

VDC5a	輸入有源器
VDC5s	輸入待機部
VDDI	輸入電源電壓
VDDP	週邊電源電壓
Vddp	週邊電源電壓
VDDQ	輸出電源電壓
VDDS	陣列電源電壓 (感測電源電壓)
Vdds	感測電源電壓
VPDIV	分壓電壓
Vpp	高電壓
Vrefd	基準電壓
Vrefi	輸入基準電壓
Vrefp	週邊基準電壓
Vrefs	陣列基準電壓
Vthn	臨限電壓
Vtp	臨限電壓的絕對值
WL	字線
ZBL	位元線
ZCMPE	外部電源位準指定信號
ZOVR	過驅動信號
ZVBTB	負升壓控制信號

伍、中文發明摘要：

本發明提供一種半導體裝置，係根據電源位準設定信號(ZCMPE)，切換高電壓、中間電壓及內部電源電壓等的內部電壓的產生態樣。也就是說，具體而言，在外部電源電壓(EXVDD)的電壓位準低的情況，強制性將接收比較電路之輸出的電流驅動電晶體(24)與輔助驅動電晶體(31)設定為導通狀態，於內部電源線(10p)上生成外部電源電壓。此時，使比較電路(23)的比較動作停止。在外部電源電壓的電壓位準高的情況，使比較電路工作，將外部電源電壓降壓而生成週邊電源電壓(VDDP)。藉此，可響應外部電源電壓位準生成最適電壓位準的週邊電源電壓。

陸、英文發明摘要：

A manner of generating internal voltages such as a high voltage, an intermediate voltage and an internal power supply voltage is switched in accordance with a power supply level setting signal (ZCMPE). When the voltage level of an external power supply voltage (EXVDD) is low, a current drive transistor (24) receiving an output of a comparing circuit and an auxiliary drive transistor (31) are forcedly set in a conductive state, and external power supply voltage is transmitted on an internal power supply line (10p). At this time, the comparing operation of the comparing circuit (23) is stopped. When the level of the

external power supply voltage is high, the comparing circuit is activated down convert the external power supply voltage for generating a peripheral power supply voltage (VDDP) on the internal power supply line. Accordingly, the peripheral power supply voltage of an optimal voltage level could be generated according to the external power supply voltage level.

柒、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件代表符號簡單說明：

3a	週邊有源器 VDC
10p	週邊電源線
23	比較電路
23a、23b、27、29、31	P 通道 MOS 電晶體
23c、23d、28	N 通道 MOS 電晶體
24	電流驅動電晶體
25、32	開電路
26、30	反相器

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

拾、申請專利範圍：

1. 一種半導體裝置，其包含有：

產生基準電壓的基準電壓產生電路；

比較電路，活性化時比較上述基準電壓及內部電壓，並輸出響應該比較結果的信號；

驅動電路，根據上述比較電路的輸出信號，從電源節點將電流供給內部電壓線以生成上述內部電壓；

比較控制電路，根據外部電壓位準設定信號，使上述比較電路的比較動作停止，將其輸出信號固定於指定電壓位準，將上述驅動電路設定為經常導通狀態；及

輔助電晶體，根據上述外部電壓位準設定信號，將上述內部電壓線耦合於上述電源節點。

2. 如申請專利範圍第 1 項之半導體裝置，其中，又具備根據上述外部電壓位準設定信號，使上述基準電壓產生電路的基準電壓產生動作停止的基準電壓控制電路。

3. 如申請專利範圍第 1 項之半導體裝置，其中，上述比較電路具備：

差動級，比較上述基準電壓與相當於上述內部電壓的電壓；及

電流鏡級，將電流供給上述差動級；

上述驅動電路具備導通時從上述電源節點將電流供給上述內部電壓線的驅動電晶體；

上述比較控制電路具備

第 1 電晶體，根據上述外部電壓位準設定信號，將上述

比較電路的第 1 內部輸出節點耦合於第 1 電壓供給源；及
第 2 電晶體，根據上述外部電壓位準設定信號，將上述
比較電路的第 2 內部輸出節點耦合於與上述第 1 電壓供給
源不同的第 2 電壓供給源；其中

上述第 2 內部輸出節點耦合於上述驅動電晶體的閘極，
而於上述第 1 及第 2 內部輸出節點產生響應上述比較電路
之活性化時上述差動級的比較結果的差動電壓。

4. 如申請專利範圍第 1 項之半導體裝置，其中，上述比
較電路具備：

比較器，活性化時比較上述內部電壓與上述基準電壓，
生成響應該比較結果之信號；及

電流源電晶體，根據上述外部電壓位準設定信號與動作
模式指示信號，於上述比較器選擇性流入動作電流。

5. 如申請專利範圍第 1 項之半導體裝置，其中，上述比
較電路具備：

比較器，活性化時比較上述內部電壓與上述基準電壓，
生成顯示該比較結果之信號；及

電流源電晶體，根據上述外部電壓位準設定信號，停止
上述比較器的動作電流的生成。

6. 如申請專利範圍第 1 項之半導體裝置，其中，又具備：
複數個記憶單元；及

週邊電路，接收上述內部電壓作為動作電源電壓進行動
作，並根據位址信號從上述複數個記憶單元選擇記憶單元。

7. 如申請專利範圍第 1 項之半導體裝置，其中，又具備：

內部電壓產生電路，根據上述外部電壓位準設定信號選擇性地作用，並基於第2基準電壓與第2內部電源線的第2內部電壓的比較而於上述內部電源線產生上述第2內部電壓；及

連接控制電路，根據電壓模式設定信號，電性連接上述內部電源線與上述內部電壓線。

8. 如申請專利範圍第7項之半導體裝置，其中，又具備接收上述內部電源線的第2內部電壓作為動作電源電壓進行動作，且從外部信號生成內部信號的輸入電路。

9. 一種半導體裝置，其包含有：

第1輸入電路，接收第1電源電壓作為動作電源電壓，響應模式設定信號選擇性進行作用，作用時從外部信號生成第1內部信號；

第2輸入電路，接收第2電源電壓作為動作電源電壓，響應上述模式設定信號選擇性進行作用，作用時從上述外部信號生成第2內部信號；

位準轉換電路，將來自上述第2輸入電路之第2內部信號位準轉換為上述第1電源電壓位準的振幅的信號，生成第3內部信號；及

輸入閘電路，接收上述第1電源電壓作為動作電源電壓，根據上述第1及第3內部信號，生成傳輸給內部電路的第4內部信號；其中

上述輸入閘電路係在上述第1及第2輸入電路的不作用時，根據該不被作用的輸入電路的輸出信號而使緩衝電路

進行動作，以便緩衝處理上述位準轉換電路或上述第 1 輸入電路的輸出信號。

10. 如申請專利範圍第 9 項之半導體裝置，其中，又具備根據上述模式設定信號，電性短路上述第 1 及第 2 電源電壓的供給節點的電路。

11. 如申請專利範圍第 9 項之半導體裝置，其中，又具備根據上述模式設定信號選擇性不作用，於不作用時停止上述第 2 電源電壓的產生動作的內部電壓產生電路。

12. 一種半導體裝置，其包含有：

第 1 電容元件，連接於接收第 1 控制信號的第 1 控制信號輸入節點與第 1 內部節點之間；

第 2 及第 3 電晶體，根據上述第 1 內部節點之電壓位準，將第 2 及第 3 內部節點分別預充電為外部電源電壓位準；

第 2 電容元件，連接於接收第 2 控制信號的第 2 控制信號輸入節點與上述第 2 內部節點之間；

輸出電晶體，根據上述第 2 內部節點之電壓位準選擇性呈導通狀態，導通時將電荷傳輸給上述第 3 內部節點與輸出節點之間；

驅動電路，接收外部電源節點與第 1 內部電壓節點的電壓作為動作電源電壓，根據第 3 控制信號驅動第 4 內部節點；

第 3 電容元件，連接於上述第 4 內部節點與上述第 3 內部節點之間；

第 4 電容元件；及

內連線，選擇性且固定地將上述第 4 電容元件連接於接收第 5 控制信號的第 4 控制信號輸入節點與上述第 1 內部電壓節點之間及上述第 4 控制信號輸入節點與上述第 3 內部節點之間的任一者。

13. 如申請專利範圍第 12 項之半導體裝置，其中，上述內連線係將上述第 4 電容元件連接於上述第 4 控制信號輸入節點與上述第 3 內部節點之間。

14. 如申請專利範圍第 12 項之半導體裝置，其中，又具備：

第 5 電容元件，連接於接收第 6 控制信號的第 5 控制信號輸入節點與第 6 內部節點之間；及

第 5 電晶體，動作時根據上述第 5 內部節點的電壓成為選擇性導通狀態，導通時將上述第 1 內部節點預充電為指定電壓位準；

上述第 4 電容元件係連接於上述第 4 控制信號輸入節點與上述第 1 內部節點之間。

15. 如申請專利範圍第 12 項之半導體裝置，其中，上述第 2 控制信號具有較上述外部電源電壓大的振幅。

圖 1

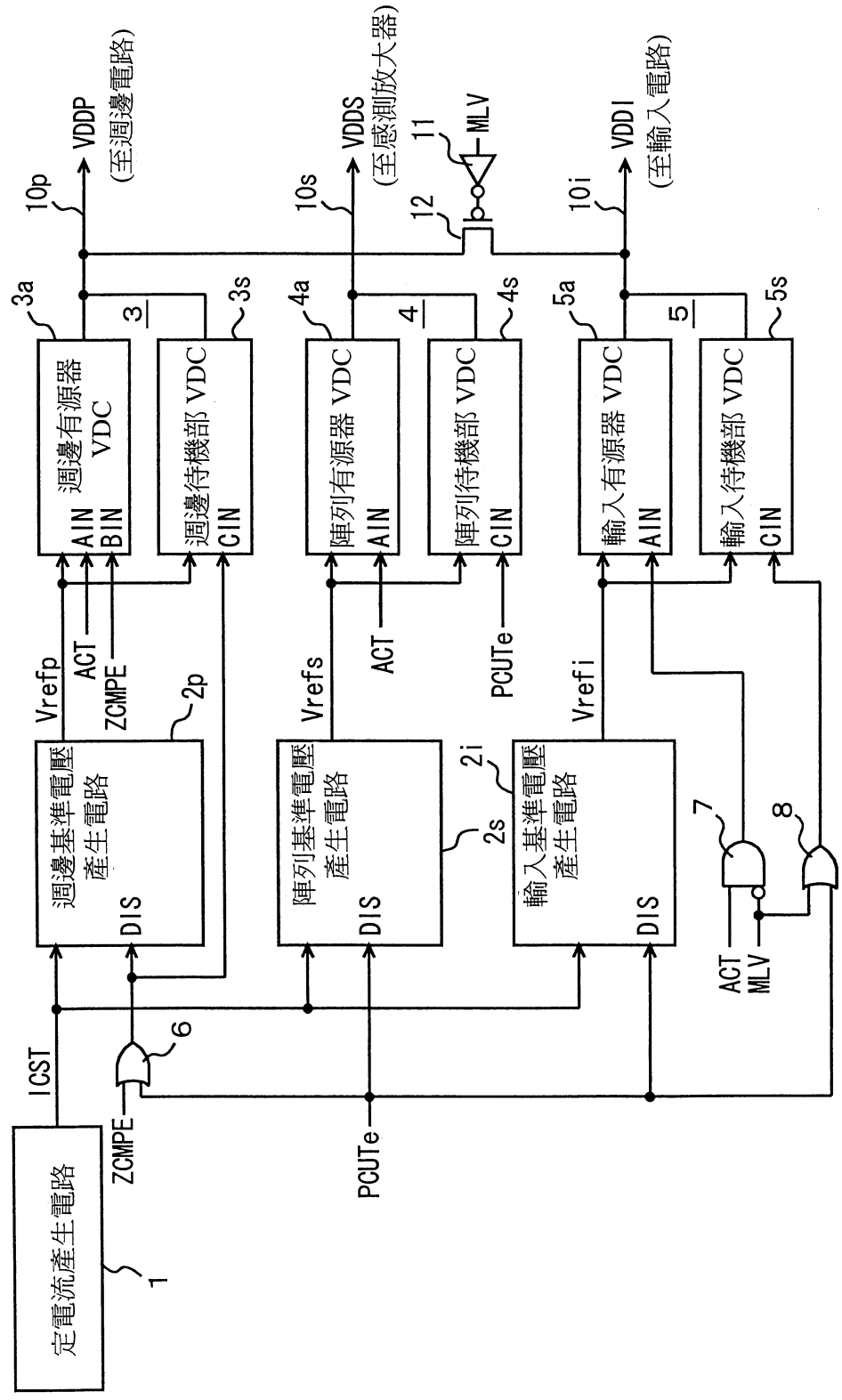


圖 2

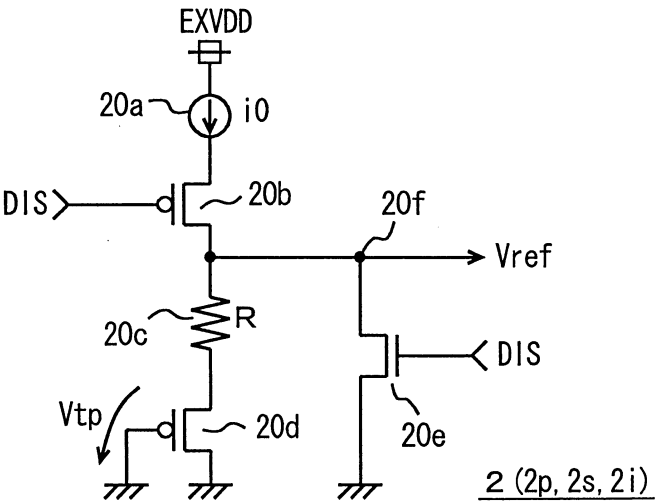


圖 3

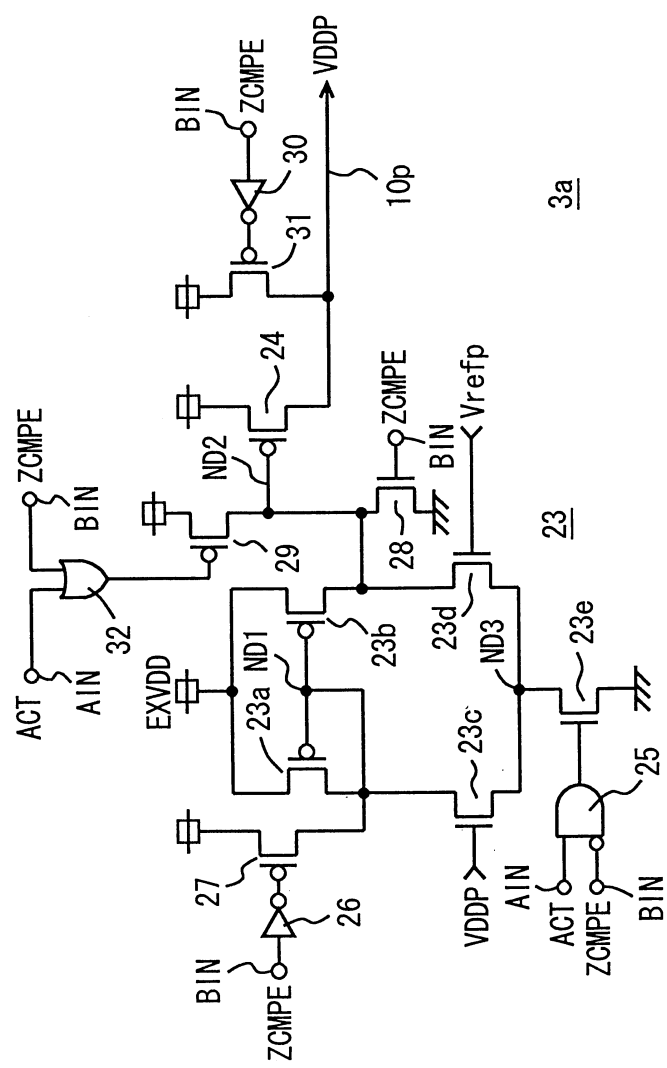


圖 7

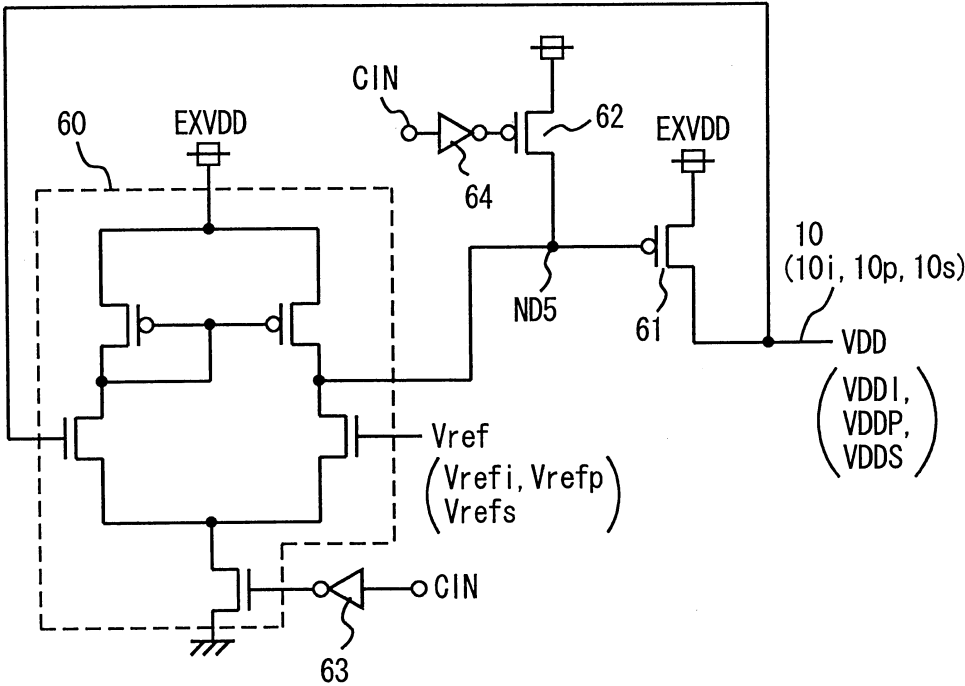


图 8

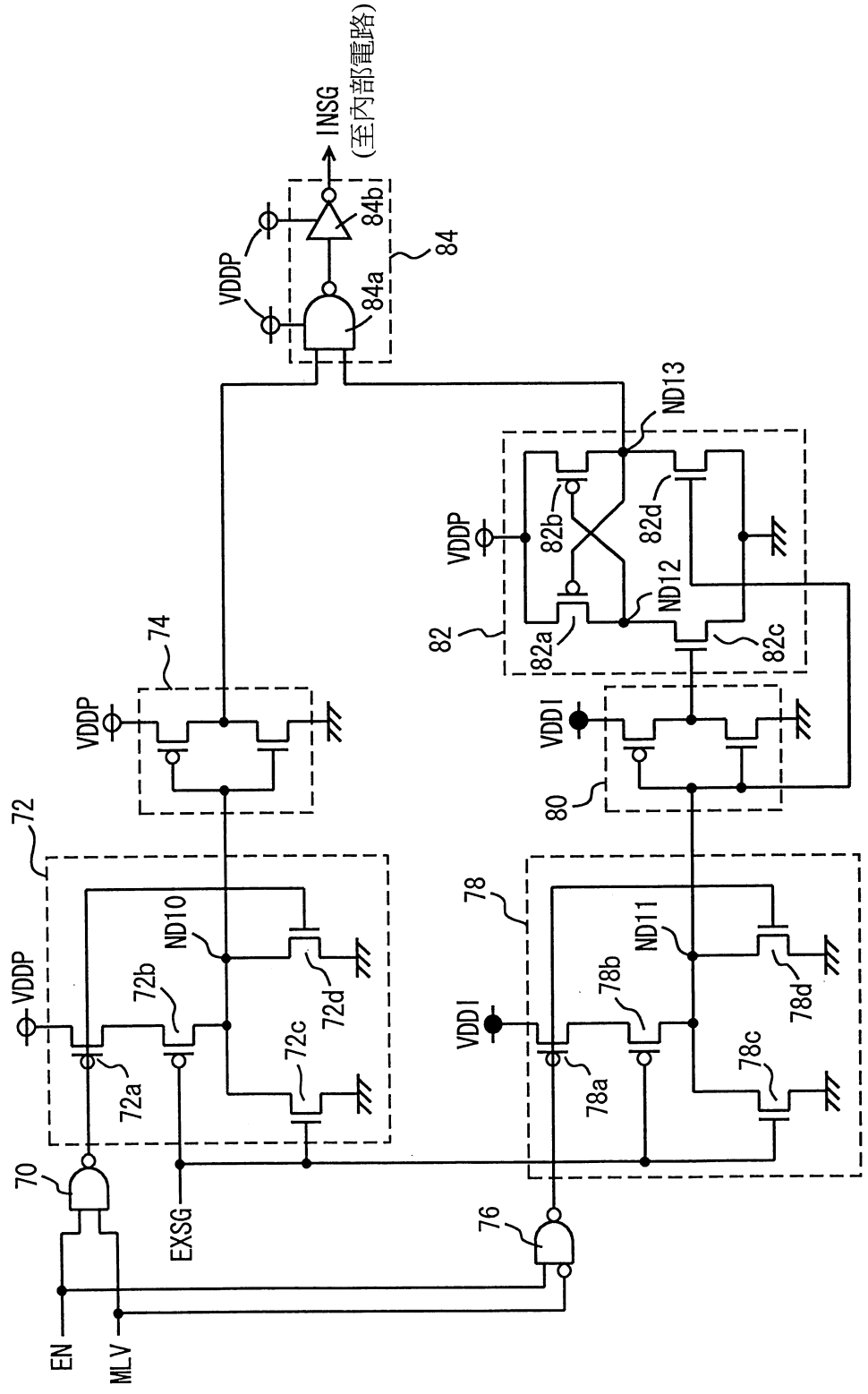


圖 9

MLV : H

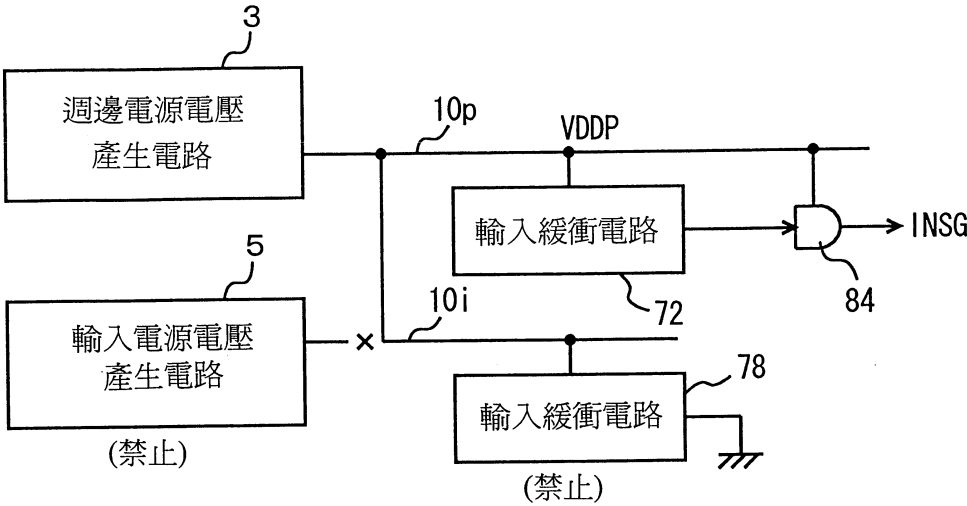


圖 1 0

MLV : L

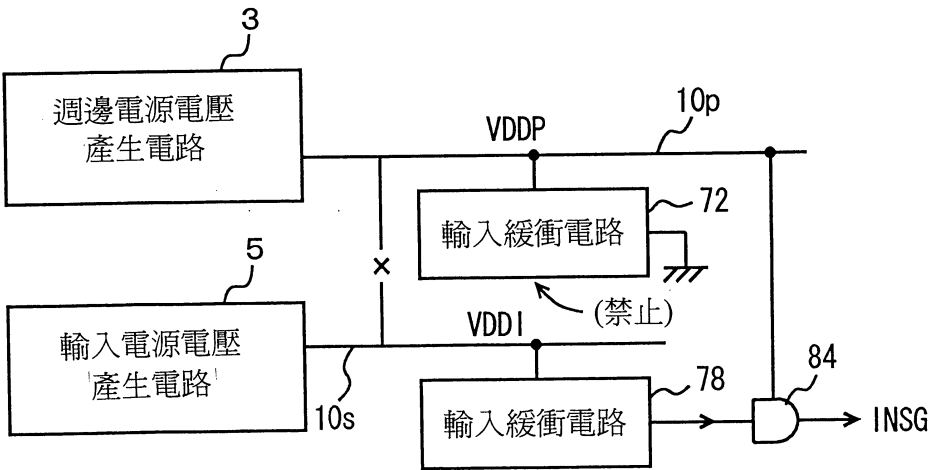


圖 1 1

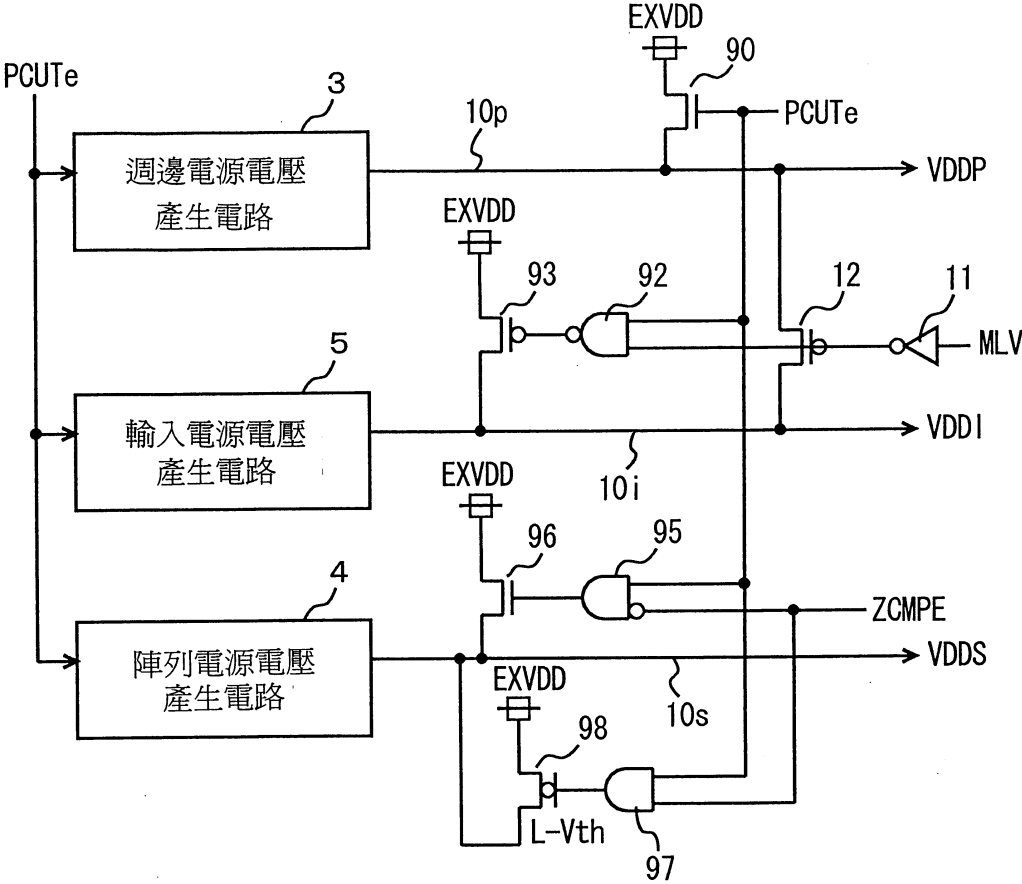


圖 1 2

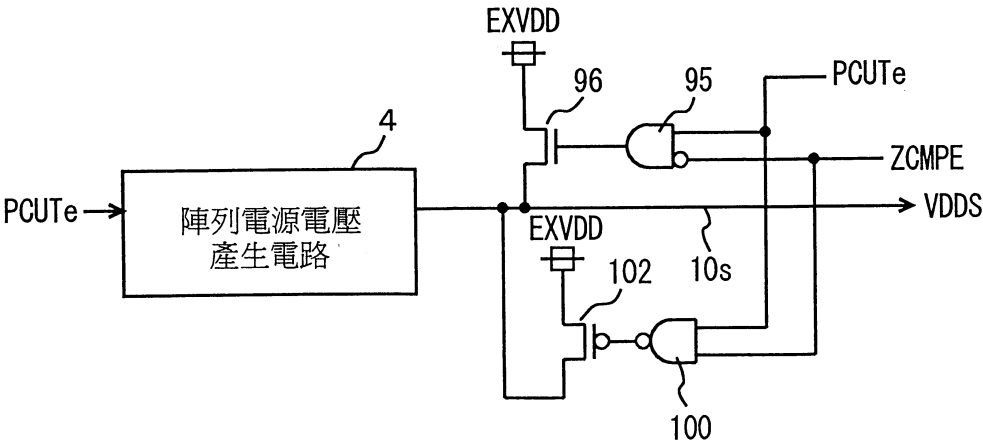


圖 1 3

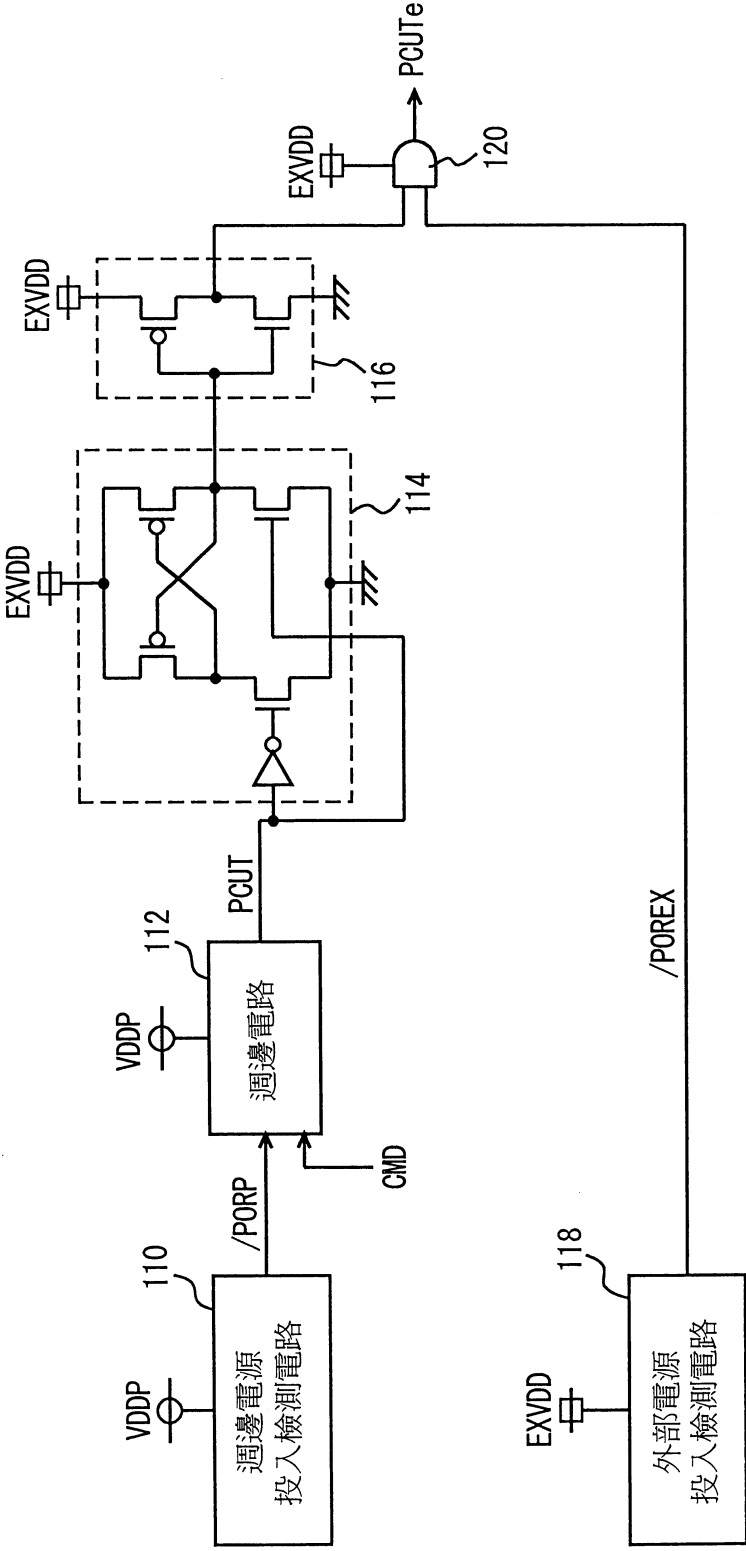


圖 1 4

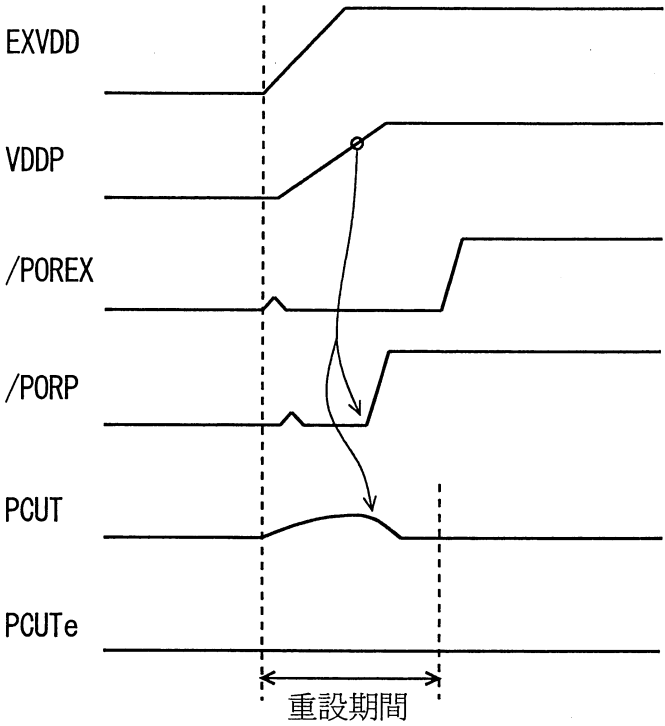


圖 1 5

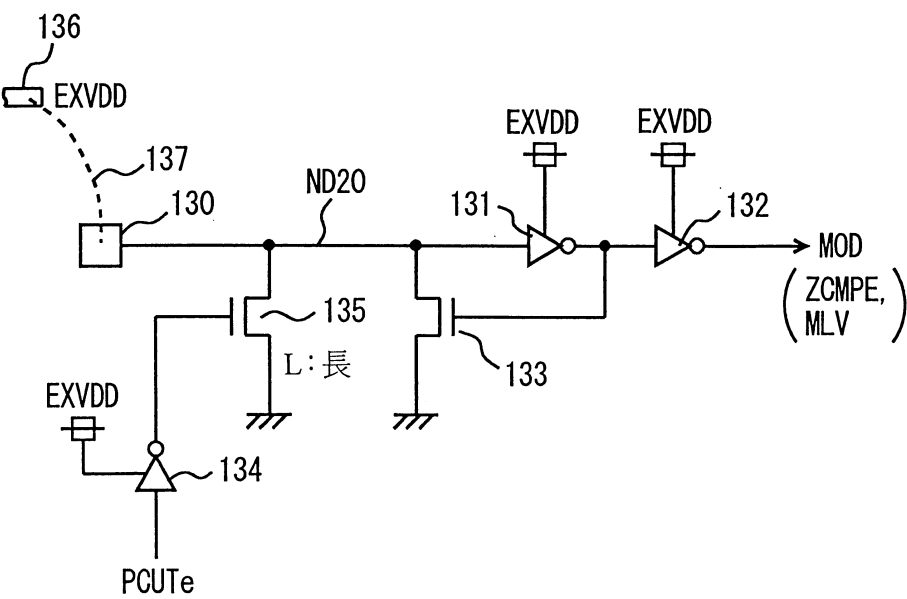


圖 1 6

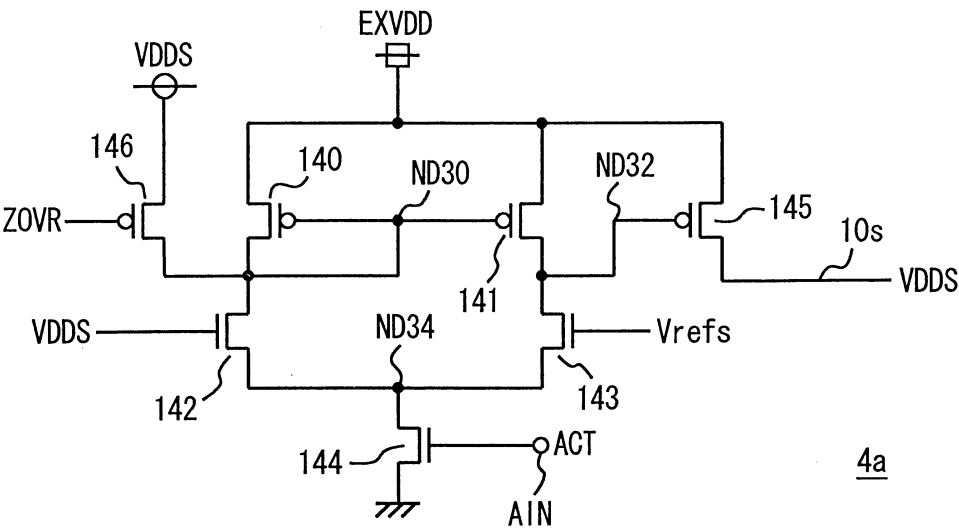


圖 1 7

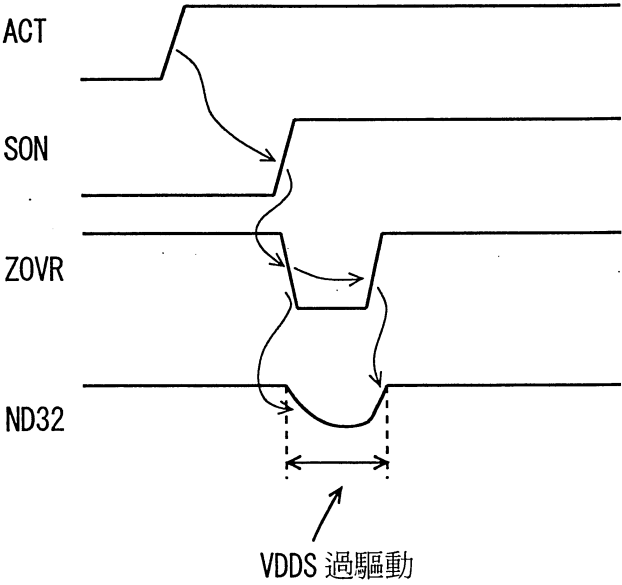


圖 1 8

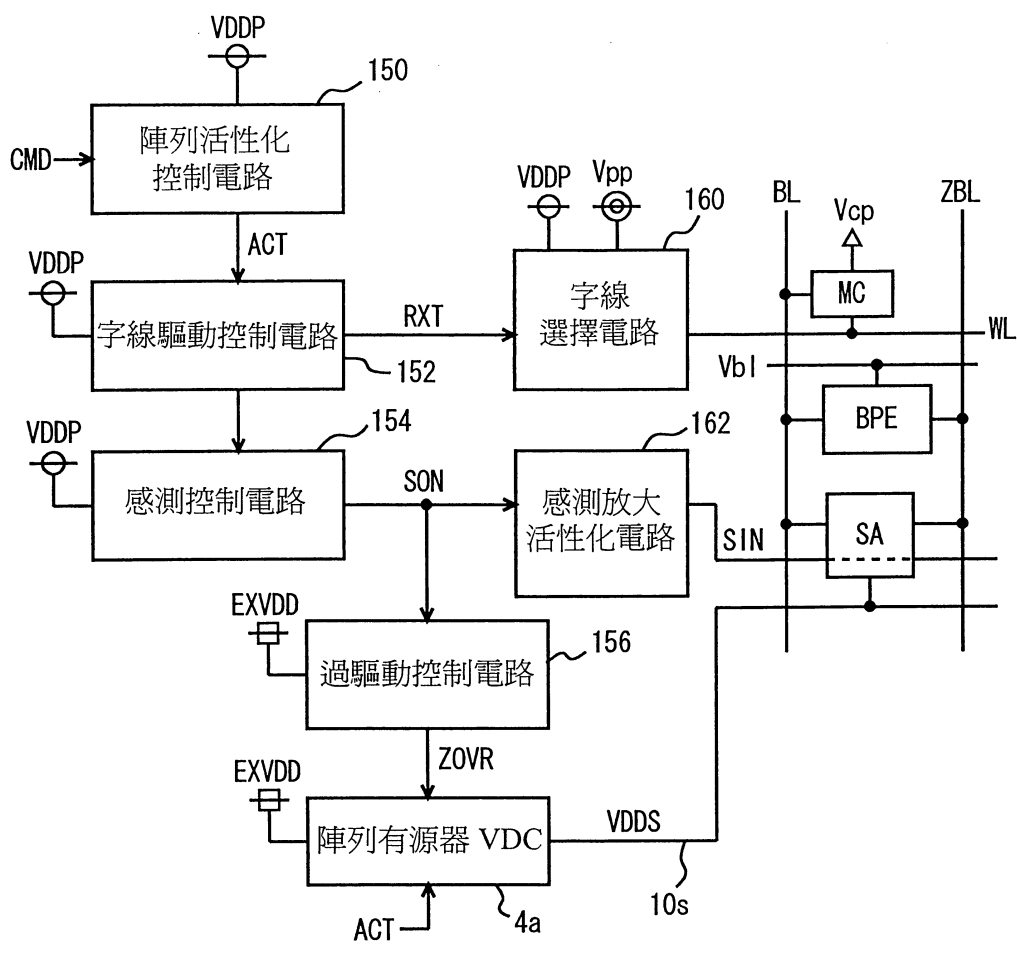


圖 1 9

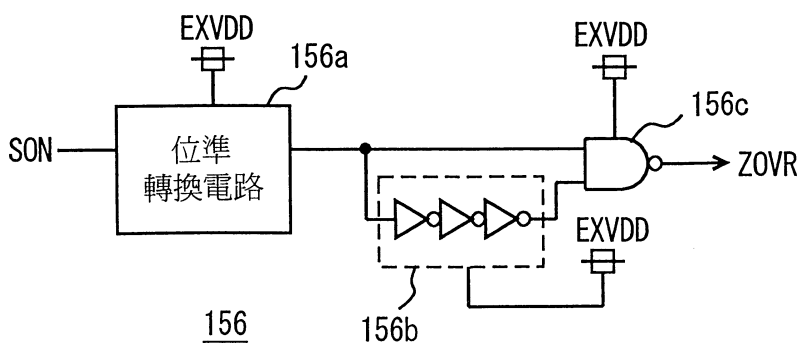


圖 2 0

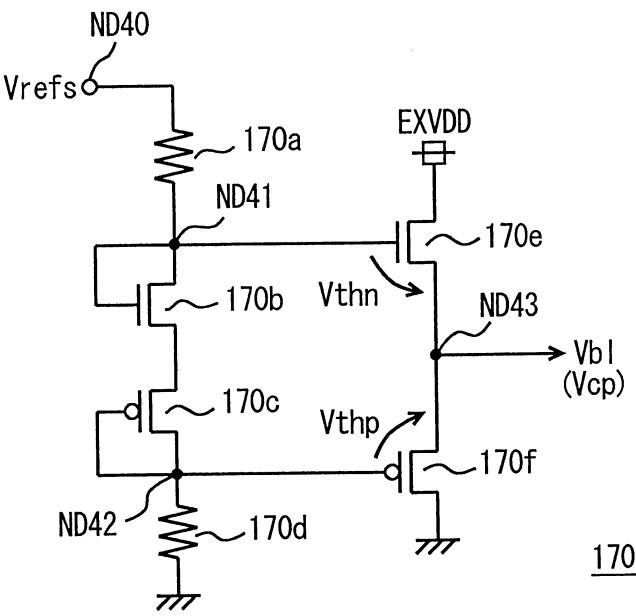


圖 2 1

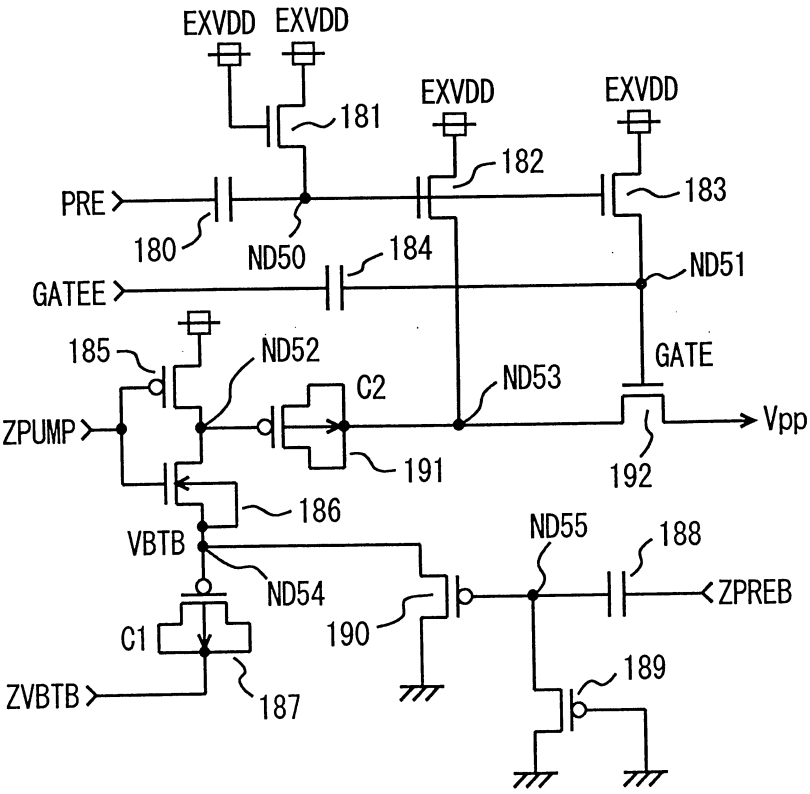


图 2 2

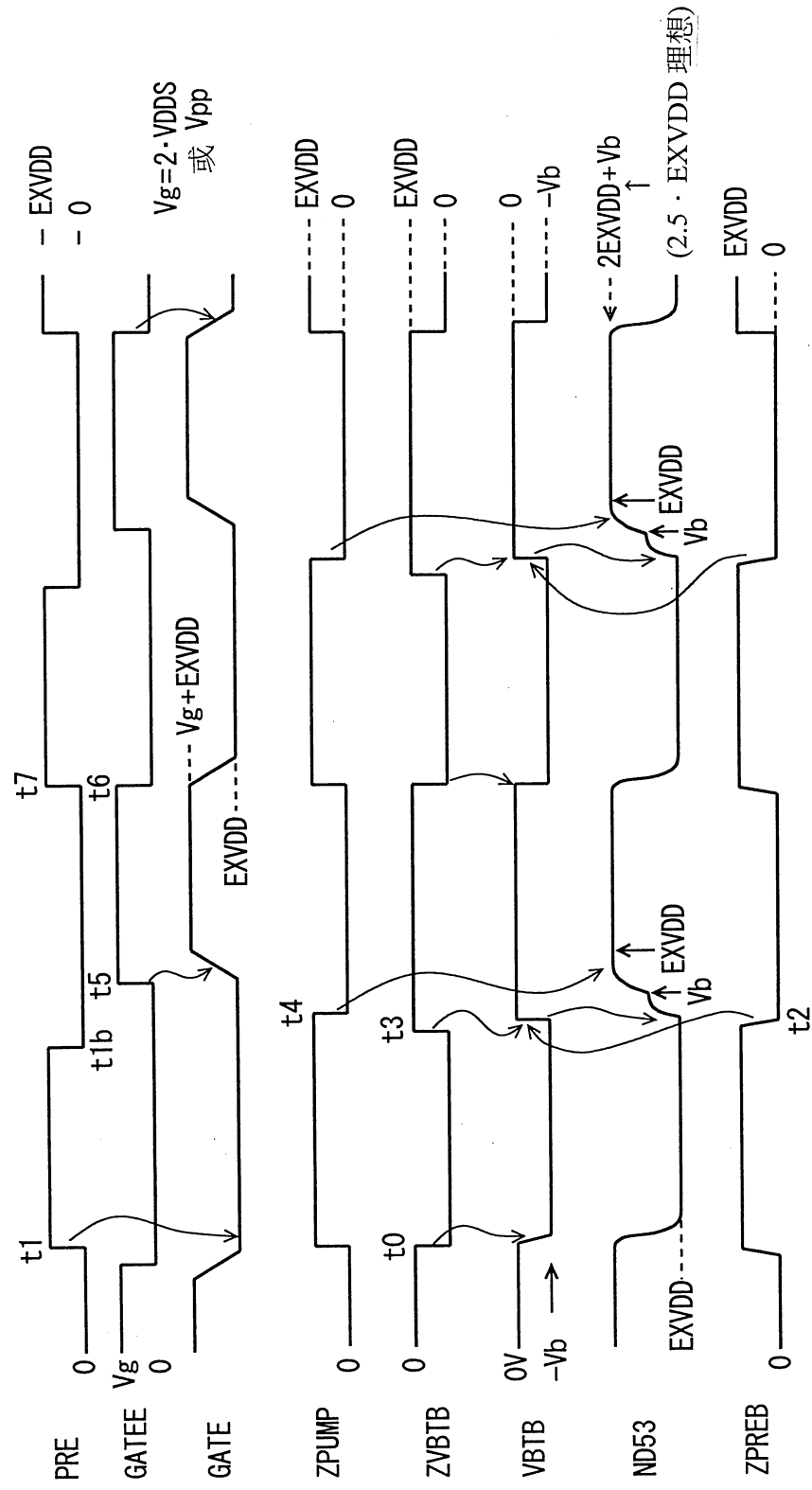


圖 2 3

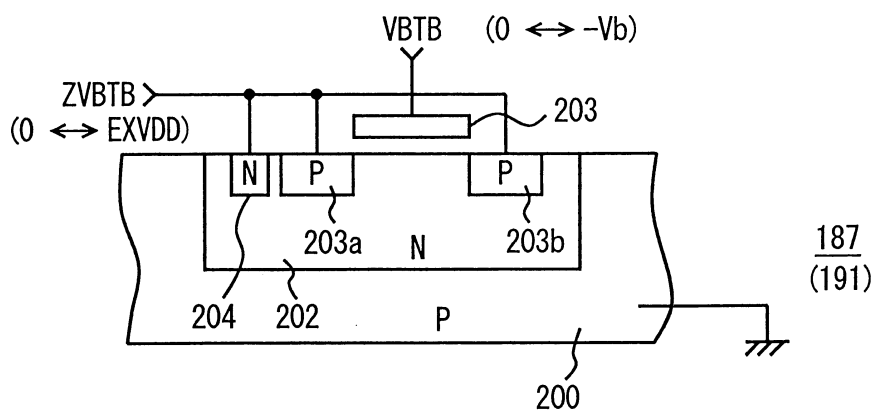


圖 24

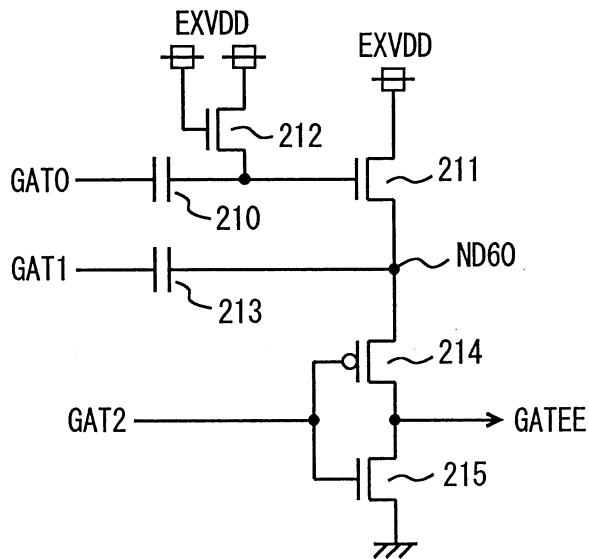


圖 2 5

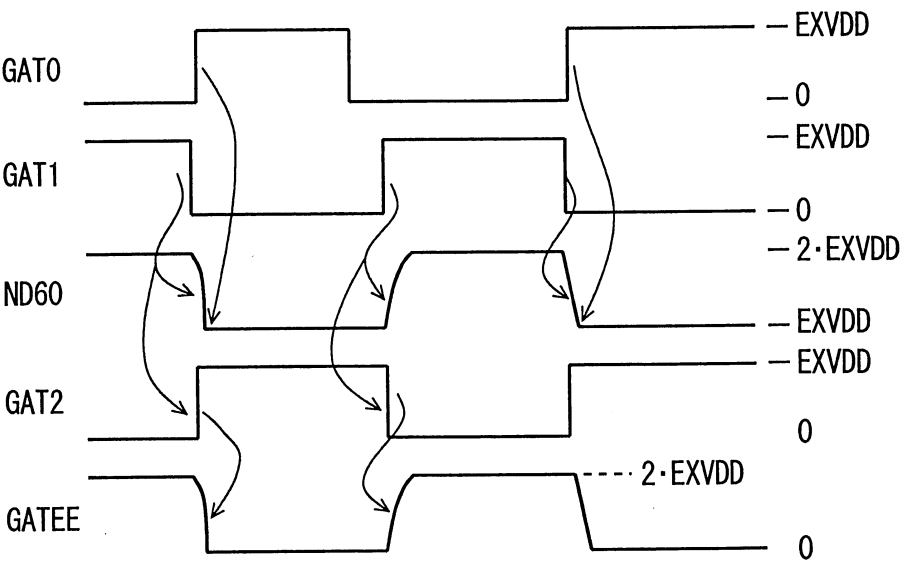


圖 2 6

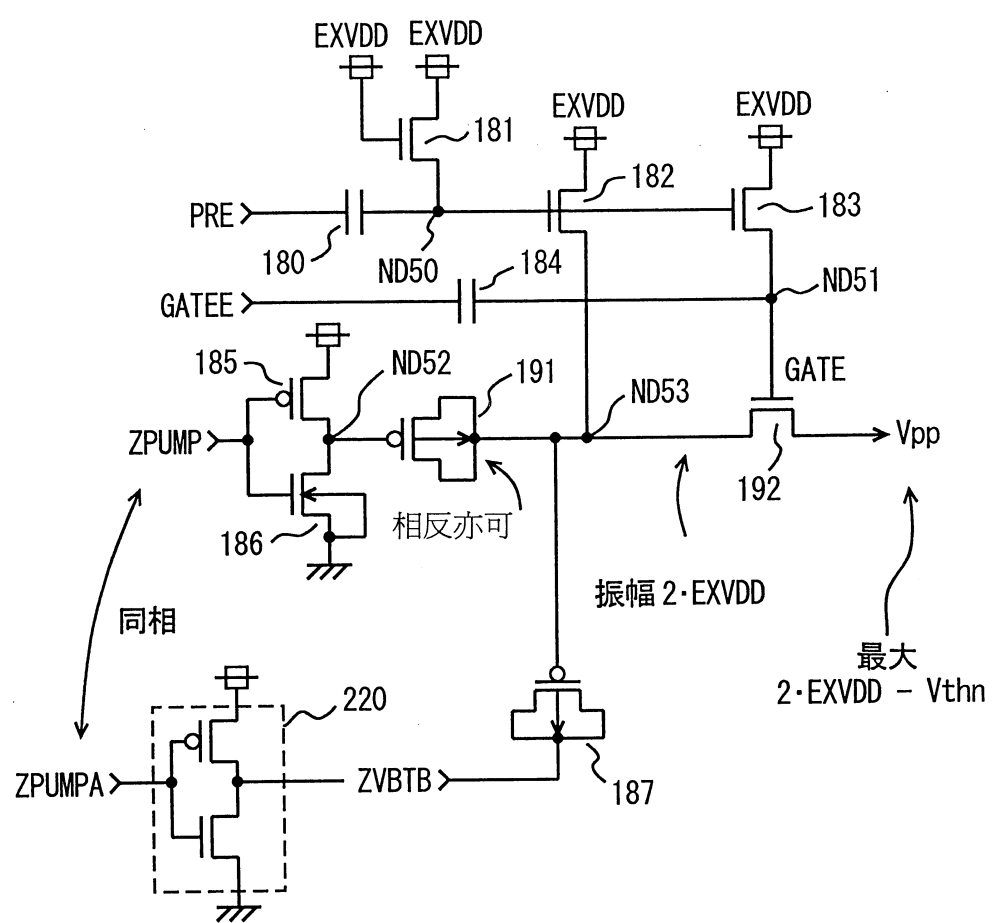


圖 2 7

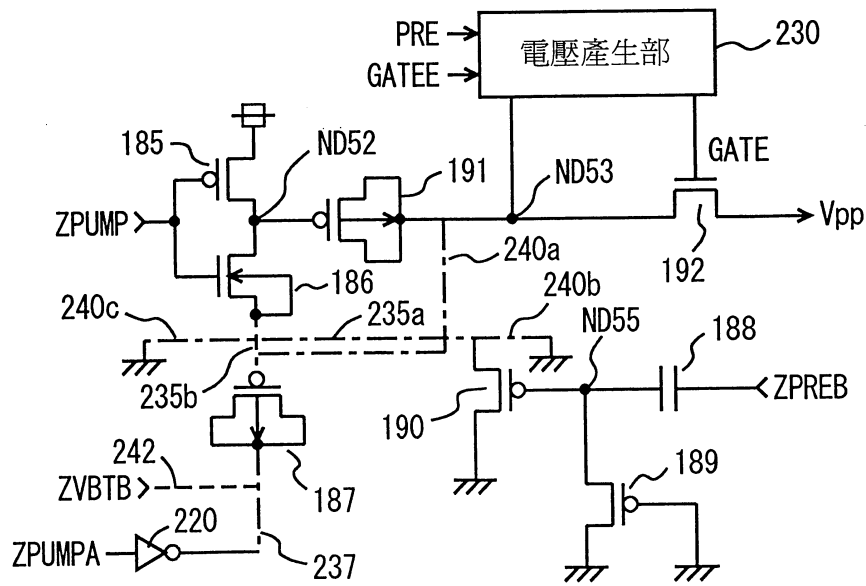


圖 28

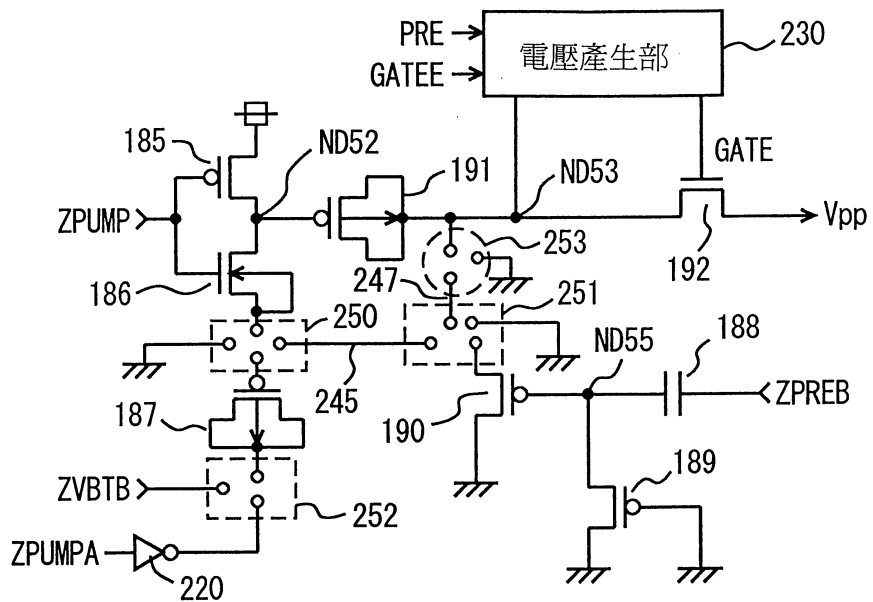


圖 29

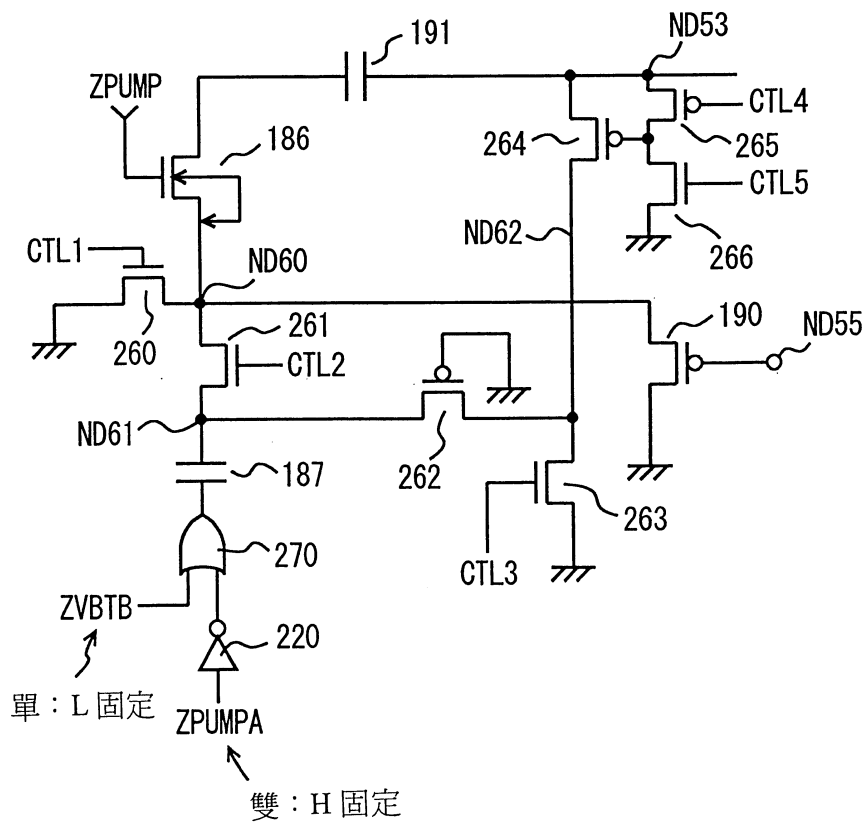


圖 3 0

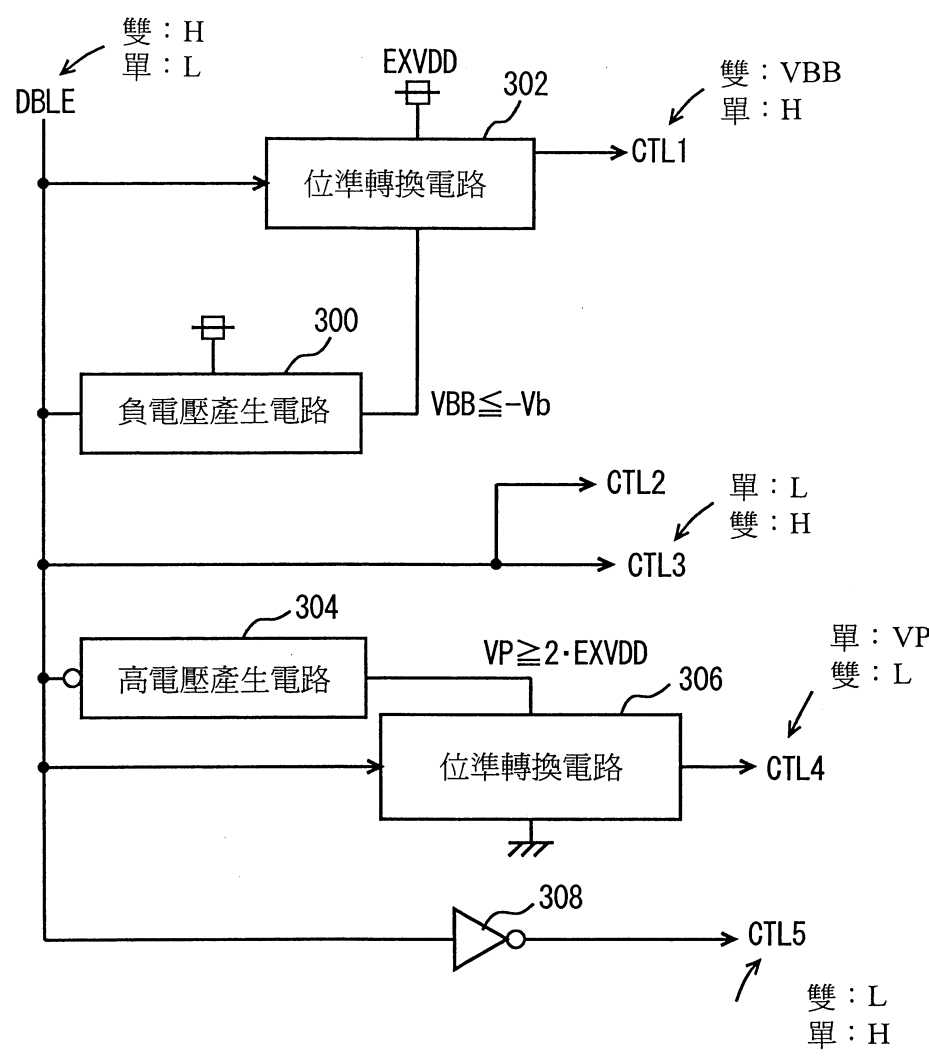


圖 3 1

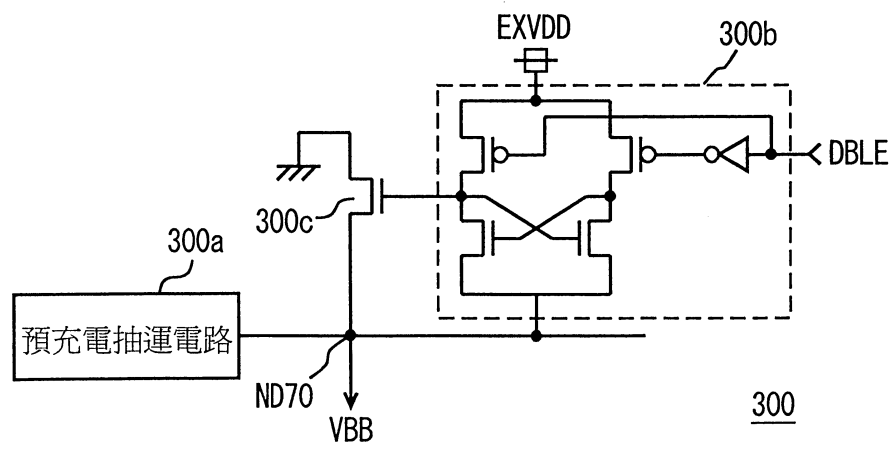


圖 3 2

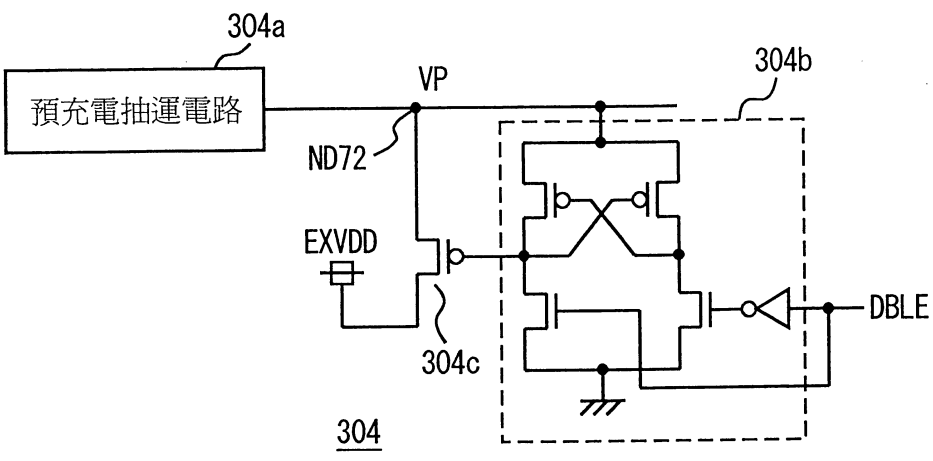


圖 3 3

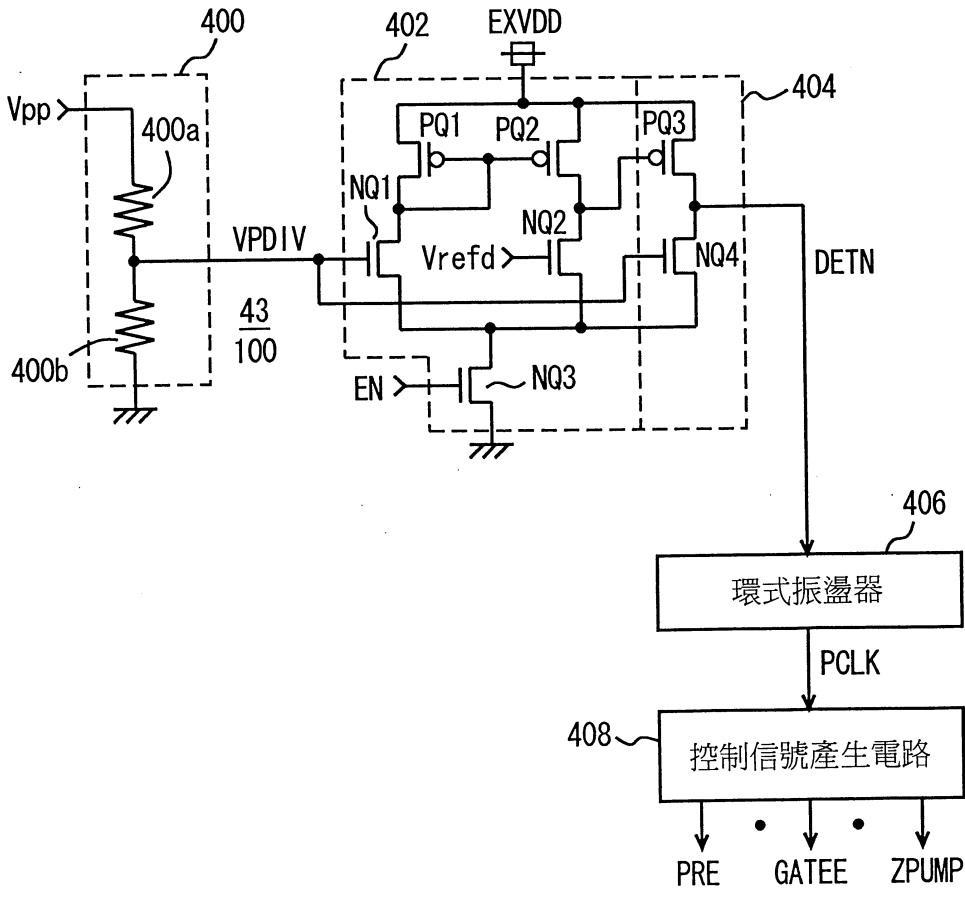


圖 3 4

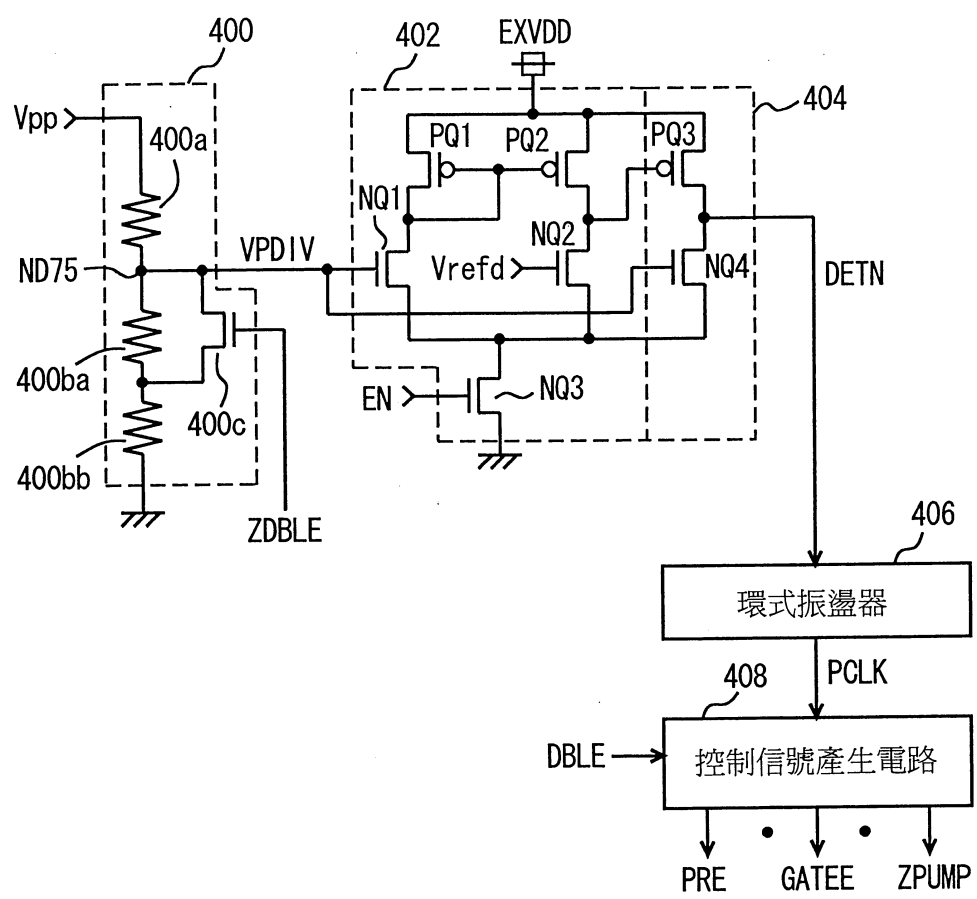


圖 3 5

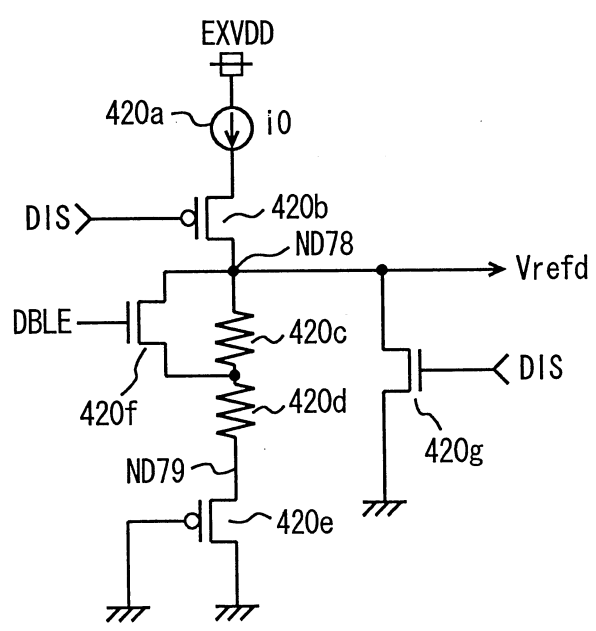


圖 3 6

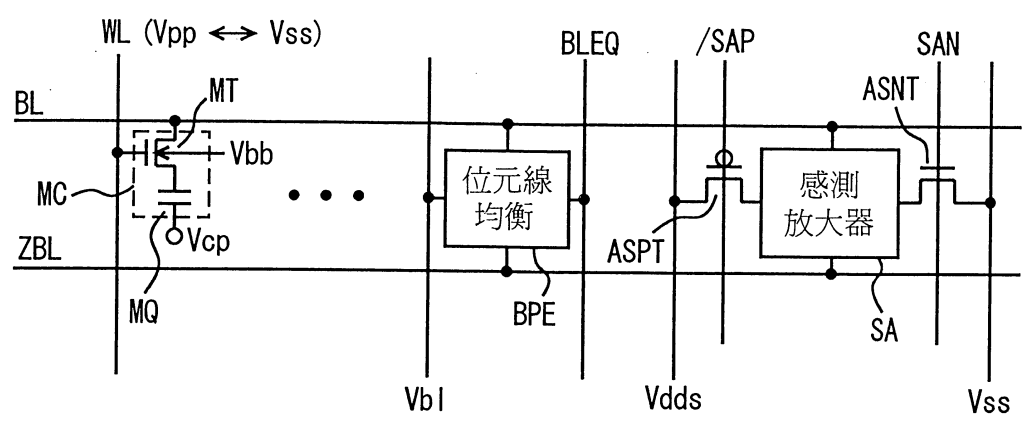


圖 3 7

