СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1651360 A1

(51)5 H 03 K 5/135

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ВСЕСОЮЗНАЯ ПАТЕНТНО-ТЕХНИЧЕСКАЯ БИБЛИОТЕКА

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

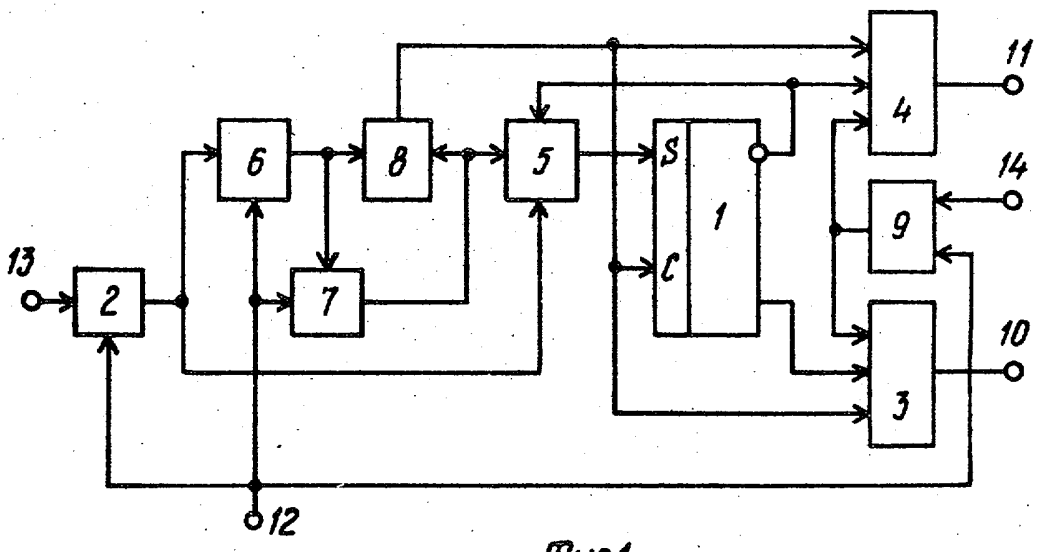
(21) 4677754/21
(22) 11.04.89
(46) 23.05.91. Бюл. № 19
(72) Ю.Н.Цыбин
(53) 621.374 (088.8)
(56) Авторское свидетельство СССР № 627574, кл. H 03 K 5/01, 1976.

Авторское свидетельство СССР № 1115211, кл. H 03 K 5/01, 1982.

2

(54) ФОРМИРОВАТЕЛЬ СИНХРОНИЗИРОВАННЫХ ИМПУЛЬСОВ

(57) Изобретение относится к импульсной технике и может быть использовано в устройствах автоматики и вычислительной техники. Цель изобретения - повышение помехоустойчивости и быстродействия - достигается введением блока 6 дифференцирования, счетного блока 7 и формирователя 8 одиночного импульса. Кроме того, устройство содержит триггеры 1, 2, элементы 3, 4, 5 совпадения, входную шину 13, шину 12 тактовых импульсов, выходные шины 10, 11. 2 з.п. ф-лы, 7 ил.




Фиг.1

(19) SU (11) 1651360 A1

Изобретение относится к импульсной технике и может быть использовано в устройствах автоматики и вычислительной техники.

Цель изобретения - повышение помехоустойчивости, быстродействия, надежности.

На фиг.1 приведена электрическая функциональная схема формирователя; на фиг.2 - вариант выполнения счетного блока; на фиг.3 - электрическая функциональная схема блока дифференцирования; на фиг.4 - электрическая функциональная схема формирователя пускового импульса; на фиг.5 - временные диаграммы, поясняющие работу формирователя; на фиг.6 - временные диаграммы, поясняющие работу дифференцирующего блока; на фиг.7 - временные диаграммы, поясняющие работу формирователя пускового импульса.

Формирователь синхронизированных импульсов (фиг.1) содержит первый и второй триггеры 1 и 2, первый, второй, третий элементы 3, 4, 5 совпадения, блок 6 дифференцирования, счетный блок 7, формирователь 8 одиночного импульса, формирователь 9 пусковых импульсов.

Прямой выход первого триггера 1 соединен с первым входом элемента 3 совпадения, выход которого соединен с первой выходной шиной 10, второй вход - с первым входом второго элемента 4 совпадения, выход которого соединен с второй выходной шиной 11, второй вход - с инверсным выходом первого триггера 1, S-вход которого соединен с выходом третьего элемента 5 совпадения, выход формирователя 8 одиночного импульса соединен с С-входом первого триггера 1, с третьим входом первого элемента 3 совпадения и с третьим входом второго элемента 4 совпадения, второй вход которого соединен с первым входом третьего элемента 5 совпадения, второй вход которого соединен с выходом второго триггера 2 и с первым входом блока 6 дифференцирования, третий вход - с входом подготовки формирователя 8 одиночного импульса и с выходом счетного блока 7, вход установки которого соединен с входом запуска формирователя 8 одиночного импульса и с выходом блока 6 дифференцирования, второй вход которого соединен со счетным входом счетного блока 7, с шиной 12 тактовых импульсов и с тактовым входом второго триггера 2, информационный вход которого соединен с входной шиной 13, первый вход формирователя 9 пускового импульса соединен с шиной 14 питания, второй вход - с шиной 12 тактовых импульсов, выход - с первым входом второго элемента 4 совпадения.

Счетный блок 7 (фиг.2) содержит счетчик 15 импульсов, дешифратор 16, инвертор 17, причем счетный вход счетного блока соединен со счетным входом счетчика 15 импульсов и входом стробирования дешифратора, входы которого соединены с разрядными выходами счетчика 15 импульсов, а выход является выходом счетного блока, выход переноса счетчика импульсов соединен через инвертор 17 с его входом переноса, вход установки в нуль счетчика 15 импульсов является входом установки счетного блока 7.

Структурная схема блока 6 дифференцирования приведена на фиг.3 и состоит из триггера 18 и элемента 19 логики.

Структурная схема формирователя 9 пускового импульса приведена на фиг.4 и состоит из интегрирующей RC-цепи 20, соединенной с D-входом триггера 21.

На фиг.5 приведены диаграммы работы формирователя синхронизированных импульсов. На фиг.6 - диаграммы работы дифференцирующего блока 6, где диаграмма $\alpha$ отображает входной сигнал блока 6 дифференцирования, $\delta$ - тактовые импульсы, $\beta$ - сигнал на выходе триггера 18, $\gamma$ - выходной сигнал элемента 19 логики. На фиг.7 изображены диаграммы работы формирователя 9 пускового импульса, где $\alpha$ - диаграмма подачи напряжения питания (входной сигнал формирователя 9 пускового импульса), $\alpha$ - напряжение на выходе RC-цепи 20, $\beta$ - выходной сигнал триггера 21.

Формирователь 8 одиночного импульса может быть выполнен таковым, что в качестве триггера 1 может использоваться счетный триггер с переключением по перепаду напряжения на его счетном входе из логической "1" в логический "0". В качестве триггера 2 может использоваться D-триггер.

Устройство работает следующим образом.

После включения напряжения питания положение триггеров блока 6 дифференцирования, счетного блока 7, формирователя 8 одиночного импульса, триггеров 1 и 2 неопределенное. Предположим, что триггер 1 установился по прямому выходу в неблагоприятное состояние - в противофазе с входным сигналом с шины 13. Это состояние иллюстрируется диаграммами на фиг.5: а - входной сигнал на шине 13, 2 - напряжение на прямом выходе триггера 1 после подачи напряжения питания в момент времени $t_0$. С помощью триггера 2 осуществляется синхронизация входного сигнала (фиг.5а) тактовыми импульсами с шины 12 с частотой $f \gg f_{вх}$, где $f_{вх}$ - частота изменения полезного сигнала (без учета дребезга по фронтам). Характер сигнала на выходе триггера 2 также качественно отображается диаграммой фиг.5а, отличие лишь в том, что его выходной сигнал формируется синхронно с тактовыми импульсами с шины 12. Это необходимо для получения импульсов нормированной длительности на выходе блока 6 дифференцирования для обеспечения надежного обнуления счетного блока 7 и запуска формирователя 8 одиночного импульса. Предположим также, что при включении питания триггеры двоичного счетчика 15 счетного блока 7 установились в состояние отличное от фиксируемого дешифратором 16, а формирователь 8 одиночного импульса установился в состояние разрешения запуска. В этом случае первый импульс из пачки помех с входной шины 13, выделенный блоком 6 дифференцирования, проходит на выход формирователя 8 одиночного импульса - фиг.5б, участок $t_0 - t_1$ (длительность импульса показана условно). Однако на выходную шину 11 (10) этот импульс не поступит, так как разрешение формирования выходных импульсов на шинах 11, 10 определяется напряжением логической единицы на выходе формирователя 9 пускового импульса - фиг.5з, которое появляется через время $t_2 > \frac{1}{f_{вх.мин}}$ после подачи напряжения питания на устройство. При этом для обеспечения нормированной длительности первого выходного импульса устройства (после момента времени $t_2$) осуществляется синхронное с тактовыми импульсами с шины 12 формирование потенциала напряжения логической "1" на выходе формирователя 9 пускового импульса. По заднему фронту каждого импульса формирователя 8 одиночного импульса триггер 1 принимает противоположное состояние, в том числе и по первому этому импульсу - фиг.5г, участок $t_0 - t_1$. На выходе блока 6 дифференцирования формируются пачки помеховых импульсов (положительной логики), или одиночные импульсы по переднему и заднему фронтам полезного сигнала при отсутствии помех. Эти импульсы устанавливают в ноль двоичный счетчик 15 счетного блока 7, который считает тактовые импульсы с шины 12. Дешифратор 16 счетного блока 7 фиксирует, например, число $m = 2^n - 2$, где n - разрядность двоичного счетчика 15. На выходе переноса двоичного счетчика 15 фиксируется число $C = m + 1$, т.е. по времени на один период тактовых импульсов с шины 12 позже, чем на выходе дешифратора 16. При этом частоту f и разрядность n выбирают исходя из условия $\Delta t_з < \frac{m}{f}$, где $\Delta t_з$ - максимальное априорно известное значение временного интервала флуктуаций (помех) входного сигнала. Т.о. при воздействии помех на вход R двоичного счетчика 15 последний обнуляется, начинает счет тактовых импульсов и вновь обнуляется, не достигая значения кода m в своих разрядах за время действия помех. После установки в нуль двоичного счетчика 15 последним из пачки помеховым импульсом через время $t_з = \frac{m}{f}$ на выходе дешифратора 16 появится импульс (первый) - диаграмма фиг.5в, момент времени $t_1$. Стробирование дешифратора 16 необходимо для исключения ложных сигналов на его выходе вследствие различного быстродействия разрядных триггеров двоичного счетчика 15. При этом происходит совпадение логических единиц на трех выходах элемента 5, на выходе которого начинает формироваться сигнал (фиг.5д) установки триггера 1 по его S-входу в противоположное состояние. По этому сигналу (по его переднему фронту) триггер 1 принимает

состояние (в данном случае) логической единицы по прямому выходу - фиг.5г, момент времени $t_1$, в соответствии с достоверной фазой входного сигнала - фиг.5а, момент времени $t_1$. Как только триггер 1 примет синфазное состояние с входным сигналом, элемент И 5 закроется и окончится формирование длительности установочного импульса (фиг.5д) триггера 1. Этим оканчивается процесс синхронизации устройства после включения источника питания. Аналогично. производится процесс синхронизации устройства после включения источника питания в момент времени, равный логической единице входного сигнала. В системах, допускающих появление ложного импульса формирователя синхронизированных импульсов во время переходных процессов включения питания, формирователь 9 пусковых импульсов может отсутствовать.

В момент времени $t_1$ импульс (фиг.5в) с дешифратора 16 счетного блока 2 установит формирователь 8 одиночного импульса в режим ожидания запуска. Первый вслед за тем соответствующий продифференцированный импульс перепада напряжения из логической единицы в логический нуль с выхода блока дифференцирования пройдет через формирователь 8 одиночного импульса и заблокирует его для прохождения остальных (помеховых) импульсов пачки. При этом сформировавшийся импульс поступит через элемент 3 на выходную шину 10 (фиг.5ж), а по заднему его фронту триггер 1 примет противоположное состояние (фиг.5г, по входу С триггера 1), чем подготовит прохождение первого импульса пачки положительного фронта полезного сигнала через элемент 4 на выходную шину 11 (фиг.5е). Далее процессы повторяются. При этом по очередному импульсу с тактовой шины 12 после импульса дешифратора 16 счетчик 15 счетного блока 7 примет состояние соответствующее числу "С". Соответственно на выходе переноса двоичного счетчика 15 появляется потенциал логического нуля, который через инвертор 17 запрещает дальнейший счет тактовых импульсов двоичным счетчиком 15 по его входу переноса. Таким образом, счетный блок 7 блокируется до поступления первого импульса пачки с выхода блока 6 дифференцирования, обнуляющего двоичный счетчик 15. Этим обеспечивается возобновление формирования счетным блоком 7 защитного временного интервала $t_з$ (разблокировка двоичного счетчика 15). При этом для надежной работы устройства желательно, чтобы выполнялось соотношение $t_з < \frac{1}{2 \cdot f_{вх.макс}}$ (для сигнала типа "меандр").

Вообще, например, в адаптивных системах это время может изменяться в процессе работы. Кроме того, возможно осуществление предварительной установки триггеров устройства при подаче напряжения питания в необходимое положение путем блокирования их по установочным входам сигналом формирователя 9 пускового импульса.

Предлагаемое устройство обеспечивает формирование выходного сигнала по первому перепаду входного сигнала устройства, что обеспечивает повышение быстродействия и помехоустойчивости вследствие отсутствия ложных импульсов на выходе как в переходном процессе включения питания, так и вследствие различного неблагоприятного сочетания временных задержек распространения сигнала через элементы устройства.

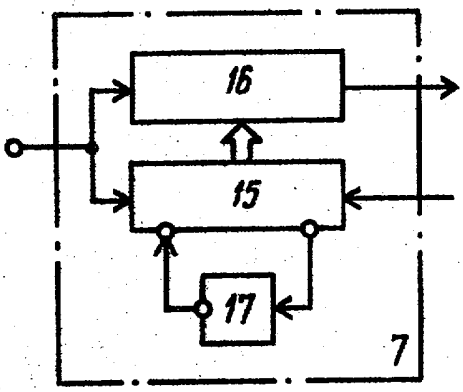
## Формула изобретения

1. Формирователь синхронизированных импульсов, содержащий первый и второй триггеры, прямой выход первого соединен с первым входом первого элемента совпадения, выход которого соединен с первой выходной шиной, второй вход - с первым входом второго элемента совпадения, выход которого соединен с второй выходной шиной, второй вход - с инверсным выходом первого триггера, S-вход которого соединен с выходом третьего элемента совпадения, входную шину, шину тактовых импульсов, отличающийся тем, что, с целью повышения помехоустойчивости и быстродействия, в него введены блок дифференцирования, счетный блок, формирователь одиночного импульса, выход которого соединен с С-входом первого триггера, с третьим входом первого элемента совпадения и с третьим входом второго элемента совпадения, второй вход которого соединен с первым входом третьего элемен-

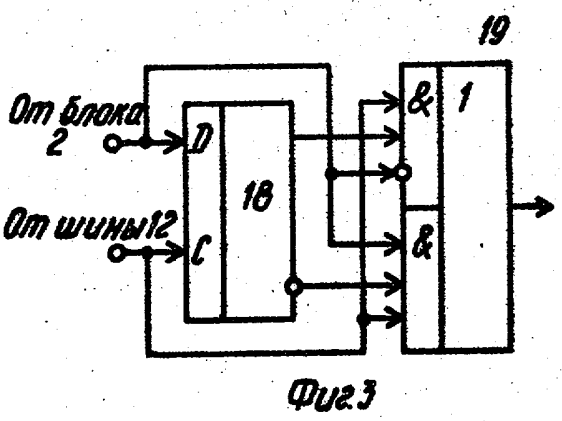
та совпадения, второй вход которого соединен с выходом второго триггера и с первым входом блока дифференцирования, третий вход - с входом подготовки формирователя единичного импульса и с выходом счетного блока, вход установки которого соединен с входом запуска формирователя одиночного импульса и с выходом блока дифференцирования, второй вход которого соединен со счетным входом счетного блока, с шиной тактовых импульсов и с тактовым входом второго триггера, информационный вход которого соединен с входной шиной.

2. Формирователь по п.1, отличающийся тем, что счетный блок состоит из счетчика импульсов, дешифратора и инвертора, причем счетный вход счетного блока соединен со счетным входом счетчика импульсов и входом стробирования дешифратора, входы которого соединены с разрядными выходами счетчика импульсов, а выход является выходом счетного блока, выход переноса счетчика импульсов соединен через инвертор с его входом переноса, вход установки в ноль счетчика импульсов является входом установки счетного блока.

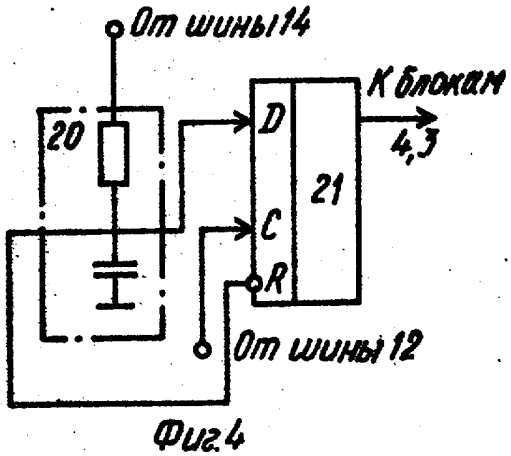
3. Формирователь по п.1, отличающийся тем, что, с целью повышения надежности на этапе переходного процесса установления режима после передачи напряжения питания, в него введен формирователь пускового импульса, первый вход которого соединен с шиной питания, второй вход - с шиной тактовых импульсов, выход - с первым входом второго элемента совпадения.



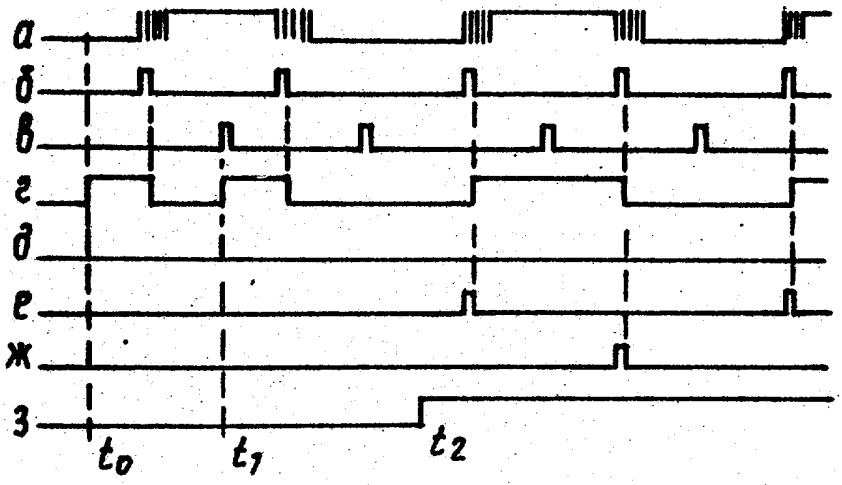

Фиг.2



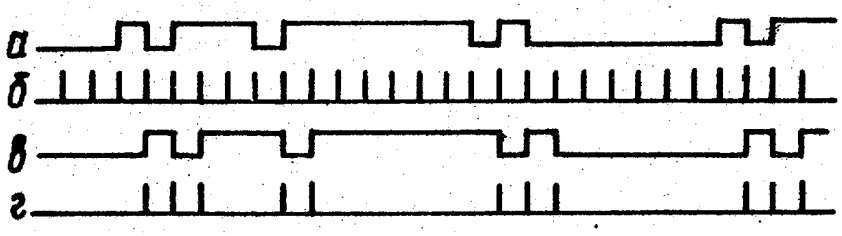

Фиг.3



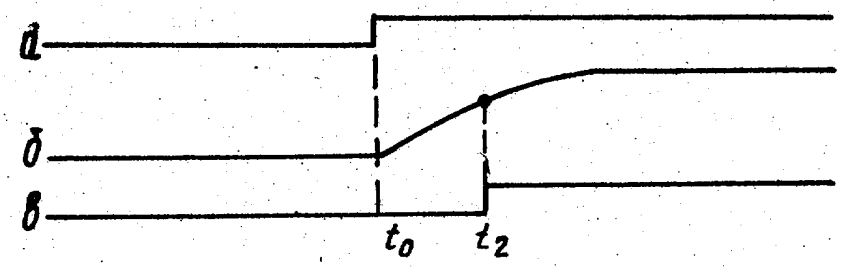

Фиг.4




Фиг.5




Фиг.6




Фиг.7

Составитель Т.Соколова
Редактор Е.Папп Техред Л.Сердюкова Корректор Н.Ревская

Заказ 1610 Тираж 477 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101