



**PCT**

WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation<sup>5</sup>:  
**H01L 23/535**

**A1**

(11) Internationale Veröffentlichungsnummer: **WO 94/25986**

(43) Internationales  
Veröffentlichungsdatum: 10. November 1994 (10.11.94)

(21) Internationales Aktenzeichen: **PCT/DE94/00485**

(22) Internationales Anmeldedatum: **2. Mai 1994 (02.05.94)**

(30) Prioritätsdaten:  
P 43 14 906.5      5. Mai 1993 (05.05.93)      DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): **SIEMENS  
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,  
D-80333 München (DE).**

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **WINNERL, Josef  
[DE/DE]; Stefan-George-Ring 49, D-81929 München (DE).  
ALSMEIER, Johann [DE/DE]; Heiterwanger Strasse 18,  
D-81373 München (DE).**

(81) Bestimmungsstaaten: **JP, KR, US, europäisches Patent (AT,  
BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL,  
PT, SE).**

**Veröffentlicht  
Mit internationalem Recherchenbericht.**

(54) Title: **SEMICONDUCTOR COMPONENTS WITH SUPPLY TERMINALS FOR HIGH INTEGRATION DENSITY**

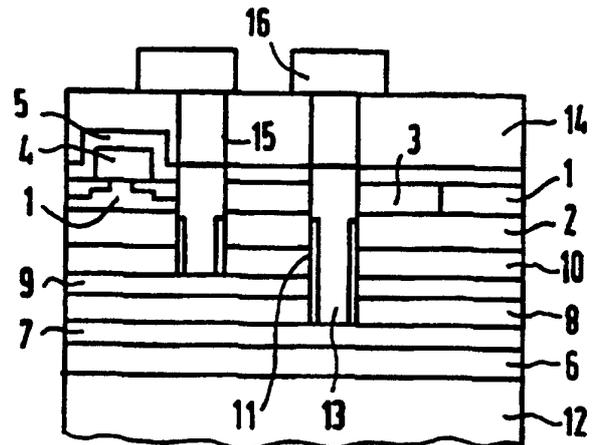
(54) Bezeichnung: **HALBLEITERBAUELEMENT MIT STROMANSCHLÜSSEN FÜR HOHE INTEGRATIONSDICHTE**

(57) Abstract

In a semiconductor component, a common current supply is ensured by large-surface buried metal layers (7, 9) connected to active functional elements (1) by vertical conductive connections (13, 15). On the contrary, the planes which are not to be bonded are insulated by dielectric layers (11) which envelop said vertical connections (13, 15).

(57) Zusammenfassung

Halbleiterbauelement, bei dem die gemeinsame Stromzuführung über ganzflächig vorhandene vergrabene Metallschichten (7, 9) erfolgt, die mit aktiven Funktionselementen (1) durch vertikale leitende Verbindungen (13, 15) verbunden sind, wobei die nicht zu kontaktierenden Ebenen durch diese vertikalen Verbindungen (13, 15) ummantelnde Schichten aus Dielektrikum (11) dagegen isoliert sind.



**LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	GA	Gabon	MR	Mauretanien
AU	Australien	GB	Vereinigtes Königreich	MW	Malawi
BB	Barbados	GE	Georgien	NE	Niger
BE	Belgien	GN	Guinea	NL	Niederlande
BF	Burkina Faso	GR	Griechenland	NO	Norwegen
BG	Bulgarien	HU	Ungarn	NZ	Neuseeland
BJ	Benin	IE	Irland	PL	Polen
BR	Brasilien	IT	Italien	PT	Portugal
BY	Belarus	JP	Japan	RO	Rumänien
CA	Kanada	KE	Kenya	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	KG	Kirgisistan	SD	Sudan
CG	Kongo	KP	Demokratische Volksrepublik Korea	SE	Schweden
CH	Schweiz	KR	Republik Korea	SI	Slowenien
CI	Côte d'Ivoire	KZ	Kasachstan	SK	Slowakei
CM	Kamerun	LI	Liechtenstein	SN	Senegal
CN	China	LK	Sri Lanka	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
ES	Spanien	MG	Madagaskar	US	Vereinigte Staaten von Amerika
FI	Finnland	ML	Mali	UZ	Usbekistan
FR	Frankreich	MN	Mongolei	VN	Vietnam

Halbleiterbauelement mit Stromanschlüssen für hohe Integrationsdichte

Die vorliegende Erfindung betrifft Halbleiterbauelemente mit einer speziellen Struktur für den elektrischen Anschluß, der eine hohe Integrationsdichte von Funktionselementen auf einem Chip ermöglicht.

Für komplexe CMOS-Schaltungen müssen eine positive und eine negative Versorgungsspannung (VDD und VSS) zugeführt werden und eine Vielzahl von Signalleitungen zwischen den einzelnen Transistoren geführt werden. Zu diesem Zweck werden mehrere Verdrahtungsebenen, d. h. schichtartige Anteile mit Leiterbahnen und Metallisierungen, benutzt, die z. B. Leiterbahnen aus Aluminium, die durch ein Dielektrikum, wie z. B.  $\text{SiO}_2$ , voneinander isoliert sind, enthalten. Verbindungen zwischen diesen einzelnen Ebenen von Leiterbahnen und Kontakten bzw. von der untersten Ebene zu den Transistoren und anderen Funktionselementen auf dem Chip werden durch Kontakte aus Metall hergestellt. Diese Kontakte sind im wesentlichen mit Metall gefüllte Löcher im Dielektrikum. Mit zunehmender Komplexität der Schaltungen werden immer mehr unabhängige Ebenen mit Leiterbahnen notwendig, um die erforderlichen elektrischen Verbindungen in ausreichender Dichte zur Verfügung zu haben. Mit zunehmender Zahl der Ebenen nehmen die Anforderungen an die Planarität der jeweiligen Zwischenschichten aus Dielektrikum zu, da bei unzureichender Planarisierung der einzelnen Schichten die Herstellung der nächsten Leiterbahnebene technologische Schwierigkeiten hervorruft. Dadurch werden die minimalen realisierbaren Abmessungen der einzelnen Strukturen zu den oberen Ebenen hin drastisch größer. Die sogenannte Packungsdichte, die sich erreichen läßt, ist dadurch deutlich reduziert. Für hohe Schaltgeschwindigkeiten sind außerdem geringe Kapazitäten zwischen den Signalleitungen erforderlich.

Versorgungsleitungen zum externen elektrischen Anschluß sollen möglichst geringe Zuleitungswiderstände und eine hohe Strombelastbarkeit aufweisen; hohe Kapazitäten sind hierbei eher von Nutzen, da diese Kapazitäten als Ladungsspeicher wirken und Stromspitzen abblocken können.

Aufgabe der vorliegenden Erfindung ist es, einen Aufbau für ein Halbleiterbauelement anzugeben, bei dem für hohe Integration von Funktionselementen die Komplexität der elektrischen Verbindungen reduziert ist.

Diese Aufgabe wird mit dem Halbleiterbauelement mit den Merkmalen des Anspruches 1 gelöst. Weitere Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

Das erfindungsgemäße Halbleiterbauelement reduziert die Komplexität der elektrischen Verbindungen dadurch, daß für den Anfluß der externen Versorgungsspannung ganzflächige Metallschichten vorhanden sind. Diese Metallschichten sind in dem Substrat oder zwischen dem Substrat und den aktiven Halbleiterschichten vergraben und voneinander durch Zwischenschichten aus Dielektrikum isoliert. Das erfindungsgemäße Halbleiterbauelement ist insbesondere vorteilhaft realisierbar bei CMOS-Schaltungen in SOI-Technologie (Silicon on Insulator). Die Signalleitungen werden dabei konventionell über den Funktionselementen, d. h. auf der dem Substrat abgewandten Seite angeordnet. Die Signalleitungen werden als übliche Leiterbahnen und Metallkontakte ausgeführt. Es kann nur eine ganzflächige vergrabene Metallschicht z. B. als Masseanschluß vorhanden sein oder mindestens zwei Metallschichten für je eine der Versorgungsspannungen VDD und VSS. Die Verbindung der Funktionselemente (Transistoren und dgl.) zu diesen Metallschichten wird durch vertikale leitende Verbindungen durch die Zwischenschichten aus Dielektrikum hergestellt. Diese Verbindungen sind z. B. dünne vertikal angeordnete Metallstifte oder Metallzylinder, die seitlich ringsum mit dem Dielektrikum der Zwischenschichten umgeben sind. Es können

statt dessen auch größere Öffnungen in den Schichtebenen geätzt sein und die vertikalen Verbindungen durch Leiterbahnen realisiert sein, die diese Öffnungen nicht ausfüllen. Zweckmäßig im Hinblick auf einen angestrebten planaren Aufbau des Halbleiterbauelementes ist allerdings eine vergrabene Kontaktierung zwischen Metallschichten und Leiterbahnen, die jeweils in einer Ebene des Schichtaufbaus angeordnet sind. Wenn mehrere ganzflächige Metallebenen für die Versorgungsspannung vorhanden sind, werden die Anschlüsse der aktiven Funktionselemente in dem Schichtaufbau mit den weiter entfernt angeordneten ganzflächigen Metallebenen mit vertikal angeordneten Leitern verbunden, die durch Öffnungen in den dazwischen angeordneten ganzflächigen Metallebenen geführt und gegen diese durch Ummantelungen aus Dielektrikum isoliert sind.

Dieser erfindungsgemäße Aufbau des Halbleiterbauelementes hat den Vorteil, daß für die Zuführung jedes Pols einer Versorgungsspannung jeweils eine vollständige Schicht aus Metall benötigt wird. Die Feinstrukturierung für diese Zuleitung ist daher nicht erforderlich. Der Aufwand bei der Herstellung ist daher vermindert und führt zu einer höheren zu erwartenden Ausbeute an funktionsfähigen Bauelementen. Unstrukturierte Leiterebenen müssen nicht mit Dielektrikumschichten planarisiert werden. Die unstrukturierten Metallebenen unterstützen die Abführung von Verlustwärme beim Betrieb der aktiven Funktionselemente. Die Kapazität zwischen mehreren ganzflächigen Metallschichten wirkt als Puffer für auftretende Stromspitzen des Versorgungsstromes. So ergibt eine Abmessung von 50 nm Isolationsoxid zwischen den Metallschichten pro  $\text{cm}^2$  Chipfläche eine Kapazität von ca. 70 nF. Der Zuleitungswiderstand kann minimiert werden, da die für die Versorgungsspannung vorgesehenen Metallschichten unstrukturiert sind und deren Dicke nicht durch eine Feinstrukturierung oder eine nachfolgende Planarisierung begrenzt ist. Die Zahl derartiger ganzflächiger vergrabener Metallschichten für den Anschluß von Versorgungsspannungen kann beliebig sein. Zweckmäßig werden für positiven und negativen Anschluß zwei Metallschichten,

die durch eine isolierende Zwischenschicht voneinander getrennt sind, koplanar übereinander angeordnet.

Die Struktur des erfindungsgemäßen Halbleiterbauelementes wird im folgenden beispielhaft anhand der Figuren 1 bis 5 erläutert, die einen Ausschnitt eines erfindungsgemäßen Bauelementes im Querschnitt nach verschiedenen Schritten der Herstellung zeigen. Dieses Ausführungsbeispiel betrifft ein Bauelement mit zwei vergrabenen ganzflächigen Metallschichten für die Versorgungsspannung VDD und VSS.

Wie in Fig. 1 gezeigt, werden auf ein Substrat 12 (z. B. aus Silizium) übereinander eine erste Dielektrikumschicht 6, eine Metallschicht 7, eine zweite Dielektrikumschicht als Zwischenschicht 8, eine weitere Metallschicht 9 und eine dritte Dielektrikumschicht 10 übereinander ganzflächig aufgebracht. Auf ein weiteres Substrat 1 (z. B. ebenfalls Silizium) wird eine Dielektrikumschicht 2 (z. B. Oxid) ganzflächig aufgebracht. Die beiden beschichteten Substrate 1, 12 werden mit den obersten Schichten, d. h. die Oxidschicht 2 auf dem Substrat 1 und die dritte Dielektrikumschicht 10 auf Substrat 12, miteinander durch Waferbonding verbunden. Die drei Dielektrikumschichten 6, 8, 10 auf dem ersten Substrat 12 können ebenfalls z. B. Oxid sein. Die Metallschichten 7, 9 sind z. B. hochschmelzendes Metall wie Titan, Wolfram, Tantal oder Silizide dieser Metalle oder Kupfer, Gold oder eine Aluminiumlegierung. Die Oxidschichten 2, 10, die durch Waferbonding miteinander verbunden werden, bilden die Isolatorschicht des auf diese Weise hergestellten SOI-Substrates. Die oberste Substratscheibe in Fig. 1 wird dann z. B. mittels chemisch-mechanischen Polierens (Chemical Mechanical Polishing) auf eine Dicke von höchstens 100 nm gedünnt, wenn vollständig verarmte MOSFET erzeugt werden sollen. Für andere aktive Bauelemente, wie z. B. Bipolartransistoren, ist die verbleibende Restdicke dieser Siliziumschicht entsprechend anzupassen. In der gedünnten Siliziumschicht 1 werden dann wie in Fig. 2

dargestellt aktive Bauelemente, in diesem Beispiel vollständig verarmte CMOS-Transistoren, hergestellt.

5 Diese Transistoren werden in der Siliziumschicht 1 hergestellt. Zwischen den aktiven Gebieten werden Isolationsbereiche 3 hergestellt. Das geschieht z. B. durch Strukturierung der Siliziumschicht 1 und Auffüllen der Isolationsbereiche mit Oxid oder durch lokale Oxidation dieser Anteile der Siliziumschicht. Die aktiven Gebiete werden durch Ionenimplantation zur Einstellung der Einsatzspannung für die Transistoren dotiert. Das Dielektrikum des Gate (z. B. thermisches Oxid, RTP) wird erzeugt und das Gate-Material (z. B. dotiertes Polysilizium oder Metall oder Metallsilizid) abgeschieden und strukturiert. Der Gate-Kontakt 4 ist in Fig. 2 eingezeichnet. 10 Die Diffusionsgebiete für Source und Drain werden mittels Ionenimplantation und nachfolgender Aktivierung (Ausheilen) dotiert. Ganzflächig wird eine Dielektrikumschicht 5 als Passivierung abgeschieden. 15

20 Anschließend werden die vertikalen leitenden Verbindungen zu den Metallschichten 7, 9 hergestellt. Mittels einer Maske (Fototechnik) wird das Material in einer zylinderförmigen Aussparung bis zur oberen Metallschicht 9 ausgeätzt. Das Material der Dielektrikumschichten wird geätzt und ggf. selektiv dazu Material der Siliziumschicht 1. Ein Kontaktloch für die untere Metallschicht 7 wird entsprechend durch die obere Metallschicht 9 hindurch geätzt. Um die herzustellenden vertikalen leitenden Verbindungen gegen andere Leiterebenen elektrisch zu isolieren, wird in den geätzten Öffnungen Dielektrikum 11 abgeschieden (z. B. Oxid, PECVD). Außen und auf dem Boden der geätzten Öffnung wird dieses Dielektrikum 11 (s. Fig. 3) anisotrop weggeätzt. In dem oberen Teil wird das Dielektrikum 11 entfernt, damit der zu kontaktierende Anschluß des Transistors freigelegt ist. Zu dem Zweck wird die 25 Öffnung jeweils bis zu einer Höhe, bis zu der das Dielektrikum stehen bleiben soll, mit einem gegen das Ätzen resistenten Material, z. B. Lack, gefüllt, im oberen Bereich wird der 30 35

freibleibende Anteil des Dielektrikums dann anisotrop weggeätzt. Die zu kontaktierenden Bereiche sind dann freigelegt. Die Öffnung kann dann mit Metall 13 (s. Fig. 4) gefüllt werden, indem z. B. ganzflächig Wolfram mittels CVD abgeschieden und auf der Oberseite zurückgeätzt wird. Das Dielektrikum 11 isoliert dieses Metall, das die vertikale leitende Verbindung 13 bildet, von den nicht zu kontaktierenden Ebenen.

Dann wird eine Dielektrikumschicht 14 ganzflächig abgeschieden und planarisiert (z. B. Oxid, mittels CVD abgeschieden) (s. Fig. 5). Unter Verwendung von Fototechnik werden Öffnungen in dieser Dielektrikumschicht 14 oberhalb der hergestellten metallischen Verbindungen 13 hergestellt. Diese Öffnungen werden wie zuvor beschrieben mit dem Metall der vertikalen Verbindungen aufgefüllt. Mit einer erneuten Fototechnik können dann auf der planarisierten Oberfläche der Dielektrikumschicht 14 Metallkontakte 16 auf den oberen Enden der wie beschrieben verlängerten vertikalen leitenden Verbindungen 13, 15 hergestellt werden. Diese Kontakte werden wie üblich strukturiert. Die vorstehend beschriebenen Verfahrensschritte können für die Kontaktierung weiterer Metallebenen oder Verbindung der Metallschichten 7, 9 mit höher angeordneten Ebenen von Leiterbahnen entsprechend wiederholt werden. In Zwischenschritten werden dann jeweils planarisierende Dielektrikumschichten als Zwischenschichten für die Metallisierungsebenen aufgebracht. Die Anordnung kann dann ggf. mit einer Deckschicht passiviert werden. In Fig. 5 ist der fertige Aufbau im Querschnitt gezeigt. Die Anschlüsse für die externe Stromzuführung werden durch entsprechendes Ausätzen der die Metallschichten 7, 9 vergrabenden Schichten hergestellt. Es genügt, z. B. die auf einer jeweiligen Metallschicht vorhandenen Schichten in einem lateralen, nicht mit Funktionselementen versehenen Bereich des Bauelementes vollständig wegzuätzen, um die betreffende Metallschicht freizulegen. Die unterste Metallschicht 7 kann z. B. vom Substrat 12 aus freigelegt werden. Die vergrabenen ganzflächigen Metallschichten können auch durch Aufwachsen einer

Schichtfolge auf ein Substrat hergestellt werden. Die beschriebene Herstellung mittels Waferbonding ist im Hinblick auf die bekannten Technologien besonders einfach und vorteilhaft. Die Struktur der vertikalen leitenden Verbindungen kann entsprechend den Erfordernissen an das spezielle Bauelement 5 angepaßt werden. Vereinfacht wird die Herstellung dadurch, daß die vertikalen Leiter in den Verfahrensschritten für die Herstellung der horizontalen Leiterbahnen von der Oberseite des Bauelementes her hergestellt werden können. Die 10 Zahl der Metallebenen in dem Ausführungsbeispiel der Fig. 4 ist nicht auf zwei beschränkt; es kann z. B. nur eine ganzflächige vergrabene Metallschicht vorhanden sind oder deren mehrere, die jeweils durch Zwischenschichten aus Dielektrikum gegeneinander isoliert sind. Bei der Kontaktierung jeweils 15 tiefer gelegener Metallschichten ist jeweils die vertikale Verbindung mit einer Ummantelung aus Dielektrikum von den höher angeordneten Metallebenen zu isolieren.

Patentansprüche:

1. Halbleiterbauelement,  
bei dem eine Siliziumschicht (1) mit aktiven Funktionselemen-  
5 ten vorhanden ist,  
bei dem mindestens eine vergrabene ganzflächige Metallschicht  
(7, 9), die mit einem Anschluß für externe Stromversorgung  
versehen ist, vorhanden ist,  
bei dem diese Metallschicht (7, 9) von dieser Siliziumschicht  
10 (1) durch eine Dielektrikumschicht (2, 10) elektrisch iso-  
liert ist und  
bei dem elektrisch leitende Verbindungen (13) zwischen diesen  
Funktionselementen und dieser Metallschicht (7, 9) vertikal  
zu dieser Metallschicht vorhanden sind.  
15
2. Halbleiterbauelement nach Anspruch 1,  
bei dem die aktiven Funktionselemente zu einer CMOS-Schaltung  
gehören und  
bei dem zwei vergrabene ganzflächige Metallschichten (7, 9),  
20 die gegeneinander durch eine Dielektrikumschicht (8) elek-  
trisch isoliert sind und mit je einem Anschluß für den posi-  
tiven und den negativen Pol einer Versorgungsspannung (VDD,  
VSS) versehen sind, vorhanden sind.
- 25 3. Halbleiterbauelement nach Anspruch 1 oder 2,  
bei dem jede vergrabene ganzflächige Metallschicht (7, 9) ein  
Silizid von einem Metall aus der Gruppe von Titan, Wolfram  
und Tantal ist.
- 30 4. Verfahren zur Herstellung eines Halbleiterbauelementes  
nach einem der Ansprüche 1 bis 3,  
bei dem in einem ersten Schritt auf einem Substrat (12) eine  
Schichtfolge hergestellt wird, die jede vorgesehene vergra-  
bene ganzflächige Metallschicht (7, 9) und eine zur Herstel-  
35 lung der aktiven Funktionselemente vorgesehene Silizium-  
schicht (1) umfaßt, wobei diese Schichten jeweils durch Die

lektrikumschichten (2, 8, 10) voneinander elektrisch isoliert sind,

5 bei dem in einem zweiten Schritt diese aktiven Funktionselemente hergestellt werden,

bei dem in einem dritten Schritt Aussparungen, die jeweils bis zu einer vergrabenen ganzflächigen Metallschicht reichen, ausgeätzt werden und

10 bei dem in einem vierten Schritt diese Aussparungen mit Metall gefüllt werden, um vertikale elektrisch leitende Verbindungen (13) auszubilden, und diese vertikalen Verbindungen (13) mit je einem Anschluß eines dieser Funktionselemente elektrisch leitend verbunden werden.

15

5. Verfahren nach Anspruch 4,

bei dem der dritte Schritt so ausgeführt wird, daß in jeder Aussparung ein für Kontaktierung vorgesehener Bereich eines Funktionselementes freigelegt ist, und

20 bei dem der vierte Schritt ausgeführt wird, indem ein Dielektrikum (11) auf die Wand der Aussparungen bis zu einer für elektrische Isolation vorgesehenen Höhe aufgebracht wird, wobei jeweils dieser für Kontaktierung vorgesehene Bereich frei bleibt, und das Metall so eingebracht wird, daß es diesen  
25 Bereich elektrisch kontaktiert.

6. Verfahren zur Herstellung eines Halbleiterbauelementes nach Anspruch 4 oder 5,

bei dem der erste Schritt ausgeführt wird, indem

30 in einem ersten weiteren Schritt auf ein erstes Substrat (12) mindestens eine ganzflächige Metallschicht (7, 9) aufgebracht und mit einer ganzflächigen Dielektrikumschicht (10) bedeckt wird und auf ein zweites Substrat (1) aus Silizium eine Dielektrikumschicht (2) ganzflächig aufgebracht wird und

35 in einem zweiten weiteren Schritt diese Dielektrikumschichten (2, 10) einander zugewandt und durch Waferbonding miteinander verbunden werden.

7. Verfahren nach Anspruch 6,  
bei dem nach dem zweiten weiteren Schritt das zweite Substrat  
(1) zur Verwendung als für die aktiven Funktionselemente vor-  
gesehene Siliziumschicht auf eine diesen Funktionselementen  
5 entsprechende Dicke gedünnt wird.

8. Verfahren nach einem der Ansprüche 4 bis 7,  
bei dem in einem fünften Schritt die vertikalen Verbindungen  
10 (13, 15) auf ihren der vergrabenen ganzflächigen Metall-  
schicht (7, 9) entgegengesetzten Enden mit Metallkontakten  
(16) versehen werden.

1/2

FIG 1

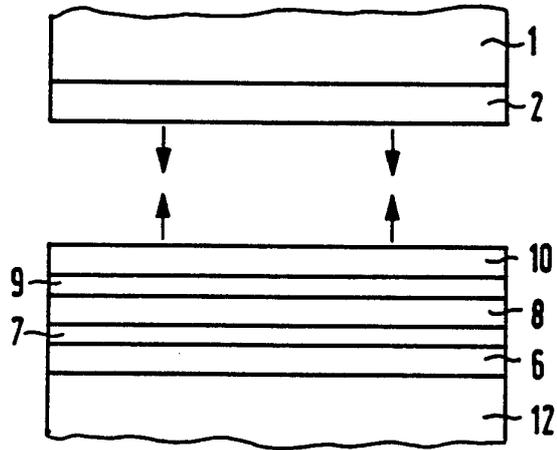


FIG 2

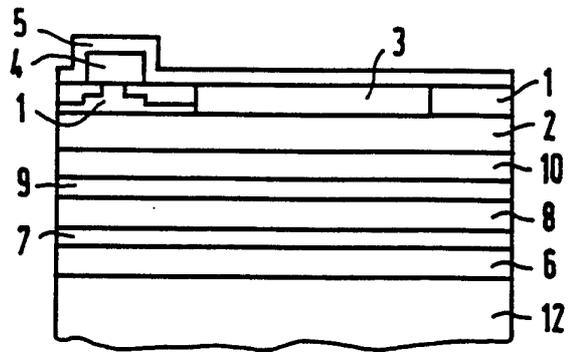


FIG 3

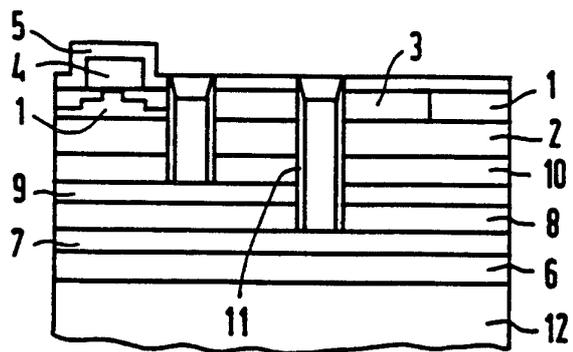


FIG 4

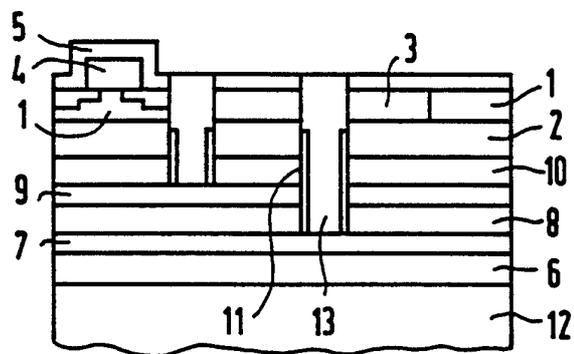
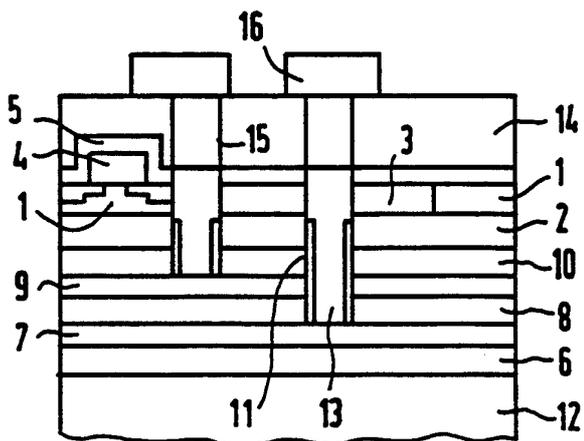


FIG 5



INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 94/00485

<p><b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 5 H01L23/535</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>																	
<p><b>B. FIELDS SEARCHED</b></p> <p>Minimum documentation searched (classification system followed by classification symbols) IPC 5 H01L</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</p> <p>Electronic data base consulted during the international search (name of data base and, where practical, search terms used)</p>																	
<p><b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b></p> <table border="1"> <thead> <tr> <th>Category *</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>EP,A,0 371 861 (MICROELECTRONICS CENTER OF NORTH CAROLINA) 6 June 1990</td> <td>1,4,6,7</td> </tr> <tr> <td>Y</td> <td>see page 2, line 16 - page 4, line 49; claims 1-38; figures 1A-1D</td> <td>2,5,8</td> </tr> <tr> <td>A</td> <td>---</td> <td>3</td> </tr> <tr> <td>Y</td> <td>PATENT ABSTRACTS OF JAPAN vol. 17, no. 9 (E-1303) 8 January 1993 &amp; JP,A,04 240 763 (NEC IC MICROCOMPUT SYST LTD) 28 August 1992 see abstract -----</td> <td>2,5,8</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	EP,A,0 371 861 (MICROELECTRONICS CENTER OF NORTH CAROLINA) 6 June 1990	1,4,6,7	Y	see page 2, line 16 - page 4, line 49; claims 1-38; figures 1A-1D	2,5,8	A	---	3	Y	PATENT ABSTRACTS OF JAPAN vol. 17, no. 9 (E-1303) 8 January 1993 & JP,A,04 240 763 (NEC IC MICROCOMPUT SYST LTD) 28 August 1992 see abstract -----	2,5,8
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
X	EP,A,0 371 861 (MICROELECTRONICS CENTER OF NORTH CAROLINA) 6 June 1990	1,4,6,7															
Y	see page 2, line 16 - page 4, line 49; claims 1-38; figures 1A-1D	2,5,8															
A	---	3															
Y	PATENT ABSTRACTS OF JAPAN vol. 17, no. 9 (E-1303) 8 January 1993 & JP,A,04 240 763 (NEC IC MICROCOMPUT SYST LTD) 28 August 1992 see abstract -----	2,5,8															
<p><input type="checkbox"/> Further documents are listed in the continuation of box C.      <input checked="" type="checkbox"/> Patent family members are listed in annex.</p>																	
<p>* Special categories of cited documents :</p> <table border="0"> <tr> <td style="vertical-align: top;"> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="vertical-align: top;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&amp;" document member of the same patent family</p> </td> </tr> </table>			<p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&amp;" document member of the same patent family</p>													
<p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&amp;" document member of the same patent family</p>																
<p>Date of the actual completion of the international search</p> <p style="text-align: center;">4 August 1994</p>		<p>Date of mailing of the international search report</p> <p style="text-align: center;">17.08.94</p>															
<p>Name and mailing address of the ISA</p> <p>European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016</p>		<p>Authorized officer</p> <p style="text-align: center;">Fransen, L</p>															

# INTERNATIONAL SEARCH REPORT

Information on patent family members

Inter: International Application No  
PCT/DE 94/00485

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0371861	06-06-90	US-A- 5025304	18-06-91
		CA-A- 2004075	29-05-90
		JP-A- 2199860	08-08-90
		US-A- 5168078	01-12-92
-----			

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen  
**PCT/DE 94/00485**

**A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 5 H01L23/535

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RECHERCHIERTE GEBIETE**

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 5 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
------------	--	--------------------

X	EP,A,0 371 861 (MICROELECTRONICS CENTER OF NORTH CAROLINA) 6. Juni 1990	1, 4, 6, 7
Y	siehe Seite 2, Zeile 16 - Seite 4, Zeile 49; Ansprüche 1-38; Abbildungen 1A-1D	2, 5, 8
A	---	3
Y	PATENT ABSTRACTS OF JAPAN vol. 17, no. 9 (E-1303) 8. Januar 1993 & JP,A,04 240 763 (NEC IC MICROCOMPUT SYST LTD) 28. August 1992 siehe Zusammenfassung -----	2, 5, 8

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

- \*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- \*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- \*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- \*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- \*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*G\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

4. August 1994

Absenddatum des internationalen Recherchenberichts

17. 08. 94

Name und Postanschrift der Internationale Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+ 31-70) 340-3016

Bevollmächtigter Bediensteter

Fransen, L

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 94/00485

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP-A-0371861	06-06-90	US-A- 5025304 CA-A- 2004075 JP-A- 2199860 US-A- 5168078	18-06-91 29-05-90 08-08-90 01-12-92
-----			