



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0074352
(43) 공개일자 2014년06월17일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/205* (2006.01)
H01L 21/31 (2006.01)
- (21) 출원번호 10-2014-7010463
- (22) 출원일자(국제) 2012년09월24일
심사청구일자 없음
- (85) 번역문제출일자 2014년04월18일
- (86) 국제출원번호 PCT/US2012/056928
- (87) 국제공개번호 WO 2013/052298
국제공개일자 2013년04월11일
- (30) 우선권주장
61/544,432 2011년10월07일 미국(US)
61/611,532 2012년03월15일 미국(US)

- (71) 출원인
애플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애
브뉴 3050
- (72) 별명자
왕, 쿤후아
미국 95133 캘리포니아 새너제이 비스타 크릭 드
라이브 2927
왕, 웨이지
미국 94087 캘리포니아 써니베일 사우스 마리 애
브뉴 874
(뒷면에 계속)
- (74) 대리인
특허법인 남앤드남

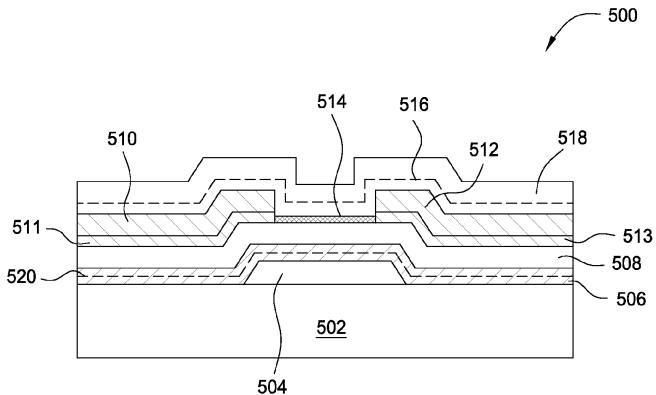
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 아르곤 가스 회석으로 실리콘 함유 층을 증착하기 위한 방법들

(57) 요약

개시 내용의 실시예들은 일반적으로 TFT 디바이스들 내에 실리콘 함유 층을 형성하는 방법들을 제공한다. 상기 실리콘은 LTPS TFT 내에 활성 채널을 형성하기 위해서 이용될 수 있고 또는 게이트 유전체 층, 부동태화 층 또는 심지어 에칭 정지 층 내의 요소로서 이용될 수 있을 것이다. 실리콘 함유 층은 증착 프로세스에 의해서 증착되고, 상기 증착 프로세스에 의해서 아르곤과 같은 불활성 가스가 실리콘 함유 전구체와 함께 도입된다. 불활성 가스는 약한 단글링 실리콘-수소 결합들 또는 실리콘-실리콘 결합들을 제거하는 기능을 하고, 그에 따라 강한 실리콘-실리콘 또는 실리콘-산소 결합들이 남아서 실질적으로 수소를 포함하지 않는 실리콘 함유 층을 형성한다.

대 표 도 - 도5a



(72) 발명자

최, 영진

미국 95054 캘리포니아 산타 클라라 맨션 코트 510
208

조, 선-미

미국 95054 캘리포니아 산타 클라라 마스턴 레인
4338

쿠이, 이

미국 95124 캘리포니아 새너제이 로스 가토스 알마
덴 로드 1791

박, 범수

미국 95014 캘리포니아 쿠퍼티노 로드리게스 애비
뉴 20040 11에프

최, 수영

미국 94539 캘리포니아 프레몬트 리오자 코트
40907

특허청구의 범위

청구항 1

기판 상에 실리콘 층을 형성하기 위한 방법으로서:

기판을 프로세싱 챔버 내로 이송하는 단계;

실리콘-계 가스 및 불활성 가스를 가지고 수소 가스를 실질적으로 가지지 않는 가스 혼합물을 상기 프로세싱 챔버 내로 공급하는 단계로서, 상기 가스 혼합물은, 상기 실리콘-계 가스의 기판의 표면적 당 부피 유량의 약 1.8 배 내지 약 79 배의, 불활성 가스의 기판의 표면적 당 부피 유량을 가지는, 가스 혼합물을 공급하는 단계; 및

상기 가스 혼합물을 플라즈마로 점화하기 위해서 RF 전력을 인가하는 단계; 및

상기 플라즈마의 존재 하에서 상기 기판 상에 비정질 실리콘 층을 형성하는 단계를 포함하는, 실리콘 층을 형성하기 위한 방법.

청구항 2

제 1 항에 있어서,

상기 프로세싱 챔버 내에서 약 450 °C 내지 약 500 °C의 온도로 상기 기판을 인-시츄 열처리하는 단계를 더 포함하는, 실리콘 층을 형성하기 위한 방법.

청구항 3

제 2 항에 있어서,

폴리실리콘 층을 형성하기 위해서 상기 비정질 실리콘 층을 레이저 어닐링하는 단계를 더 포함하는, 실리콘 층을 형성하기 위한 방법.

청구항 4

제 3 항에 있어서,

상기 레이저 어닐링하는 단계가:

상기 기판을 약 100 °C 내지 약 1500 °C의 온도로 가열하는 단계를 더 포함하는, 실리콘 층을 형성하기 위한 방법.

청구항 5

제 1 항에 있어서,

상기 RF 전력을 인가하는 단계가:

1500 Watts 미만의 RF 공급원 전력을 공급하는 단계를 더 포함하는, 실리콘 층을 형성하기 위한 방법.

청구항 6

제 1 항에 있어서,

상기 가스 혼합물을 공급하는 단계가:

프로세스 압력을 약 0.5 Torr 내지 약 5 Torr로 유지하는 단계를 더 포함하는, 실리콘 층을 형성하기 위한 방법.

청구항 7

실리콘 산화물 층을 형성하기 위한 방법으로서:

실리콘-계 가스, 불활성 가스, 및 산소 함유 가스를 가지는 가스 혼합물을 프로세싱 챔버 내로 공급하는 단계로서, 상기 가스 혼합물이, 상기 실리콘-계 가스의 기판의 표면적 당 부피 유량의 약 11 배 내지 약 80 배의, 불

활성 가스의 기판의 표면적 당 부피 유량을 가지는, 가스 혼합물 공급 단계; 및
상기 가스 혼합물을 플라즈마로 접촉하기 위해서 RF 전력을 인가하는 단계; 및
상기 기판 상에 실리콘 산화물 층을 형성하는 단계를 포함하는, 실리콘 산화물 층을 형성하기 위한 방법.

청구항 8

제 7 항에 있어서,

상기 실리콘-계 가스가 실란 또는 TEOS를 포함하고, 그리고 상기 산소 함유 가스가 O₂ 또는 N₂O를 포함하는, 실리콘 산화물 층을 형성하기 위한 방법.

청구항 9

제 7 항에 있어서,

상기 가스 혼합물이, 상기 산소 함유 가스의 기판의 표면적 당 부피 유량의 약 0.6 배 내지 약 1.7 배인, 불활성 가스의 기판의 표면적 당 부피 유량을 가지는, 실리콘 산화물 층을 형성하기 위한 방법.

청구항 10

제 7 항에 있어서,

상기 가스 혼합물이, 상기 산소 함유 가스의 기판의 표면적 당 부피 유량의 약 11 배 내지 약 82 배인, 상기 산소 함유 가스의 기판의 표면적 당 부피 유량을 가지는, 실리콘 산화물 층을 형성하기 위한 방법.

청구항 11

제 7 항에 있어서,

상기 RF 전력을 인가하는 단계가:

1500 Watts 미만의 RF 공급원 전력을 공급하는 단계를 더 포함하는, 실리콘 산화물 층을 형성하기 위한 방법.

청구항 12

제 7 항에 있어서,

상기 실리콘-계 가스가 실란을 포함하고, 그리고 상기 산소 함유 가스가 N₂O 를 포함하는, 실리콘 산화물 층을 형성하기 위한 방법.

청구항 13

금속 산화물 TFT 디바이스로서:

기판;

상기 기판 상에 배치된 게이트 절연 층으로서, 상기 게이트 절연 층이 실질적으로 수소가 없는 실리콘 산화물 층을 포함하는, 게이트 절연 층;

상기 게이트 절연 층 상에 배치된 활성 채널로서, 상기 활성 채널이 InGaZnO, InGaZnON, ZnO, ZnON, ZnSnO, CdSnO, GaSnO, TiSnO, CuAlO, SrCuO, LaCuOS, GaN, InGaN, AlGaN 또는 InGaAIN 중 적어도 하나를 포함하는, 활성 채널;

상기 활성 채널 상에 배치된 소오스-드레인 전극; 그리고

상기 소오스-드레인 전극 층 상에 배치된 부동태화 층으로서, 상기 부동태화 층이 실질적으로 수소를 가지지 않는 실리콘 산화물 층을 포함하는, 부동태화 층을 포함하는, 금속 산화물 TFT 디바이스.

청구항 14

제 13 항에 있어서,

상기 실질적으로 수소를 가지지 않는 실리콘 산화물 층이:

실리콘-계 가스, 불활성 가스, 및 산소 함유 가스를 가지는 가스 혼합물을 프로세싱 챔버 내로 공급하는 단계로서, 상기 가스 혼합물이, 상기 실리콘-계 가스의 기판의 표면적 당 부피 유량의 약 11 배 내지 약 80 배의, 불활성 가스의 기판의 표면적 당 부피 유량을 가지는, 가스 혼합물 공급 단계; 및

상기 가스 혼합물을 플라즈마로 점화하기 위해서 RF 전력을 인가하는 단계; 및

상기 기판 상에 실질적으로 수소가 없는 실리콘 산화물 층을 형성하는 단계; 예 의해서 제조되는, 금속 산화물 TFT 디바이스.

청구항 15

금속 산화물 TFT 디바이스가:

기판; 및

상기 기판 상의 게이트 절연 층과 소오스-드레인 전극 사이에 배치된 활성 채널을 포함하고,

상기 활성 채널과 상기 게이트 절연 층 사이에 형성된 인터페이스가 실질적으로 수소를 가지지 않는 유전체 표면을 포함하는, 금속 산화물 TFT 디바이스.

명세서

기술 분야

[0001]

본원 발명의 실시예들은 일반적으로 실리콘 함유 층을 형성하기 위한 방법들에 관한 것이다. 보다 특히 본원 발명은 박막 트랜지스터(TFT) 디바이스들에서 이용될 수 있는 실리콘 함유 층을 형성하기 위한 방법들에 관한 것이다.

배경 기술

[0002]

플라즈마 디스플레이 패널들 및 액정 디스플레이들이 평판 패널 디스플레이들로서 빈번하게 이용되고 있다. 액정 디스플레이들(LCD)은 일반적으로 액정 재료의 층이 사이에 샌드위치된 상태로 함께 결합된 2개의 유리 기판들을 포함한다. 유리 기판은 반도체 기판일 수 있을 것이고, 또는 유리, 석영, 사파이어 또는 투명 플라스틱 필름과 같은 투과성(transparent) 기판일 수 있을 것이다. LCD는 또한 백 라이팅을 위한 발광 다이오드들을 포함할 수 있을 것이다.

[0003]

LCDs에 대한 해상도 요건들이 높아짐에 따라, 픽셀들이라고 지칭되는, 매우 많은 수의 액정 셀의 분리된 지역들을 제어하는 것이 요구되고 있다. 현대의 디스플레이 패널에서, 1,000,000개 초과의 픽셀들이 존재할 수 있을 것이다. 적어도 동일한 수의 트랜지스터들이 유리 기판 상에 형성되며, 그에 따라 각각의 픽셀이 기판 상에 배치된 다른 픽셀들에 대해서 에너지화된 또는 탈-에너지화된(de-energized) 상태 사이에서 스위칭될 수 있다.

[0004]

실리콘 함유 재료들이 대부분의 TFTs를 위한 구축용 블록(building block) 블록이 되고 있다. 실리콘 함유 재료들이, 저온 폴리실리콘(LTPS) TFT를 위한 폴리실리콘과 같은 채널 재료를 형성하기 위해서, 그리고 게이트 유전체 층, 인터페이스 층, 부동태화(passivation) 층 또는 심지어 TFT 내의 에칭 중단(stop) 층을 형성하는데 있어서 이용되는 요소로서 이용되고 있다.

[0005]

그에 따라, 실리콘 함유 재료들을 이용하여 안정적이고 신뢰가능한 성능을 가지는 TFTs를 형성하는 방법이 당업계에서 요구되고 있다.

발명의 내용

[0006]

개시 내용의 실시예들은 일반적으로 TFT, OLED, LED, 및 태양 셀 디바이스들 내에 실리콘 함유 층을 형성하는 방법들을 제공한다. 상기 실리콘 함유 층은, LTPS, 금속 산화물 TFT 디바이스들, 등을 포함하는, TFT 디바이스들 내의 활성(active) 채널을 형성하기 위해서 이용될 수 있을 것이고, 또는 게이트 유전체 층, 인터페이스 층, 부동태화 층 또는 심지어 에칭 정지 층 내의 요소로서 이용될 수 있을 것이다. 실리콘 함유 층은 증착 프로세스에 의해서 증착되고, 상기 증착 프로세스에 의해서 아르곤과 같은 불활성 가스가 실리콘 함유 전구체와 함께 도입된다. 불활성 가스는 약한 단글링(dangling) 실리콘-수소 결합들 또는 실리콘-실리콘 결합들을 제거하는

(drive out) 기능을 하고, 그에 따라 강한 실리콘-실리콘 또는 실리콘-산소 결합들이 남게 된다.

[0007] 일 실시예에서, 기판 상에 실리콘 함유 층을 형성하기 위한 방법이 개시된다. 그러한 방법은 기판을 프로세싱 챔버 내로 이송하는 단계 및 실리콘-계 가스 및 불활성 가스를 가지고 수소 가스를 실질적으로 가지지 않는 가스 혼합물을 상기 프로세싱 챔버 내로 공급하는 단계를 포함한다. 상기 가스 혼합물은, 실리콘-계 가스의 기판의 표면적 당(per) 부피 유량의 약 1.8 배 내지 약 79 배의, 불활성 가스의 기판의 표면적 당 부피 유량을 가진다. 상기 방법은 상기 가스 혼합물을 플라즈마로 점화(ignite)하기 위해서 전극으로 RF 전력을 인가하는 단계 및 상기 기판 상에 비정질 실리콘 층을 형성하는 단계를 부가적으로 포함한다.

[0008] 다른 실시예에서, 실리콘 산화물 층을 형성하기 위한 방법이 개시된다. 그러한 방법은 실리콘-계 가스, 불활성 가스, 및 산소 함유 가스를 가지는 가스 혼합물을 프로세싱 챔버 내로 공급하는 단계를 포함한다. 상기 가스 혼합물은, 실리콘-계 가스의 기판의 표면적 당 부피 유량의 약 11 배 내지 약 80 배의, 불활성 가스의 기판의 표면적 당 부피 유량을 가진다. 상기 방법은 또한 상기 가스 혼합물을 플라즈마로 점화하기 위해서 RF 전력을 인가하는 단계 및 상기 기판 상에 실리콘 산화물 층을 형성하는 단계를 포함한다.

[0009] 또 다른 실시예에서, 금속 산화물 TFT 디바이스가 기판, 상기 기판 상에 배치된 게이트 절연 층으로서, 상기 게이트 절연 층이 실질적으로 수소가 없는 실리콘 산화물 층을 포함하는, 게이트 절연 층, 상기 게이트 절연 층 상에 배치된 활성 채널로서, 상기 활성 채널이 InGaZnO, InGaZnON, ZnO, ZnON, ZnSnO, CdSnO, GaSnO, TiSnO, CuAlO, SrCuO, LaCuOS, GaN, InGaN, AlGaN 또는 InGaN 중 적어도 하나를 포함하는, 활성 채널, 상기 활성 채널 상에 배치된 소오스-드레인 전극, 그리고 상기 소오스-드레인 전극 층 상에 배치된 부동태화 층으로서, 상기 부동태화 층이 실질적으로 수소를 가지지 않는 실리콘 산화물 층을 포함하는, 부동태화 층을 포함한다.

[0010] 또 다른 실시예에서, 금속 산화물 TFT 디바이스가 기판, 및 기판 상의 게이트 절연 층과 소오스-드레인 전극 사이에 배치된 활성 채널을 포함하고, 상기 활성 채널과 상기 게이트 절연 층 사이에 형성된 인터페이스가 실질적으로 수소를 가지지 않는 유전체 표면을 포함한다.

도면의 간단한 설명

[0011] 본원 발명의 전술한 특징들이 구체적으로 파악되고 이해될 수 있도록, 앞서서 간략히 요약된 발명의 보다 특별한 설명이, 첨부 도면들에 도시된 발명의 실시예들을 참조하여 이루어질 수 있을 것이다.

도 1은 박막 트랜지스터 디바이스 구조물의 단면도이다.

도 2는 본원 발명의 하나의 실시예에 따라 비정질 실리콘 층을 증착하기 위해서 이용될 수 있는 프로세싱 챔버의 단면도를 도시한다.

도 3은 비정질 실리콘 층을 형성하는 방법으로서, 상기 비정질 실리콘 층이 형성 후에 디바이스 구조물 내에서 이용될 수 있는 폴리실리콘 층으로 변형되는 방법의 일 실시예의 프로세스 흐름도를 도시한다.

도 4a-4d는 본원 발명의 실시예에 따라서 비정질 실리콘 층을 폴리실리콘 층으로 변형사기 위한 시퀀스의 스텝이지를 도시한 비정질 실리콘 층을 가지는 디바이스 구조물의 실시예를 도시한다.

도 5a-5b는 일 실시예에 따른 TFT 디바이스들의 개략적인 횡단면도이다.

도 6은 일 실시예에 따른 TFT 디바이스들의 개략적인 횡단면도이다.

이해를 돋기 위해서, 가능한 경우에, 도면들에서 공통되는 동일한 요소들을 나타내기 위해서 동일한 참조 번호들을 사용하였다. 특별한 언급이 없이도, 일 실시예에 개시된 요소들 및 특징들이 다른 실시예들에서 유리하게 포함될 수 있다는 것을 이해할 수 있을 것이다.

그러나, 발명이 다른 균등하게 효과적인 실시예들도 인정될 수 있기 때문에, 첨부된 도면들은 단지 본원 발명의 예시적인 실시예들을 도시한 것이고 그에 따라 본원 발명의 범위를 제한하는 것으로 간주되지 않아야 한다는 것을 주목하여야 할 것이다.

발명을 실시하기 위한 구체적인 내용

[0012] 개시 내용의 실시예들은 일반적으로 TFT 디바이스들 내에서 실리콘 함유 층을 형성하는 방법들을 제공한다. 실리콘 함유 층이 LTPS TFT 또는 다른 적합한 금속 산화물 TFT 디바이스들 내에 활성 채널을 형성하기 위해서 이 용될 수 있고, 또는 게이트 유전체 층, 인터페이스 층, 부동태화 층 또는 심지어 에칭 정지 층 내의 요소로서

이용될 수 있을 것이다. 실리콘 함유 층은 증착 프로세스에 의해서 증착되고, 상기 증착 프로세스에 의해서 아르곤과 같은 불활성 가스가 실리콘 함유 전구체와 함께 도입된다. 불활성 가스는 약한 단글링 실리콘-수소 결합들 또는 실리콘-실리콘 결합들을 제거하는 기능을 하고, 그에 따라 강한 실리콘-실리콘 또는 실리콘-산소 결합들이 남게 된다.

[0013] 일 실시예에서, 추후에 폴리실리콘 층으로 변형될 수 있는 비정질 실리콘 층을 형성하는 방법이 개시된다. 비정질 실리콘 층은 LTPS TFT 디바이스 내에서 채널 재료로서 이용될 수 있을 것이다. 그 대신에, 비정질 실리콘 층, 실리콘 산화물 층, 실리콘 질화물 층, 실리콘 산질화물 층, 또는 여기에서 개시된 방법들에 의해서 형성된 다른 적합한 실리콘 함유 층이 또한 금속 산화물 TFT 디바이스들과 같은 적합한 TFT 디바이스들 내에서 이용될 수 있을 것이다. 비정질 실리콘 층, 실리콘 산화물 층, 실리콘 질화물 층, 실리콘 산질화물 층, 또는 다른 적합한 실리콘 함유 층들, 등이 또한 포토다이오드들, 반도체 다이오드들, 발광 다이오드들(LEDs), 또는 유기 발광 다이오드들(OLEDs), 또는 다른 디스플레이 적용예들에서 이용될 수 있을 것이다. 비정질 실리콘 층, 실리콘 산화물 층, 실리콘 질화물 층, 실리콘 산질화물 층은 최소 수소 함량을 가지는 높은 필름 품질 및 안정성 그리고 낮은 필름 누설을 제공하고, 그에 의해서 트랜지스터 디바이스들의 전기적 성능을 효과적으로 향상시킨다. 비정질 실리콘 층이 전술한 적용예들에 더하여 다른 적합한 디바이스들에서 이용될 수 있다는 것을 주목하여야 할 것이다.

[0014] LTPS TFT 디바이스(150)의 예시적인 실시예가 도 1에 도시되어 있다. LTPS TFT 디바이스들은, 선택적인 유전체 층(104)이 상부에 배치된 또는 배치되지 않은 광학적으로 투과성인 기판(102) 상에 형성된 소오스 영역(109a), 채널 영역(109c), 및 드레인 영역(109b)으로 구축된 MOS 디바이스들이다. 소오스 영역(109a), 채널 영역(109c), 및 드레인 영역(109b)은 일반적으로, 추후에 열적으로 프로세스되어(예를 들어, 어닐링되어) 폴리실리콘 층을 형성하는 초기에 증착된 비정질 실리콘(a-Si) 층으로부터 형성된다. 소오스 영역(109a), 채널 영역(109c), 및 드레인 영역(109b)이 광학적으로 투과성인 기판(102) 상의 지역들을 패터닝하는 것에 의해서 그리고 열적으로 프로세스되어 폴리실리콘 층을 형성하게 되는 증착된 초기 a-Si 층을 이온 도핑하는 것에 의해서 형성될 수 있다. 이어서, 게이트 유전체 층(106)이 상기 증착된 폴리실리콘 층(들)의 상단부 상에 증착되어 게이트 전극(114)을 채널 영역(109c), 소오스 영역(109a), 및 드레인 영역(109b)으로부터 격리시킨다. 게이트 전극(114)이 상기 게이트 유전체 층(106)의 상단부에 형성된다. 이어서, 절연 층(112) 및 디바이스 연결부들(110a, 110b)이 절연 층(112)을 통해서 제조되어 TFT 디바이스(150)의 제어를 허용한다.

[0015] LTPS TFT 디바이스(150)의 성능은 MOS 구조물을 형성하기 위해서 증착되는 필름들의 품질에 의존한다. MOS 디바이스의 주요 성능 요소들은 폴리실리콘 채널 층(108), 게이트 유전체 층(106), 및 p-Si 채널 층/게이트 유전체 층 인터페이스이다. p-Si 채널 층(108)의 품질은 최근 몇 년간 많은 관심을 받고 있다. 전술한 바와 같이, p-Si 채널 층(108)이 비정질 실리콘 층으로서 초기에 형성되고 이어서 약 450 °C 또는 그 초과까지 가열되어 비정질 실리콘 층으로부터 수소를 제거하기 위한 탈수소화 프로세스를 실시한다. 탈수소화 프로세스 이후에, 레이저 어닐링 프로세스를 실시하여 비정질 실리콘 층을 폴리실리콘 층으로 변형시킬 수 있을 것이다. 후속하여, 게이트 절연체 또는 다른 적합한 층들이 폴리실리콘 층의 상부에 형성되어 장치 구조물을 완성할 수 있을 것이다.

[0016] 비정질 실리콘 층 내의 과다한 양의 수소 원소들(예를 들어, 과도하게 높은 수소 함량의 농도)이, 폴리실리콘 채널 층(108)을 형성하기에 앞서서, 근처의 게이트 유전체 층(106) 또는 다른 근처의 층들 내로 침투할 수 있을 것이며, 그에 의해서 전류 누설 또는 다른 타입의 디바이스 고장을 초래할 수 있을 것이다. 비정질 실리콘 층이 폴라즈마 강화 화학기상증착(PECVD)과 같은 적합한 증착 프로세스에 의해서 형성될 수 있을 것이다.

[0017] 도 2는 PECVD 챔버(200)의 일 실시예의 개략적인 획단면도로서, 상기 챔버(200)로부터 비정질 실리콘 층 또는 실리콘 산화물과 같은 다른 실리콘 함유 층이 형성될 수 있을 것이다. 하나의 적합한 PECVD 챔버를 미국 캘리포니아 산타클라라에 소재하는 Applied Materials, Inc.로부터 입수할 수 있을 것이다. 다른 제조자들로부터의 증착 챔버들을 포함하는, 다른 증착 챔버들이 본원 발명의 실시를 위해서 이용될 수 있다는 것을 이해할 수 있을 것이다.

[0018] 챔버(200)는 일반적으로 벽들(202), 하단부(204), 및 덮개(212)를 포함한다. 가스 분배 플레이트(210) 및 기판지지 조립체(230)가 프로세스 부피(206)를 형성한다. 상기 프로세스 부피(206)는 벽(202)을 통해서 형성된 개구부(208)를 통해서 접근되고, 그에 따라 기판(102)이 챔버(200)의内外로 이송될 수 있을 것이다.

[0019] 기판 지지 조립체(230)는 기판(102)을 상부에서 지지하기 위한 기판 수용 표면(232)을 포함한다. 기판 수용 표면(232)은 일반적으로 기판(102)과 동일한 크기이거나 기판(102) 보다 약간 더 큰 크기이다. 스템(234)이 기판

지지 조립체(230)를 승강 시스템(236)에 커플링시키고, 상기 승강 시스템은 기판 지지 조립체(230)를 기판 이송 위치와 프로세싱 위치 사이에서 상승 및 하강시킨다. 프로세싱시에 기판(102)의 옛지에 중착되는 것을 방지하기 위해서, 음영(shadow) 플레이트(233)이 기판(102)의 둘레 위에 선택적으로 배치될 수 있을 것이다. 승강 펀들(238)이 기판 지지 조립체(230)를 통해서 이동가능하게 배치되고 그리고 기판(102) 삽입 및 제거 동안에 기판(102)을 기판 수용 표면(232)으로부터 이격시키도록 구성된다. 기판 지지 조립체(230)는 또한 그러한 기판 지지 조립체(230)를 희망하는 온도에서 유지하기 위해서 이용되는 가열 및/또는 냉각 요소들(239)을 포함할 수 있을 것이다. 기판 지지 조립체(230)는 또한, RF 복귀 경로를 단축시키기 위한, RF 복귀 스트랩들(231)을 기판 지지 조립체(230)의 둘레 주위에 포함한다.

[0020] 가스 분배 플레이트(210)가 현수부(214)에 의해서 상기 가스 분배 플레이트의 둘레에서 챔버(200)의 덮개(212) 또는 벽들(202)에 커플링된다. 처짐(sag)을 방지하는데 및/또는 가스 분배 플레이트(210)의 직선성/곡률을 제어하는데 도움을 주기 위해서, 상기 가스 분배 플레이트(210)가 또한 하나 또는 둘 이상의 중심 지지부들(216)에 의해서 덮개(212)에 커플링될 수 있을 것이다. 일 실시예에서, 가스 분배 플레이트(210)가 상이한 치수들을 가지는 상이한 구조들을 가진다. 예시적인 실시예에서, 가스 분배 플레이트(210)가 사변형(quadrilateral) 하류 표면(250)을 가진다. 상기 하류 표면(250) 내부에는, 상기 기판 지지 조립체(230) 상에 배치된 기판(102)의 상부 표면(218)과 대면하는 복수의 개구들(211)이 형성된다. 상기 개구들(211)이 가스 분배 플레이트(210)에 걸쳐서 상이한 형상, 수들(numbers), 밀도들, 치수들, 및 분포들을 가질 수 있을 것이다.

[0021] 가스 공급원(220)이 덮개(212)에 커플링되어, 상기 덮개(212)를 통해서, 그리고 이어서 가스 분배 플레이트(210) 내에 형성된 개구들(211)을 통해서 프로세스 부피(206)로 가스를 제공한다. 진공 펌프(209)가 챔버(200)에 커플링되어 프로세스 부피(206) 내의 가스를 희망 압력으로 유지한다.

[0022] RF 전력 공급원(222)이 덮개(212)에 및/또는 가스 분배 플레이트(210)에 커플링되어, 가스 분배 플레이트(210)와 기판 지지 조립체(230) 사이에 전기장을 생성하는 RF 전력을 제공하고, 그에 따라 플라즈마가 가스 분배 플레이트(210)와 기판 지지 조립체(230) 사이의 가스들로부터 생성될 수 있을 것이다. RF 전력이 하나 또는 둘 이상의 RF 주파수들로 인가될 수 있을 것이다. 예를 들어, RF 전력이 약 0.3 MHz 내지 약 200 MHz의 주파수로 인가될 수 있을 것이다. 하나의 실시예에서, RF 전력이 13.56 MHz의 주파수로 제공된다.

[0023] 유도 결합형 원격 플라즈마 공급원과 같은 원격 플라즈마 공급원(224)이 또한 가스 공급원과 백킹(backing) 플레이트 사이에 커플링될 수 있을 것이다. 기판들을 프로세싱하는 사이에, 세정 가스가 원격 플라즈마 공급원(224) 내에서 에너지화되어, 챔버 구성요소들을 세정하기 위해서 이용되는 플라즈마를 제공할 수 있을 것이다. 세정 가스는 RF 전력 공급원(222)에 의해서 가스 분배 플레이트(210)로 제공되는 RF 전력에 의해서 추가적으로 여기될 수 있을 것이다. 적합한 세정 가스에는, 비제한적으로, NF₃, F₂, 및 SF₆가 포함된다.

[0024] 일 실시예에서, 챔버(200) 내에서 프로세스될 수 있는 기판(102)이 10,000 cm² 또는 그 초과, 예를 들어 40,000 cm² 또는 그 초과, 예를 들어 약 55,000 cm² 또는 그 초과의 표면적을 가질 수 있을 것이다. 프로세싱 후에, 기판이 더 작은 디바이스들을 형성하기 위해 커팅될 수 있다는 것이 이해된다.

[0025] 일 실시예에서, 가열 및/또는 냉각 요소들(239)이 중착 중에 약 400 °C 또는 그 미만, 예를 들어 약 100 °C 내지 약 400 °C, 또는 약 150 °C 내지 약 300 °C, 예를 들어 약 200 °C의 기판 지지 조립체 온도를 제공하도록 설정될 수 있을 것이다.

[0026] 상기 기판 수용 표면(232) 상에 배치된 기판(102)의 상부 표면(218)과 상기 가스 분배 플레이트(210) 사이의 중착 중 간격이 400 mil 내지 약 1,200 mil 사이에서, 예를 들어 400 mil 내지 약 800 mil 사이에서 일반적으로 변화될 수 있을 것이고, 또는 희망하는 중착 결과를 제공하도록 선택된 기판(102)과 가스 분배 플레이트(210) 사이의 다른 거리가 될 수 있을 것이다. 하나의 예시적인 실시예에서, 오목한 하류 표면 가스 분배 플레이트(210)가 이용되는 경우에, 플레이트(210)의 옛지의 중심 부분과 기판 수용 표면(232) 사이의 간격이 약 400 mils 내지 약 1400 mils이고 그리고 플레이트(210)의 모서리들과 기판 수용 표면(232) 사이의 간격이 약 300 mils 내지 약 1200 mils이다.

[0027] 도 3은 도 2에 도시된 바와 같은 챔버(200) 또는 다른 적합한 프로세싱 챔버 내에서 실시될 수 있는 중착 프로세스(300)의 일 실시예의 흐름도를 도시한다. 프로세스(300)는 TFT 디바이스들 또는 다이오드 디바이스들 내에서 이용될 수 있는 비정질 실리콘 층 또는 다른 적합한 실리콘 함유 층을 중착하는 방법을 설명한다. 일 실시예에서, 실리콘 함유 층이 단독으로 또는 TFT 또는 다이오드 디바이스들 내의 전기적 성질들 및 성능을 개선하

기 위한 임의의 다른 적합한 필름들과 함께 사용될 수 있을 것이다. 하나의 특별한 실시예에서, 설명된 바와 같은 실리콘 함유 층이 비정질 실리콘 층일 수 있고, 상기 비정질 실리콘 층은 추후에 열적으로 프로세스되어 폴리실리콘 층을 형성할 수 있다.

[0028] 프로세스(300)는 도 4a에 도시된 바와 같이 기판(102)을 도 2에 도시된 PECVD 챔버(200)와 같은 프로세스 챔버 내로 이송하는 것에 의해서 단계(302)에서 시작된다. 기판(102)이 상부에 배치된 선택적인 유전체 층(104)을 가질 수 있을 것이다. 기판(102)이, 그러한 기판(102) 상에 상이한 디바이스 구조물들을 형성하는 것을 돋기 위해서 이전에 상부에 형성된 필름들, 구조물들 또는 층들의 상이한 조합을 가질 수 있다는 것을 주목하여야 한다. 유전체 층(104)이 존재하지 않는 실시예에서, 비정질 실리콘 층이 기판(102) 상에 직접적으로 형성될 수 있을 것이다.

[0029] 하나의 실시예에서, 기판(102)이 유리 기판, 플라스틱 기판, 폴리머 기판, 금속 기판, 단일화된(singled) 기판, 롤-대-롤 기판, 또는 박판 트랜지스터를 상부에 형성하기에 적합한 다른 적합한 투과성 기판 중 임의의 하나일 수 있을 것이다.

[0030] 단계(304)에서, 가스 혼합물이, 도 4b에 도시된 바와 같이, 기판(102) 상에 비정질 실리콘 층(402)을 증착하기 위해서 가스 분배 플레이트(210)를 통해서 프로세싱 챔버로 공급된다. 비정질 실리콘 층(402)을 증착하기 위해서 가스 혼합물을 프로세싱 챔버 내로 공급할 때, 가스 혼합물이 실리콘-계 가스, 불활성 가스를 포함할 수 있고 그리고 수소 가스(H_2)를 실질적으로 포함하지 않을 수 있을 것이다. "수소 가스를 실질적으로 포함하지 않는다"는 용어는, 수소 가스의 직접적인 공급원이 가스 혼합물의 형성에 이용되지 않는다는 것을 의미한다. 불활성 가스 및/또는 실리콘-계 가스의 공급원 내에 수소 가스의 트레이스량(trace amount)이 존재할 수 있을 것이다. 적합한 실리콘-계 가스들에는, 비제한적으로, 실란(SiH_4), 디실란(Si_2H_6), 실리콘 테트라플루오라이드(SiF_4), 테트라오르토실록산(TEOS), 실리콘 테트라클로라이드($SiCl_4$), 디클로로실란(SiH_2Cl_2), 및 이들의 조합들이 포함된다. 불활성 가스의 적합한 예들에는 He , Ar , Ne , Kr 등이 포함된다. 하나의 실시예에서, 여기에서 기술된 실리콘-계 가스가 실란(SiH_4) 가스이고 그리고 불활성 가스가 Ar 이다.

[0031] 실리콘-계 가스 및 불활성 가스가 미리 결정된 가스 유동 비율로 공급된다. 불활성 가스 대 실리콘-계 가스의 미리 결정된 가스 유동 비율은 필름내에 최소 수의 수소 원자들이 포함된 비정질 실리콘 층을 증착하는데 도움이 된다. 하나의 실시예에서, 실리콘-계 가스 및 불활성 가스가 미리 결정된 비율, 예를 들어 1:20 보다 큰 비율로 프로세싱 챔버 내로 공급된다. 하나의 실시예에서, 불활성 가스(예를 들어, 아르곤 가스) 대 실리콘-계 가스(예를 들어, 실란)의 비율(R)이 약 20(Ar/SiH_4) 보다 크게, 예를 들어 50 보다 크게, 예를 들어 약 60 내지 약 200으로, 그리고 다른 예에서 약 70 내지 100으로, 예를 들어 약 75로 제어된다. 그 대신에, 프로세싱 챔버 내로 공급되는 실리콘-계 가스 및 불활성 가스가 기판 표면적(또는 개략적인 균등값으로서 기판 지지 표면) 당 부피 유량으로 공급될 수 있을 것이다. 하나의 실시예에서, SiH_4 가스가 약 0.042 sccm/cm^2 내지 약 0.31 sccm/cm^2 의 유량으로 프로세싱 챔버 내로 공급될 수 있을 것인 한편, 불활성 가스 가스는 약 0.55 sccm/cm^2 내지 약 3.29 sccm/cm^2 의 유량으로 프로세싱 챔버 내로 공급될 수 있을 것이다. 그에 따라, 불활성 가스 대 실리콘-계 가스에 대한 기판 표면적 당 부피 유량의 비율은 약 1.8:1 내지 약 79:1가 된다. 다시 말해서, 가스 혼합물이, 실리콘-계 가스에 대한 기판의 표면적 당 부피 유량의 약 1.8 배 내지 약 79 배의, 불활성 가스에 대한 기판의 표면적 당 부피 유량을 가진다. 일 실시예에서, 실리콘-계 가스는 실란이고 불활성 가스는 아르곤이다.

[0032] 가스 혼합물 내에서 공급되는 불활성 가스(예를 들어, 아르곤)가 실리콘-계 가스(예를 들어, 실란 가스) 내에서 공급되는 실리콘 및 수소 원자들 보다 비교적 더 큰 분자량을 가지는 것을 믿어진다. 프로세싱 중에 가스 혼합물을 공급할 때, 가스 혼합물 내의 아르곤 원자들이, 실리콘 층 내의 실리콘-수소의 약한 단글링 결합 및/또는 약한 실리콘-실리콘 결합을 제거하고, 그에 의해서, 실란 가스로부터의 실리콘-수소 결합들이 아니라, 강한 실리콘 대 실리콘 결합들을 실리콘 층 내의 실리콘 원자들이 형성할 수 있게 한다. 전술한 바와 같이, 강한 실리콘 대 실리콘 결합은 필름 순도 및 높은 실리콘 결합 에너지를 촉진하고, 그에 의해서 비정질 실리콘 층(402) 내에 형성된 필름 품질 및 순도를 증가시킨다. 또한, Ar 원자들이 강하고 견실한(robust) 실리콘 결합을 형성하는 것을 돋고 그리고 불순물들을 제거함에 따라, 실리콘 층 내의 결합들이 감소될 뿐만 아니라, 양호한 균일성이 비정질 실리콘 층 내에서 얻어질 수 있고, 그에 따라 바람직하지 못한 무작위적인 입자 경계 및 입자 경계 결합들이 감소될 수 있을 것이다. 또한, 통상적인 수소 희석 대신에 아르곤 희석을 이용하는 것에 의해서, 증

착 프로세스 중의 수소 원자들의 공급이 최소화되거나 배제될 수 있고, 그에 따라 결과적인 비정질 실리콘 층(402) 내의 수소 원소들의 형성 가능성을 감소시킨다. 아르곤 희석 증착 프로세스가 또한 분당 300 Å 초과와 같은 양호한 증착 레이트(rate)를 제공할 수 있고, 그에 따라 제조 처리량(throughput)을 개선할 수 있는 것으로 믿어진다.

[0033] 몇 가지 프로세스 매개변수들이 증착 프로세스 중에 제어될 수 있을 것이다. RF 공급원 전력이 증착 중에 플라즈마를 유지하도록 인가될 수 있을 것이다. 하나의 실시예에서, RF 공급원 전력 밀도가 약 10 mWatt/cm² 내지 약 200 mWatt/cm²로 공급될 수 있을 것이다. 그 대신에, VHF 전력이 약 27 MHz 내지 약 200 MHz까지의 주파수를 제공하기 위해서 이용될 수 있을 것이다. 프로세스 압력이 약 0.1 Torr 내지 약 10 Torr, 예를 들어 약 0.5 Torr 내지 약 5 Torr, 예를 들어 약 0.8 Torr 내지 약 2 Torr에서 유지된다. 가수 분배 플레이트에 대한 기판의 간격이 기판 치수에 따라서 제어될 수 있을 것이다. 일 실시예에서, 1 평방 미터 보다 큰 기판에 대한 프로세싱 간격이 약 400 mils 내지 약 1200 mils, 예를 들어 약 400 mils 내지 약 850 mils, 예를 들어 580 mils로 제어된다. 기판 온도가 약 150 °C 내지 약 500 °C, 예를 들어 약 370 °C로 제어될 수 있을 것이다.

[0034] 하나의 실리콘에서, 비교적 낮은 RF 전력, 예를 들어 약 1500 Watts 미만 또는 100 mWatt/cm² 미만이 이용될 수 있을 것이다. 증착 중에 이용되는 낮은 RF 전력은, 균일성을 양호하게 제어하면서 비정질 실리콘 층(402)을 형성할 수 있게 보조할 수 있다. 이용되는 바와 같은 비교적 낮은 RF 전력이, 불활성 가스에 의해서 생성될 수 있는 스퍼터링 효과를 감소시킬 수 있고, 그에 의해서 비교적 온화한(gentle) 플라즈마 분위기 내에서 비정질 실리콘 층(402)을 증착하는 것을 돋고, 그에 의해서 양호한 균일성 및 표면 조도 제어로 비정질 실리콘 층(402)을 형성하는 것으로 믿어진다.

[0035] 단계(306)에서, 비정질 실리콘 층(402)이 기판(102) 상에 형성된 후에, 도 4c에 도시된 바와 같이, 사후(post) 탈수소화 베이크 프로세스를 실시하여 비정질 실리콘 층(402)으로부터 수소를 제거할 수 있을 것이다. 사후 탈수소화 베이크 프로세스 이후에, 도 4c에 도시된 바와 같이, 비정질 실리콘 층(402) 내에 함유된 수소 함량이 대부분 제거되어 탈수소화된 비정질 실리콘 층(404)을 형성할 수 있을 것이다. 전술한 바와 같이, 탈수소화된 비정질 실리콘 층(404)이, 수소 가스 대신에 희석 가스로서 아르곤 가스와 같은 불활성 가스를 이용하여, 실질적으로 수소를 가지지 않는 가스 혼합물에 의해서 형성됨에 따라, 사후 탈수소화 베이크 프로세스가 5 분 미만과 같은 비교적 짧은 시간 동안 실시될 수 있을 것이고, 또는 선택적으로 배제될 수 있을 것이다.

[0036] 하나의 실시예에서, 사후 탈수소화 베이크 프로세스가, 비정질 실리콘 층(402)이 증착되었던 프로세싱 챔버 내에서 인-시츄(in-situ) 프로세스로 실시될 수 있을 것이다. 탈수소화된 비정질 실리콘 층(404)을 형성하기 위해서 수소 원소들을 증발시키는 것을 돋기 위해서, 사후 탈수소화 베이크 프로세스가 400 °C 초과, 예를 들어 약 450 °C 내지 약 550 °C의 온도까지 기판(102)을 가열할 수 있을 것이다.

[0037] 비정질 실리콘 층(402) 내의 수소 함량이 높지 않은 실시예에서, 필요한 경우에, 단계(306)에서 실시된 사후 탈수소화 베이크 프로세스가 배제될 수 있을 것이다.

[0038] 단계(308)에서, 사후 탈수소화 베이크 프로세스 이후에, 레이저 어닐링 프로세스를 실시하여, 도 4d에 도시된 바와 같이, 탈수소화된 비정질 실리콘 층(404)을 폴리실리콘 층(406)으로 변형시킨다. 레이저 프로세스는 탈수소화된 비정질 실리콘 층(404)을 폴리실리콘 층(406)으로 결정화시키는 것을 돋는다. 레이저 어닐링 프로세스 중에 제공되는 열 에너지는 비정질 실리콘 층(402)으로부터의 입자들이 결정화된 입자들로 큰 크기로 성장하여, 폴리실리콘 층(406)을 형성하는 것을 보조한다. 하나의 실시예에서, 비정질 실리콘 층(404)을 결정화하기 위해서 이용될 때, 레이저 어닐링 프로세스는 엑시머 레이저 어닐링 프로세스이다. 레이저 어닐링 프로세스가 기판을 약 100 °C 내지 약 1500 °C의 온도까지 열적으로 프로세스할 수 있을 것이다.

[0039] 레이저 어닐링 프로세스 이후에, 탈수소화된 비정질 실리콘 층(404)이 평면(220) 내의 약간의(some) 배향을 가지는 대부분의 평면(111) 내의 결정 배향을 가지는 폴리실리콘 층(406)으로 변형된다. 폴리실리콘 층(406)의 희망 결정화가 형성됨에 따라, 높은 포토/다크(photo/dark) 전도도 비율이 얻어질 수 있을 것이고 그리고 폴리실리콘 층(406)의 전체적인 전기적 성질들이 개선될 수 있을 것이다.

[0040] 탈수소화된 비정질 실리콘 층(404)이 폴리실리콘 층(406)으로 전환된 후에, 패터닝 프로세스, 이온 주입 또는 다른 증착 프로세스를 실시하여 소오스 및 드레인 지역들, 게이트 유전체 층들, 그리고 소오스 및 드레인 전극 층을 형성함으로써, 도 1을 참조하여 도시하고 전술한 바와 같은, TFT 디바이스 구조물들을 완성할 수 있을 것이다.

[0041] 전술한 바와 같이, 실리콘 함유 층이 TFT 디바이스 내의 다른 층들을 제조하는데 있어서 이용될 수 있다. 도 5a는 본원 발명의 다른 실시예에 따른 TFT 디바이스(500)의 다른 실시예의 개략적인 획단면도이다. TFT 디바이스(500)는 게이트 전극 층(504)이 위에 형성된 기판(502)을 포함한다. 기판(502)은 유리를 포함할 수 있으나, 폴리머계 기판들 및 가요성 기판들과 같은 다른 기판 재료들로 고려될 수 있을 것이다. 하나의 실시예에서, 게이트 전극 층(504)이 임의의 적합한 재료들, 예를 들어 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 인듐 주석 아연 산화물(ITZO), 알루미늄(Al), 텉스텐(W), 크롬(Cr), 탄탈륨(Ta), 몰리브덴(Mo), 구리(Cu), 티타늄(Ti), 이들의 합금들 또는 이들의 조합으로부터 제조될 수 있을 것이다.

[0042] 기판(502) 및 게이트 전극 층(504) 위에, 게이트 절연 층(506)이 형성된다. 게이트 절연 층(506)을 위한 적합한 재료가 실리콘 산화물(SiO_2), 실리콘 산질화물(SiON), 실리콘 질화물(SiN), 이들의 조합들, 등일 수 있을 것이다. 게이트 절연 층(506)이, 필요에 따라서, 단일 층, 복합 층, 이중 층들, 복수 층들, 또는 이들의 다른 조합들의 형태일 수 있을 것이다. 하나의 실시예에서, 게이트 절연 층(506)은, 점선(520)에 의해서 도시된 바와 같이, 기판(502) 상의 이중 층으로서 형성하기 위해서 실리콘 산화물 상에 중착된 실리콘 질화물 층을 가질 수 있을 것이고, 또는 그 반대가 될 수 있을 것이다. 그 대신에, 게이트 절연 층(506)이 필요에 따라서 단일 실리콘 산화물 층 또는 단일 실리콘 질화물 층일 수 있을 것이다. 실리콘 산화물 층 및 실리콘 질화물 층(또는 실리콘 산질화물 층)이 전술한 바와 같은 프로세스(300)로부터 제조될 수 있을 것이다. 실리콘 산화물 및/또는 실리콘 질화물 층이, 수소 가스를 가지지 않는, 실리콘-계 가스 및 아르곤과 같은 불활성 가스를 가지는 가스 혼합물을 공급함으로써 제조될 수 있을 것이다.

[0043] 실리콘 산화물 층이 형성되도록 구성된 실시예에서, 가스 혼합물이 실리콘-계 가스, 산소 함유 가스 및 불활성 가스를 포함한다. 실리콘-계 가스들의 적합한 예들에는, 비제한적으로, 실란(SiH_4), 디실란(Si_2H_6), 테트라오르토실록산(TEOS), 실리콘 테트라플루오라이드(SiF_4), 실리콘 테트라클로라이드(SiCl_4), 디클로로실란(SiH_2Cl_2), 및 이들의 조합들이 포함된다. 산소 함유 가스의 적합한 예들에는 O_2 , N_2O , NO_2 , H_2O , H_2O_2 , O_3 , 등이 포함된다. 불활성 가스의 적합한 예들에는 He, Ar, Ne, Kr 등이 포함된다. 하나의 특별한 실시예에서, 여기에서 형성되는 실리콘 산화물 층을 형성하기 위한 가스 혼합물에는 SiH_4 , O_2 및 Ar 가스, 또는 SiH_4 , N_2O 또는 NO_2 , 및 Ar 가스가 포함된다. 그러나, 만약 TEOS가 실리콘-계 전구체로서 이용된다면, O_2 는 바람직하게 이용되지 않는데, 이는 챔버 내의 높은 총 산소 함량 때문이라는 것을 주목하여야 할 것이다.

[0044] 실리콘 질화물 층이 형성되는 실시예에서, 가스 혼합물이 실리콘-계 가스, 질소 함유 가스 및 불활성 가스를 포함한다. 실리콘-계 가스 및 불활성 가스의 타입들이 전술한 바와 같이 이용될 수 있을 것이다. 질소 함유 가스의 적합한 예들에는 N_2 , N_2O , NO_2 , NO, 또는 NH_3 , 등이 포함된다. 하나의 특별한 실시예에서, 여기에서 형성되는 실리콘 산화물 층을 형성하기 위한 가스 혼합물에는 SiH_4 , N_2 또는 NH_3 및 Ar 가스가 포함된다.

[0045] 불활성 가스가 이용되기 때문에, 불활성 가스가 이용되지 않는 경우에 비해서 낮은 RF 전력이 필요하다. 구체적으로, RF 전력의 약 20 퍼센트 감소가 가능하다. 불활성 가스 원자들이 무겁기 때문에 그에 따라 프로세싱 중의 향상된 이온 폭격(bombardment)으로 인해서, RF 전력의 감소가 가능하다. 인가될 수 있는 적합한 RF 전력이 약 1200 mW/cm^2 내지 약 1300 mW/cm^2 이다. 또한, 실리콘-계 가스 및 불활성 가스를 특정 비율로 챔버로 전달할 때, 필요한 RF 전력의 양이 감소될 뿐만 아니라, 필름 중착 두께의 균일성이 증가된다. 따라서, 불활성 가스의 첨가는 반복가능하고, 신뢰가능하고, 그리고 높은 품질의 실리콘 산화물 필름들을 유도한다. 일 실시예에서, 불활성 가스(예를 들어, 아르곤)에 대한 기판 표면적 당 부피 유량이 약 1.05 sccm/cm^2 내지 약 1.828 sccm/cm^2 , 예를 들어 1.65 sccm/cm^2 일 수 있을 것이다. 실리콘 함유 전구체가 약 0.023 sccm/cm^2 내지 약 0.095 sccm/cm^2 , 예를 들어 약 0.025 sccm/cm^2 의 기판 표면적 당 부피 유량으로 전달될 수 있을 것이다. 산소 함량 전구체는 약 1.05 sccm/cm^2 내지 약 1.66 sccm/cm^2 , 예를 들어 약 1.16 sccm/cm^2 의 기판 표면적 당 부피 유량으로 전달될 수 있을 것이다. 그에 따라, 불활성 가스의 양이 전달되는 실리콘-계 전구체의 양 보다 약 11 내지 약 80 배 더 많다. 불활성 가스의 양이 전달되는 산소-계 가스의 양 보다 약 0.6 내지 약 1.70 배 더 많다. 산소-계 가스의 양은 전달되는 실리콘-계 전구체의 양 보다 약 11 내지 약 72 배 더 많다.

[0046] 또한, 프로세스 매개변수들이, 필요에 따라서, 프로세스(300)에 대해서 언급된 단계(304)를 참조하여 전술한 비정질 실리콘 층을 형성하기 위해서 제어되는 프로세스 매개변수들로부터 유사하게 제어될 수 있을 것이다.

[0047] 이어서, 활성 채널(508)이 게이트 절연 층(506) 상에 배치될 수 있을 것이다. 활성 채널(508)이 도 3을 참조하여 전술한 프로세스에 의해서 제조되는 저온 폴리실리콘 층(LTPS)일 수 있을 것이다. 활성 채널(508)을 형성하기 위해서 필요한 바와 따라서, n-타입 또는 p-타입 도편트들과 같은 적합한 도편트들이 저온 폴리실리콘 층(LTPS) 내로 배치될 수 있을 것이다. 활성 채널(508) 위에, 선택적인 에칭 정지부(514)를 형성하여 소오스 및 드레인 전극들(510, 512)의 형성 중에 활성 채널(508)을 보호할 수 있을 것이다. 에칭 정지부(514)를 위해서 이용될 수 있는 적합한 재료들에는 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물이 포함된다. 에칭 정지부(514)는, 전술한 바와 같은, 게이트 절연 층(506)을 형성하기 위해서 이용된 프로세스와 유사한 프로세스에 의해서 형성될 수 있을 것이다. 일부 실시예들에서, 다른 활성 층(511, 513)이 소오스 및 드레인 전극들(510, 512)에 앞서서 형성될 수 있을 것이다. 활성 층(511, 513)이, n-타입 실리콘 함유 층 또는 p-타입 실리콘 함유 층과 같은, p-타입 활성 층 또는 n-타입 활성 층일 수 있을 것이다.

[0048] 상기 소오스 및 드레인 전극들(510, 512) 위에는, 선택적인 에칭 정지부(514)(존재하는 경우)뿐만 아니라, 부동태화 층(518)이 형성될 수 있을 것이다. 부동태화 층(518)을 위해서 이용될 수 있는 적합한 재료들이 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물을 포함한다. 하나의 실시예에서, 전술한 게이트 절연 층(506)과 유사하게, 부동태화 층(518)이 필요에 따라 단일 층, 복합 층, 이중 층들, 복수 층들, 또는 다른 조합들의 형태일 수 있을 것이다. 일부 실시예에서, 부동태화 층(518)은, 점선(516)으로 도시된 바와 같이, 소오스 및 드레인 전극들(510, 512) 상의 이중 층으로서 형성하기 위해서 실리콘 산화물 상에 배치된 실리콘 질화물 층을 가질 수 있을 것이고, 또는 그 반대가 될 수도 있을 것이다. 실리콘 산화물 층 및 실리콘 질화물 층(또는 실리콘 산질화물 층)이 전술한 바와 같은 프로세스(300)로부터 제조될 수 있고, 또는 실리콘 산화물 층 및 실리콘 질화물 층이 또한 게이트 절연 층(506)을 형성하기 위해서 이용된 전술한 프로세스로부터 형성될 수 있을 것이다. 수소 가스를 가지지 않는, 실리콘-계 가스 및 아르곤과 같은 불활성 가스를 가지는 가스 혼합물을 공급함으로써, 실리콘 산화물 및/또는 실리콘 질화물 층이 제조될 수 있을 것이다. 그 대신에, 부동태화 층이 단일 실리콘 산화물 층 또는 단일 실리콘 질화물 층일 수 있을 것이다.

[0049] 도 5b는 본원 발명의 일 실시예에 따라서 이용될 수 있는 금속 산화물 TFT 디바이스들(550)의 실시예를 도시한다. 금속 산화물 TFT 디바이스들(550)은, 활성 채널(508)의 재료가 상이하다는 것을 제외하고, 도 5a를 참조하여 전술한 LTPS TFT 디바이스들(500)과 유사한 구조를 가질 수 있을 것이다. 금속 산화물 TFT 디바이스들(550)은 금속 함유 층으로 제조된 활성 채널(530)을 포함한다. 금속 산화물 TFT 디바이스들(550) 내에 형성되는 활성 채널(530)의 적합한 예들이 InGaZnO, InGaZnON, ZnO, ZnON, ZnSnO, CdSnO, GaSnO, TiSnO, CuAlO, SrCuO, LaCuOS, GaN, InGaN, AlGaN 또는 InGaAIN, 등을 포함한다. 하나의 특별한 실시예에서, 활성 채널(530)이 InGaZnO(IGZO) 층이다. 유사하게, 게이트 절연 층(506) 및 부동태화 층(518)이 또한, 필요에 따라, 단일 층, 복합 층, 이중 층들, 복수 층들, 또는 그 층들의 다른 조합들의 형태일 수 있을 것이다. 하나의 예에서, 부동태화 층(518) 및 게이트 절연 층(506)이 실리콘 산화물 상에 배치된 실리콘 질화물 층을 가지는 이중 층일 수 있을 것이다.

[0050] 아르곤 희석 가스로부터 제조된 실질적으로 수소를 포함하지 않는 실리콘 산화물 층이 금속 산화물 TFT 디바이스 내에서 이용될 때, 금속 산화물 TFT 디바이스가 개선된 전기적 성능을 가질 수 있다. 예를 들어, V_{on} (턴온(turn on) 전압) 및 S 값(하위-문턱값 전압(sub-threshold voltage swing))가 모두 상당히 감소된다. 하나의 예에서, V_{on} 은 약 -5.5 V로부터 약 -0.25V로 감소된다. S 값은 0.7 V/decade로부터 0.4 V/decade로 감소된다. I_{on} (온-전류들(on-currents))이 3.3E-04로부터 1.4E-04 A로 감소된다. I_{off} (오프-전류들)이 4.8E-12 A로부터 1.4E-13 A로 감소된다. 이동도(Mobility)(Mo)가 약 $9.8 \text{ cm}^2/(\text{V} \cdot \text{s})$ 로부터 약 $9.9 \text{ cm}^2/(\text{V} \cdot \text{s})$ 로 증가된다.

[0051] 도 6은 본원 발명의 하나의 실시예에 따라서 이용될 수 있는 금속 산화물 TFT 디바이스들(600)의 실시예를 도시한다. 금속 산화물 TFT 디바이스들(600)이 도 5b를 참조하여 전술한 금속 산화물 TFT 디바이스들(550)과 유사한 구조를 가질 수 있을 것이다. 금속 산화물 TFT 디바이스들(600)이 또한 금속 함유 층으로부터 제조된 활성 채널(530)을 포함한다. 금속 산화물 TFT 디바이스들(600) 내에 형성된 활성 채널(530)의 적합한 예들에는 InGaZnO, InGaZnON, ZnO, ZnON, ZnSnO, CdSnO, GaSnO, TiSnO, CuAlO, SrCuO, LaCuOS, GaN, InGaN, AlGaN 또는 InGaAIN, 등이 포함된다. 부가적으로, 활성 채널(530)과 접촉하는 상부 인터페이스(540) 및 하부 인터페이스(542)가 수소를 실질적으로 가지지 않는 필름 성질을 가지도록 구성된다. 상부 인터페이스(540) 및 하부 인터페이스(542)는 수소가 없는 재료로 제조된다. 예를 들어, 하부 인터페이스(542)는 활성 채널(530)과 게이트 절연 층(506) 사이에 형성된다. 이러한 경우에, 도 5a-5b에서 설명된 TFT 디바이스들을 참조하여 전술한 바와 같

이, 실질적으로 수소를 포함하지 않는 실리콘 산화물 층을 형성하도록 게이트 절연 층(506)이 선택될 수 있을 것이다. 게이트 절연 층(506)이 이중 층으로서 구성되는 실시예에서, 게이트 절연 층(506)이 기판(502) 상에 배치된 실리콘 질화물 층 및 상기 활성 채널(530)과 접촉하도록 상기 실리콘 질화물 층 상에 배치되는 수소를 실질적으로 가지지 않는 실리콘 산화물 층을 가질 수 있을 것이다. 유사하게, 상부 인터페이스(540)가 활성 채널(530)과, 상기 소오스 및 드레인 채널(532)의 개구부에 의해서 형성된 부동태화 층(518) 사이에 형성된다. 또한, 도 5a-5b에서 설명된 TFT 디바이스들을 참조하여 전술한 바와 같이, 수소를 실질적으로 포함하지 않는 실리콘 산화물 층을 형성하도록 상부 인터페이스(540)가 선택될 수 있을 것이다. 부동태화 층(518)이 이중 층으로 구성되는 실시예에서, 부동태화 층(518)이 활성 채널(530)과 접촉하여 활성 채널(530) 위에 배치된 수소를 포함하지 않는 실리콘 산화물 층 및 수소를 포함하지 않는 상기 실리콘 산화물 층 상에 배치된 실리콘 질화물 층을 가질 수 있을 것이다.

[0052]

대안적으로, 부가적인 층들이 또한 인터페이스 보호 층들로서 상기 인터페이스들(542, 540)에 형성될 수 있을 것이다. 하나의 실시예에서, 인터페이스들이 수소를 실질적으로 가지지 않도록 유지하기 위해서, 인터페이스들(542, 540)에 형성되는 인터페이스 보호 층으로서 애칭 중단 층이 또한 이용될 수 있을 것이다. 유사하게, 하나의 예에서, 인터페이스 보호 층들이, 도 5a-5b에서 설명된 TFT 디바이스들을 참조하여 전술한 바와 같이, 수소를 실질적으로 포함하지 않는 실리콘 산화물 층들이다. 다른 예에서, 인터페이스 보호 층들이, 수소를 실질적으로 포함하지 않는(예를 들어, 최소 수소 함량을 가지는) TaN, TiN, WN, CuN, 및 임의의 다른 적합한 재료들과 같은, 금속 함유 유전체 층들이다.

[0053]

실질적으로 수소를 가지지 않는 인터페이스들(542, 540)을 활성 채널(530)과 접촉하도록 유지하는 것은 수소가 활성 채널을 공격할 가능성을 감소시킬 수 있을 것이고, 그에 의해서 금속 산화물 TFT 디바이스들(600)에 대한 전기적 성능을 개선하기 위한 높은 품질의 인터페이스를 획득할 수 있게 하는 것으로 믿어진다.

[0054]

본원에서 이용된 실리콘 질화물 층이 또한 당업계에서 이용가능한 임의의 다른 적합한 프로세스들 또는 기술들에 의해서 얻어질 수 있다는 것을 주목하여야 할 것이다.

[0055]

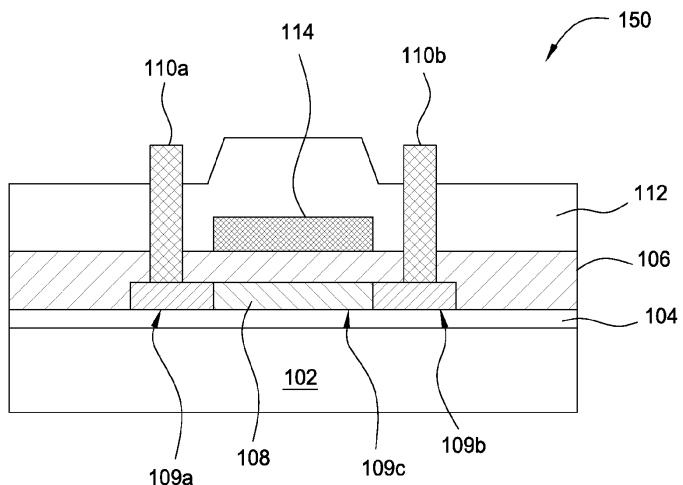
그에 따라, 여기에서 개시된 방법들은, 디바이스 성능 개선을 위해서 실리콘 함유 층의 수소 함량을 최소화함으로써, 전기 디바이스들의 전자 이동도, 안정성 및 균일성을 유리하게 개선한다.

[0056]

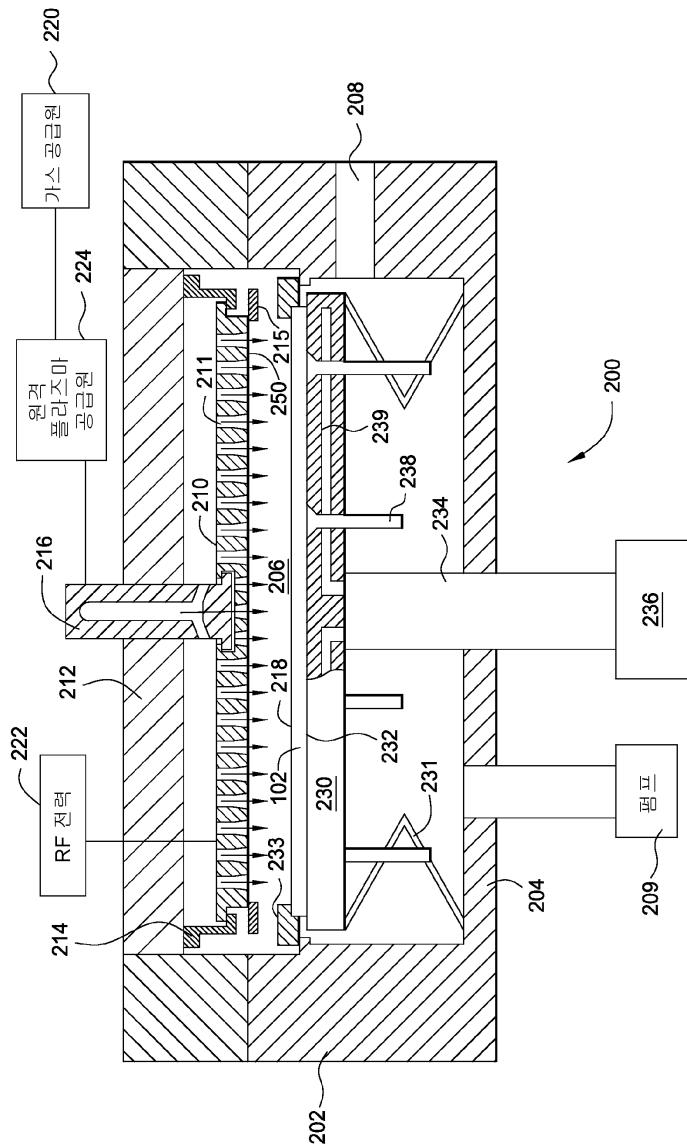
전술한 내용들이 본원 발명의 실시예들에 관한 것이지만, 본원 발명의 다른 그리고 추가적인 실시예들이 본원 발명의 기본적인 범위로부터 벗어나지 않고도 안출될 수 있을 것이고, 본원 발명의 범위는 이하의 청구항들에 의해서 결정된다.

도면

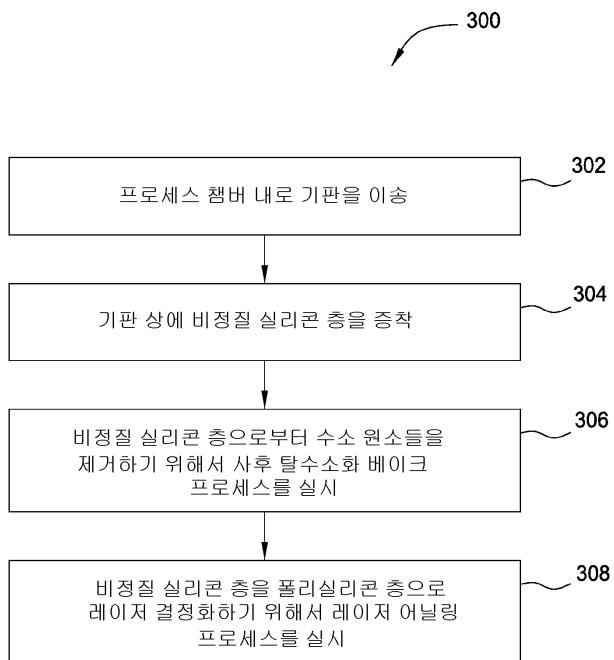
도면1



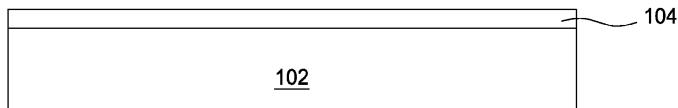
도면2



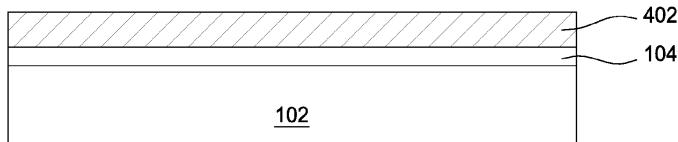
도면3



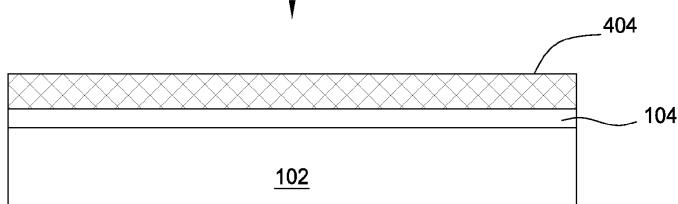
도면4a



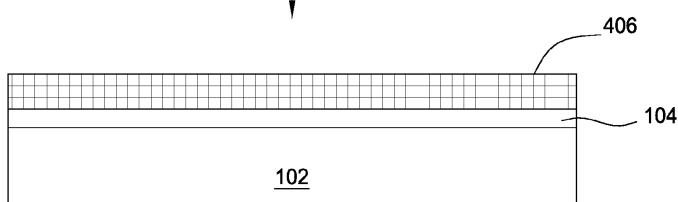
도 4a



도 4b

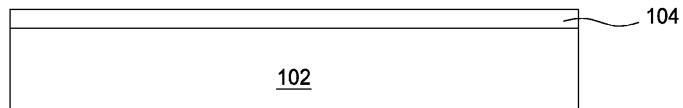


도 4c

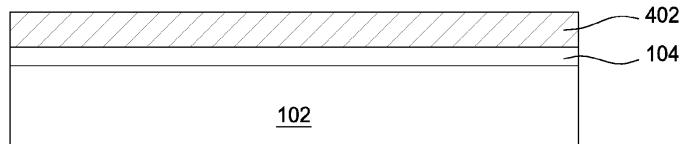


도 4d

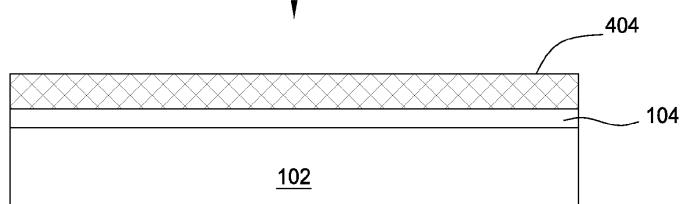
도면4b



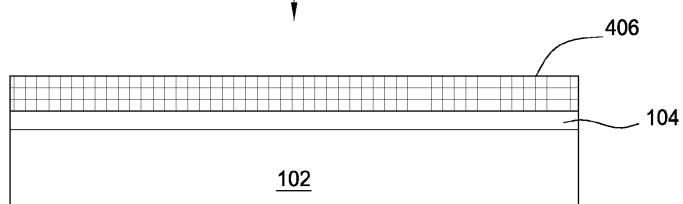
도 4a



도 4b

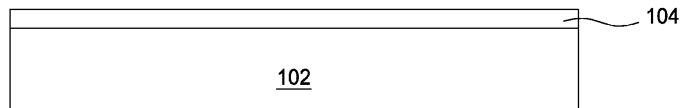


도 4c

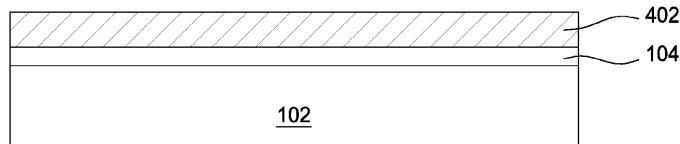


도 4d

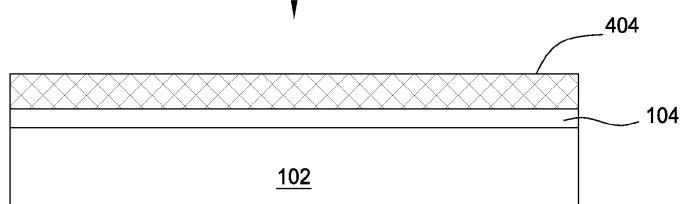
도면4c



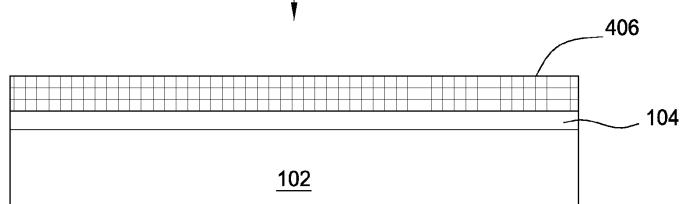
도 4a



도 4b

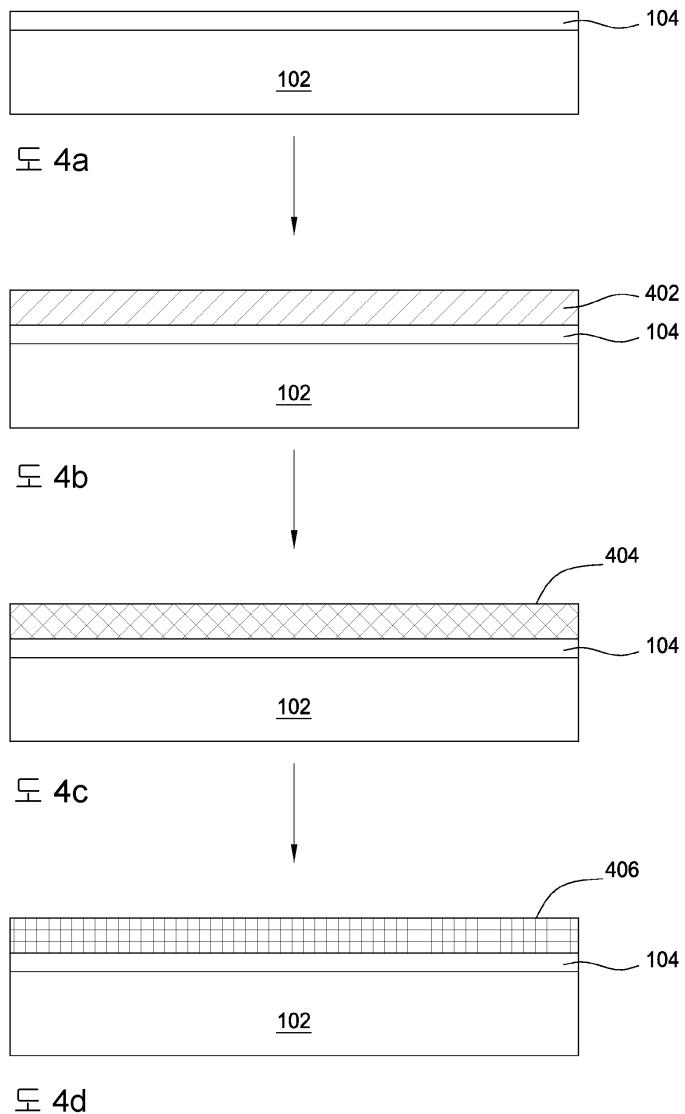


도 4c

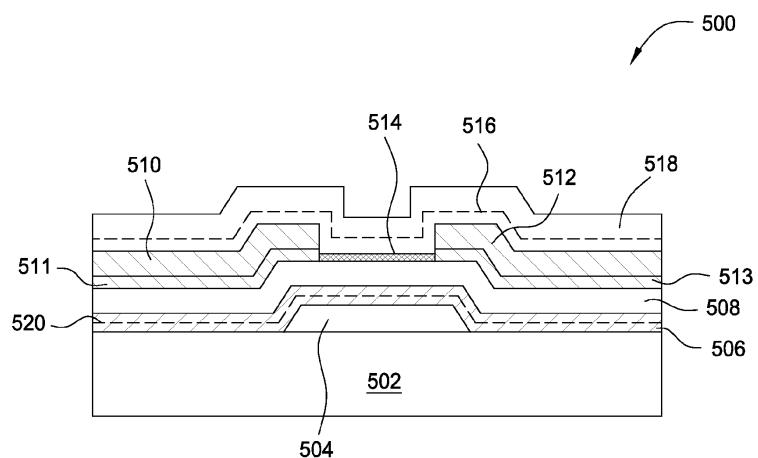


도 4d

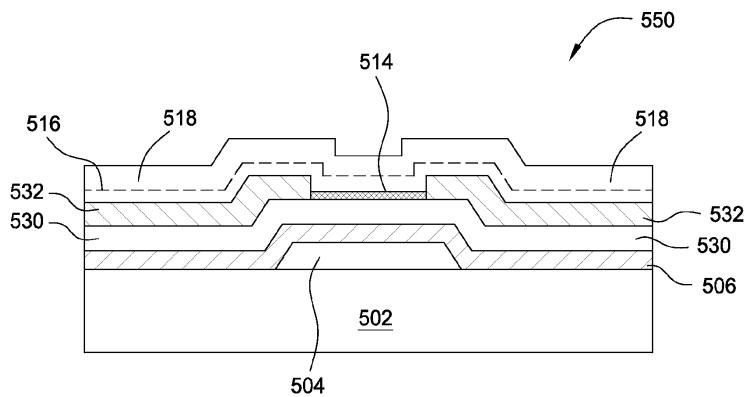
도면4d



도면5a



도면5b



도면6

