(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4596749号
(P4596749)
(45)発行日　平成22年12月15日(2010.12.15)　(24)登録日　平成22年10月1日(2010.10.1)

(51)Int.Cl.　F I
H01L 29/732 (2006.01)　H01L 29/72　P
H01L 21/331 (2006.01)

請求項の数 9　(全 14 頁)

(21)出願番号　特願2003-153162(P2003-153162)
(22)出願日　平成15年5月29日(2003.5.29)
(65)公開番号　特開2004-356435(P2004-356435A)
(43)公開日　平成16年12月16日(2004.12.16)
審査請求日　平成18年4月18日(2006.4.18)

(73)特許権者　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(74)代理人　100131071
弁理士　▲角▼谷　浩
(72)発明者　東條　潤一郎
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

審査官　小森　重樹

最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【特許請求の範囲】
【請求項１】
一導電型の高濃度半導体基板と、
前記半導体基板上に設けた一導電型のコレクタ領域と、
前記コレクタ領域上に複数の島状に設けた逆導電型の第１のベース領域と、
前記複数の第１のベース領域表面に渡って、該第１のベース領域よりも浅く設けられた第２のベース領域と、
前記第１のベース領域と交互に設けた一導電型のエミッタ領域と、
前記エミッタ領域下方で該エミッタ領域に対応して設けられた埋込み層とを具備し、前記埋込み層の上部は、前記第１のベース領域の底部よりも上方にあることを特徴とする半導体装置。
【請求項２】
前記埋込み層は前記コレクタ領域および前記基板に埋込まれ、該基板と同程度の不純物濃度を有することを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記第１のベース領域は、前記第２のベース領域の周辺部および第２のベース領域の取り出しとなるベース電極とのコンタクト部分に設けられることを特徴とする請求項１に記載の半導体装置。
【請求項４】
一導電型の高濃度半導体基板上に、内部に高濃度の一導電型の埋込み層を複数有する一

導電型のコレクタ領域を形成する工程と、
前記コレクタ領域表面に前記埋込み層と交互に配置される複数の逆導電型の第１のベース領域を形成する工程と、
前記複数の第１のベース領域表面に渡る逆導電型の第２のベース領域を形成する工程と、
前記埋込み層上方の前記第２のベース領域表面に前記埋込み層と対応する一導電型のエミッタ領域を形成する工程と、
前記エミッタ領域、前記第１および第２のベース領域、および前記コレクタ領域にコンタクトするエミッタ電極、ベース電極、およびコレクタ電極を形成する工程とを具備し、前記埋込み層の上部は、前記第２のベース領域底部よりも深く、前記第１のベース領域底部よりも浅く形成されることを特徴とする半導体装置の製造方法。
【請求項５】
一導電型の高濃度半導体基板上に第１の一導電型エピタキシャル層を形成する工程と、
前記第１の一導電型エピタキシャル層表面に高濃度一導電型不純物を導入する工程と、
前記第１の一導電型エピタキシャル層上に第２の一導電型エピタキシャル層を形成してコレクタ領域を形成するとともに前記高濃度一導電型不純物を拡散して複数の埋込み層を形成する工程と、
前記コレクタ領域表面に逆導電型の不純物を拡散して前記埋込み層と交互に配置される複数の島状の第１のベース領域を形成する工程と、
前記コレクタ領域表面に逆導電型の不純物を拡散して前記複数の第１のベース領域表面にわたる逆導電型の第２のベース領域を形成する工程と、
前記埋込み層上方の前記第２のベース領域表面に前記埋込み層と対応する一導電型のエミッタ領域を形成する工程と、
前記エミッタ領域、前記第１および第２のベース領域、および前記コレクタ領域にコンタクトするエミッタ電極、ベース電極、およびコレクタ電極を形成する工程とを具備し、前記埋込み層の上部は、前記第２のベース領域底部よりも深く、前記第１のベース領域底部よりも浅く形成されることを特徴とする半導体装置の製造方法。
【請求項６】
前記第１の一導電型エピタキシャル層は、少なくとも、前記高濃度半導体基板から前記第１の一導電型エピタキシャル層へのオートドーピングが抑制できる程度の膜厚に形成することを特徴とする請求項５に記載の半導体装置の製造方法。
【請求項７】
前記第１の一導電型エピタキシャル層と前記第２の一導電型エピタキシャル層は同程度の不純物濃度を有することを特徴とする請求項５に記載の半導体装置の製造方法。
【請求項８】
前記埋込み層を形成する一導電型不純物の注入領域の幅は、前記エミッタ領域の注入領域の幅よりも小さいことを特徴とする請求項５に記載の半導体装置の製造方法。
【請求項９】
前記埋込み層と前記高濃度半導体基板は同程度の不純物濃度を有することを特徴とする請求項４または請求項５のいずれかに記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体装置およびその製造方法に係り、特に耐圧の確保とコレクターエミッタ間飽和電圧の低減を両立できる半導体装置およびその製造方法に関する。
【０００２】
【従来の技術】
現在、携帯機器用のトランジスタとして、コレクターエミッタ端子間電圧（飽和電圧）を低減した、低飽和電圧バイポーラトランジスタ（以下低飽和トランジスタと称する）が多く使用される。

【０００３】
図７および図８を参照して従来の半導体装置を、マルチベース構造のＮＰＮ型トランジスタを例に示す。
【０００４】
図７は、ＮＰＮ型トランジスタの断面構造である。
【０００５】
Ｎ＋型シリコン半導体基板２１上に、コレクタ領域２２となるN型エピタキシャル層が積層される。コレクタ領域２２表面にはP型不純物拡散領域であるベース領域２６を設け、ベース領域２６表面には、ベース電極の取り出しがマルチアイランド状になるようにＮ$^+$型のメッシュ状のエミッタ領域２７が形成される。
【０００６】
更に、ベース領域２６、エミッタ領域２７にはベース電極２９、エミッタ電極３０がコンタクトし、基板裏面にはコレクタ電極３１を設ける。
【０００７】
図８に従来のＮＰＮ型トランジスタの製造方法の一例を示す。
【０００８】
図８（Ａ）の如く、Ｎ＋型シリコン半導体基板２１上にN型エピタキシャル層２２を形成し、コレクタ領域２２とする。コレクタ領域２２の厚みはエピタキシャル成長のガス流量及び時間をコントロールして所定の厚みに形成する。その後、全面に最初の熱酸化膜２４を形成する。次に既知のフォトリソグラフィ工程により熱酸化膜２４の所定のベース領域部分を開口する。全面にＰ型不純物を注入後、アニール処理により不純物イオンを拡散させてベース領域２６を形成する。
【０００９】
更に、図８（Ｂ）の如く、既知のフォトリソグラフィ工程により、熱酸化膜２４の所定のエミッタ領域部分を開口し、Ｎ$^+$型イオンをデポジットする。その後Ｎ$^+$型イオンをアニール処理により拡散してエミッタ領域２７を形成する。
【００１０】
更に、熱酸化膜２４の所定のベース領域２６、エミッタ領域２７部分にコンタクト孔を設け、ベース電極２９、エミッタ電極３０を形成する。また、裏面にコレクタ電極３１を形成し、図７に示す最終構造を得る。
【００１１】
このように、従来の低飽和トランジスタは、ベース領域２６およびエミッタ領域２７を細分化したセル構造で、これによりエミッタ周辺長を稼いで飽和電圧の低減を図っている（例えば非特許文献１参照。）。
【００１２】
【非特許文献１】
赤木修、他３名、「新世代低飽和トランジスタ」、三洋電機技報、三洋電機株式会社、平成１４年６月、ＶＯＬ.３４、Ｎｏ.１、ｐ.６８－ｐ６９
【００１３】
【発明が解決しようとする課題】
上記のトランジスタのスイッチングスピードを向上させるには、ライフタイムキラーとなるＰｔやＡｕを半導体素子領域形成後に半導体基板裏面から導入する手法が知られている。また、ベース領域２６を浅く形成することによりエミッタ領域２７とベース領域２６の間の距離（ベース幅（ＷＢ））を狭くする方法も一般的である。
【００１４】
しかし、ライフタイムキラーとなるＡｕ、Ｐｔ等の重金属は、結晶欠陥と同様に再結合中心を形成するためリーク電流を増加させることになる。また拡散領域であるベース領域２６を浅く形成すると、その曲率半径が低下することになり、コレクタ領域２２の耐圧が低下してしまう。そこで、この場合は、コレクタ領域２２の不純物濃度を低くすることで耐圧を維持する必要がある。しかし、コレクタ領域２２の不純物濃度が低濃度であると高抵

抗となるため、コレクタ領域２２の抵抗が大きく寄与するコレクターエミッタ間飽和電圧（$V_{CE(sat)}$）が増加してしまう問題がある。

【００１５】

【課題を解決するための手段】

本発明は上述した種々の問題点に鑑みてなされたものであり、第１に、一導電型の半導体基板と、前記半導体基板上に設けた一導電型のコレクタ領域と、前記コレクタ領域上に複数の島状に設けた逆導電型の第１のベース領域と、前記複数の第１のベース領域表面に渡って、該第１のベース領域よりも浅く設けられた第２のベース領域と、前記第１のベース領域と交互に設けた一導電型のエミッタ領域とを具備することにより解決するものである。

【００１６】

第２に、一導電型の高濃度半導体基板と、前記半導体基板上に設けた一導電型のコレクタ領域と、前記コレクタ領域上に複数の島状に設けた逆導電型の第１のベース領域と、前記複数の第１のベース領域表面に渡って、該第１のベース領域よりも浅く設けられた第２のベース領域と、前記第１のベース領域と交互に設けた一導電型のエミッタ領域と、前記エミッタ領域下方で該エミッタ領域に対応して設けられた埋込み層とを具備することにより解決するものである。

【００１７】

また、前記埋込み層の上部は、前記第１のベース領域の底部よりも上方にあることを特徴とするものである。

【００１８】

また、前記埋込み層の上部は、前記第２のベース領域の底部よりも下方にあることを特徴とするものである。

【００１９】

また、前記埋込み層は前記コレクタ領域および前記基板に埋込まれ、該基板と同程度の不純物濃度を有することを特徴とするものである。

【００２０】

また、前記第１のベース領域は、前記第２のベース領域の周辺部および第２のベース領域の取り出しとなるベース電極とのコンタクト部分に設けられることを特徴とするものである。

【００２１】

第３に、一導電型の高濃度半導体基板上に、内部に高濃度の一導電型の埋込み層を複数有する一導電型のコレクタ領域を形成する工程と、前記コレクタ領域表面に前記埋込み層と交互に配置される複数の逆導電型の第１のベース領域を形成する工程と、前記複数の第１のベース領域表面に渡る逆導電型の第２のベース領域を形成する工程と、前記埋込み層上方の前記第２のベース領域表面に前記埋込み層と対応する一導電型のエミッタ領域を形成する工程と、前記エミッタ領域、前記第１および第２のベース領域、および前記コレクタ領域にコンタクトするエミッタ電極、ベース電極、およびコレクタ電極を形成する工程とを具備することにより解決するものである。

【００２２】

第４に、一導電型の高濃度半導体基板上に第１の一導電型エピタキシャル層を形成する工程と、前記第１の一導電型エピタキシャル層表面に高濃度一導電型不純物を導入する工程と、前記第１の一導電型エピタキシャル層上に第２の一導電型エピタキシャル層を形成してコレクタ領域を形成するとともに前記高濃度一導電型不純物を拡散して複数の埋込み層を形成する工程と、前記コレクタ領域表面に逆導電型の不純物を拡散して前記埋込み層と交互に配置される複数の島状の第１のベース領域を形成する工程と、前記コレクタ領域表面に逆導電型の不純物を拡散して前記複数の第１のベース領域表面にわたる逆導電型の第２のベース領域を形成する工程と、前記埋込み層上方の前記第２のベース領域表面に前記埋込み層と対応する一導電型のエミッタ領域を形成する工程と、前記エミッタ領域、前記第１および第２のベース領域、および前記コレクタ領域にコンタクトするエミッタ電極、

ベース電極、およびコレクタ電極を形成する工程とを具備することにより解決するものである。

【００２３】

また、前記第１の一導電型エピタキシャル層は、少なくとも、前記高濃度半導体基板から前記第１の一導電型エピタキシャル層へのオートドーピングが抑制できる程度の膜厚に形成することを特徴とするものである。

【００２４】

また、前記第１の一導電型エピタキシャル層と前記第２の一導電型エピタキシャル層は同程度の不純物濃度を有することを特徴とするものである。

【００２５】

また、前記一導電型不純物の注入領域の幅は、前記エミッタ領域の注入領域の幅よりも小さいことを特徴とするものである。

【００２６】

また、前記埋込み層の上部は、前記第２のベース領域底部よりも深く、前記第１のベース領域底部よりも浅く形成されることを特徴とするものである。

【００２７】

また、前記埋込み層と前記高濃度半導体基板は同程度の不純物濃度を有することを特徴とするものである。

【００２８】

【発明の実施の形態】

図１から図６を参照して本発明の実施の形態を、ＮＰＮ型のマルチベース構造のバイポーラトランジスタを例に詳述する。

【００２９】

図１は本発明の第１の実施形態である半導体装置の構造を示す。図１（Ａ）は平面図であり、酸化膜および電極は省略してある。図１（Ｂ）は図１（Ａ）のＡ－Ａ線断面図である。

【００３０】

ＮＰＮ型バイポーラトランジスタは、半導体基板１と、コレクタ領域２と、第１ベース領域５と、第２ベース領域６と、エミッタ領域７と、ベース電極９と、エミッタ電極１０と、コレクタ電極１１とから構成される。

【００３１】

半導体基板１は、コレクタ領域２より高濃度のＮ＋型半導体基板であり、その上にＮ型エピタキシャル層を成長させてコレクタ領域２とする。半導体基板１のＮ型不純物濃度は10^{18}～$10^{20}$$cm^{-3}$程度であり、コレクタ領域２のＮ型不純物濃度は、$10^{14}$～$10^{15}$$cm^{-3}$程度である。

【００３２】

コレクタ領域２の厚みは、必要耐圧によって決定するが、本実施形態においては例えば６μｍ～３０μｍ程度とする。ここで、コレクタ領域２の厚みとは、エピタキシャル層表面からの距離とする。

【００３３】

第１ベース領域５は、コレクタ領域２表面に設けたP型不純物拡散領域である。基板表面から例えば５μｍ程度の深さで、マルチアイランド状に複数設けられる。エミッタ領域７と交互になるように、ベース電極９とのコンタクト部分および第２ベース領域６の周端部に配置し、第２ベース領域６周端部では、第１ベース領域５がはみ出すように設ける。また、第１ベース領域５の表面付近の一部は第２ベース領域６と重畳する。第１ベース領域５表面の不純物濃度は、1×10^{19}～$1\times10^{20}$$cm^{-3}$程度である。

【００３４】

第２ベース領域６は、コレクタ領域２表面で、複数の第１ベース領域表面に渡って設けられた１つのＰ型拡散領域である。第２ベース領域６表面の不純物濃度は、1×10^{18}～$1\times10^{19}$$cm^{-3}$程度であり、その拡散深さは、例えば２μｍ程度である。第２ベー

ス領域６表面には、ベース電極の取り出しがマルチアイランド状になるようにＮ＋型不純物を拡散してメッシュ状のエミッタ領域７を形成する。スイッチングスピードに影響するベース幅ＷＢは、エミッタ領域７底部から第２ベース領域６底部までの距離となる。

【００３５】

尚、第１ベース領域５および第２ベース領域６の不純物濃度および形成深さは、一例であり、必要耐圧により所望の値にする。

【００３６】

更に、第１および第２ベース領域５、６とコンタクトするベース電極９およびエミッタ領域７とコンタクトするエミッタ電極１０を設け、裏面にはコレクタ電極１１を設ける。

【００３７】

本実施形態においては、第２ベース領域６により、スイッチングスピードの向上に寄与するエミッタ領域７直下のベース幅ＷＢを狭めることができ、且つ、第１ベース領域５によりベース曲率半径を大きくすることができる。第１ベース領域５は、第２ベース領域周端部と、エミッタ領域７間に設けられており、これら複数の第１ベース領域５の曲率が大きくなるために、ここで耐圧を確保することができる。

【００３８】

また、いわゆるグラフトベース構造となる第１のベース領域５を複数設けることにより、第２ベース領域６内で均等に電流が流れ、内部の部分でのベース－コレクタ間の抵抗分をより低く、すなわち$V_{CE(sat)}$を低くできる。

【００３９】

従来はベース領域は１つの領域であったため、ベース幅ＷＢと曲率半径（拡散深さ）が両立できなかった。つまり、スイッチングスピードを向上すると耐圧が確保できず、またスイッチングスピードを向上し、且つ耐圧も維持すると$V_{CE(sat)}$が増大してしまう問題があった。

【００４０】

しかし、本実施形態に依れば、第２ベース領域はスイッチングスピードのみを考慮してその深さをコントロールすれば良い。つまり、従来と同程度のコレクタ領域２の不純物濃度で、従来と同程度の耐圧を確保しつつ、スイッチングスピードを向上させることができる。

【００４１】

また、ベース電極９は、第１ベース領域５および第２ベース領域６が重畳した部分にコンタクトできるため、ベースの取り出し抵抗をより低減することができる。

【００４２】

次に、図２から図６を用いて本発明の第２の実施形態を説明する。図２は、第２の実施形態の構造を示す断面図であり、平面図は図１（Ａ）と同様である。また、第２の実施形態は、第１の実施形態のコレクタ領域に、複数の埋込み層３ｂを設けるものである。それ以外の構成要素に付いては、第１の実施形態と同様であるので、詳細な説明は省略する。

【００４３】

すなわち、ＮＰＮ型バイポーラトランジスタは、半導体基板１と、コレクタ領域２と、第１ベース領域５と、第２ベース領域６と、埋込み層３ｂと、エミッタ領域７と、ベース電極９と、エミッタ電極１０と、コレクタ電極１１とから構成される。

【００４４】

半導体基板１は、コレクタ領域２より高濃度のＮ＋型半導体基板である。Ｎ＋型基板１上にＮ型エピタキシャル層を成長させ、コレクタ領域２とする。コレクタ層表面には第１ベース領域５および第２ベース領域６を設ける。

【００４５】

第１ベース領域５は、基板表面から例えば５μｍ程度の深さで、マルチアイランド状に複数設けられる。エミッタ領域７と交互になるように、ベース電極９とのコンタクト部分および第２ベース領域６の周端部に配置する。

【００４６】

第２ベース領域６は、コレクタ領域２表面で、複数の第１ベース領域表面に渡って設けられる。また、第２ベース領域６表面の拡散深さは、例えば２μｍ程度であり、第２ベース領域表面にはベース電極の取り出しがマルチアイランド状になるようにメッシュ状にN＋型不純物を拡散してエミッタ領域７を形成する。

【００４７】

埋込み層３ｂは、コレクタ領域２およびＮ＋型基板１内に埋込まれたＮ＋型領域である。基板１と同程度の不純物濃度を有し、エピタキシャル層であるコレクタ領域２と基板１との界面付近からＮ＋型不純物を上下に拡散して形成した領域である。この埋込み層３ｂにより、実質的に基板１が凸部を有する形状となる。埋込み層３ｂは複数のエミッタ領域７と対応してそのほぼ直下に設けられ、第１ベース領域５とは交互に配置される。つまり、エミッタ領域７下方のコレクタ領域２は、埋込み層３ｂにより、その厚みが実質薄くなっており、コレクタ領域２の抵抗を低減することができる。

【００４８】

所定の耐圧を確保するためには、深い第１ベース領域５の形成が効果的であり、その深さに合わせたコレクタ領域２厚みが必要である。特に、例えば５０V以上などの高耐圧系の装置では、コレクタ領域２となるエピタキシャル層の比抵抗が高く、あるいは膜厚が厚いので、浅い第２ベース領域６下方ではコレクタ抵抗を増やしてしまう恐れもある。

【００４９】

しかし、本実施形態によれば、エミッタ領域７下方にのみ埋込み層３ｂを設けることにより、第２ベース領域６から埋込み層３ｂまでの実質的なコレクタ領域２の厚みが薄くでき、より$V_{CE(sat)}$を低減することができる。

【００５０】

尚、耐圧を確保し、エミッタ領域７下方のコレクタ領域２の厚みを低減するためには、埋込み層３ｂは、その上部が第１ベース領域５底部よりも上方に位置するように形成すると良い。当然ながら、埋込み層３ｂ上部は、第２ベース領域６には達しないよう、第２ベース領域６底部と離間して下方に設ける。

【００５１】

更に、埋込み層３ｂは、第１ベース領域５と交互に配置するが、隣り合う第１ベース領域５からの空乏層が十分広がる距離で離間して配置する。

【００５２】

次に、図３から図６を用いて、第２の実施形態の半導体装置の製造方法を説明する。

【００５３】

第２の実施形態の半導体装置の製造方法は、一導電型の高濃度半導体基板上に第１の一導電型エピタキシャル層を形成する工程と、前記第１の一導電型エピタキシャル層表面に高濃度一導電型不純物を導入する工程と、前記第１の一導電型エピタキシャル層上に第２の一導電型エピタキシャル層を形成してコレクタ領域を形成するとともに前記高濃度一導電型不純物を拡散して複数の埋込み層を形成する工程と、前記コレクタ領域表面に逆導電型の不純物を拡散して前記埋込み層と交互に配置される複数の島状の第１のベース領域を形成する工程と、前記コレクタ領域表面に逆導電型の不純物を拡散して前記複数の第１のベース領域表面にわたる逆導電型の第２のベース領域を形成する工程と、前記埋込み層上方の前記第２のベース領域表面に前記埋込み層と対応する一導電型のエミッタ領域を形成する工程と、前記エミッタ領域、前記第１および第２のベース領域、および前記コレクタ領域にコンタクトするエミッタ電極、ベース電極、およびコレクタ電極とを形成する工程とから構成される。

【００５４】

第１工程（図３（Ａ）参照）：一導電型の高濃度半導体基板上に第１の一導電型エピタキシャル層を形成する工程。

【００５５】

まず、高濃度の半導体基板１を準備する。Ｎ＋型基板１は、例えば2×10^{18}～$5\times10^{18}cm^{-3}$程度の不純物濃度のアンチモン（Ｓｂ）や、1×10^{19}～3.5×10

10^{19}ｃｍ$^{-3}$程度の不純物濃度のヒ素（Ａｓ）がドープされた基板である。

【００５６】

このＮ＋型基板１表面に、第１のＮ型エピタキシャル層２ａを薄い膜厚で成長させる。これは、Ｎ＋型基板１と所望の段差を有する埋込み層３ｂを形成するために必要となる低濃度の領域である。本実施形態においては、埋込み層３ｂによりＮ＋型基板１を実質凸形状にすることで、エピタキシャル層２（２ｂ）の膜厚を部分的に薄くし、コレクタ領域の抵抗を低減する。つまり、埋込み層３ｂ上部と基板１との間には、所定の段差を形成する必要があり、そのために、埋込み層３ｂとなる高濃度不純物をドーピングする低濃度領域を形成するものである。

【００５７】

例えば、集積回路装置においては、一般的に低濃度の基板表面に不純物をドーピングし、その後基板上にエピタキシャル層を成長させると共に、埋込み層を形成する方法を採用する。しかし、本実施形態の如く、基板１の不純物濃度が高い場合には、その基板１に高濃度不純物をドーピングして上方拡散を行っても、埋込み層が部分的に凸形状となる所望の段差が得られない恐れがある。

【００５８】

また、エピタキシャル層２形成後に、基板１とエピタキシャル層２の界面にイオン注入を行って埋込み層を形成する方法では、高加速のイオン注入装置を用いる必要があり、装置の制約が大きい。更に、深い第１ベース領域５によりベースの曲率を緩和して耐圧を確保するため、エピタキシャル層２はこれに応じた厚みになっており、この様な場合は高加速のイオン注入装置であってもコントロールが困難である。

【００５９】

そこで、Ｎ＋型基板１上に低濃度の領域である第１のエピタキシャル層２ａを形成し、そこに高濃度不純物をドーピングする。これにより、後の工程で、Ｎ＋型基板１と所望の段差を有する埋込み層３ｂが形成できる。

【００６０】

即ち、第１のエピタキシャル層２ａの膜厚は、最低限、不純物が導入できる程度の薄いものでよい。しかし、後に詳述するが、以降の工程における熱処理により、Ｎ＋型基板１から第１のＮ型エピタキシャル層２ａへのオートドーピングが起こるので、少なくともそのオートドーピングを抑制できる程度の膜厚に形成するとよい。つまり、熱処理工程において、Ｎ＋型基板１から、第１のＮ型エピタキシャル層２ａへの這い上がり分を考慮した膜厚以上に形成する。

【００６１】

また、第１エピタキシャル層２ａが必要以上に厚いと埋込み層３ｂ用の高濃度不純物３ａが下方に拡散しても、高濃度シリコン基板１に達せず、埋込み層３ｂと高濃度シリコン基板１の間に不純物濃度の低いエピタキシャル層２ａが配置されることになる。つまり、第１のエピタキシャル層２ａの膜厚は、這い上がり分を考慮した程度の膜厚で十分であり、２μｍ～２．５μｍ程度が好適である。尚、第１のＮ型エピタキシャル層２ａの不純物濃度は、必要耐圧に応じて適宜選択する。

【００６２】

第２工程（図３（Ｂ）参照）：第１の一導電型エピタキシャル層表面に高濃度一導電型不純物を導入する工程。

【００６３】

第１のＮ型エピタキシャル層２ａの表面を酸化膜等でマスキングし、所望の位置を開口して、埋込み層３ｂ形成用の高濃度不純物３ａをドーピングする。この高濃度不純物３ａは、基板１と同じＮ＋型の例えばリン（Ｐ）またはヒ素（Ａｓ）である。イオン注入の条件は、通常のイオン注入装置で実施可能な例えば加速電圧１００ｋｅＶ、ドーズ量1×10^{16}ｃｍ$^{-2}$程度である。また、ＰＯＣｌ３のデポジションによりリンをドープしても良いし、アンチモン含有の液体ソースの塗布によりアンチモン（Ｓｂ）をドープしても良い。

【００６４】
尚、この高濃度不純物３ａは、後の工程で上下に大きく拡散させる。拡散は横方向へも進むため、注入領域の幅Ｗ１が大きいと、更に後の工程で形成する第１ベース領域５と接触して好ましくない。つまり、高濃度不純物３ａの注入領域の幅Ｗ１は、後に形成するエミッタ領域７の不純物注入領域の幅（図６（Ａ）Ｗ２）よりも狭くし、横方向に拡散しても第１ベース領域５と接触しないように、また、第１ベース領域５からの空乏層が十分に広がる距離で離間するようなパターンで形成する。一例であるが、エミッタ領域７幅Ｗ２が２０μｍ程度で第1ベース領域５深さが５μｍ程度の場合、リン（Ｐ）であればその幅Ｗ１は８μｍ～１０μｍ程度、ヒ素（Ａｓ）やアンチモン（Ｓｂ）であれば１４μｍ～１６μｍ程度などである。
【００６５】
本実施形態では上記の如く、通常のイオン注入条件または、デポジションにより埋込み層用の不純物がドーピングできる。これにより後に詳述するが、高濃度基板１を有するデバイスにおいて、高加速イオン注入装置を用いなくても、高濃度基板１と所望の段差を有する埋込み層３ｂが形成できる。
【００６６】
第３工程（図３（Ｃ）参照）：第１の一導電型エピタキシャル層上に第２の一導電型エピタキシャル層を形成してコレクタ領域を形成するとともに高濃度一導電型不純物を拡散して複数の埋込み層を形成する工程。
【００６７】
第１のＮ型エピタキシャル層２ａ上に、同程度の不純物濃度を有する第２のＮ型エピタキシャル層２ｂを成長させてコレクタ領域２を形成する。第２のＮ型エピタキシャル層２ｂは、所望の耐圧を確保できる厚みで例えば６μｍ～３０μｍ程度である。このとき、前述の如く、第１のＮ型エピタキシャル層２ａが、基板からの這い上がりを考慮した厚みに形成されており、基板１からのオートドーピングは実質第１のＮ型エピタキシャル層２ａで抑制され、第２のエピタキシャル層２ｂへの影響はほとんどないと考えて良い。すなわち、第１のエピタキシャル層２ａを所定の膜厚（２．０μｍ～２．５μｍ）に形成することにより、コレクタ領域２の耐圧は第２のエピタキシャル層２ｂの不純物濃度と厚みにより、高精度にコントロールできる。
【００６８】
第２のエピタキシャル層２ｂの形成と同時に、高濃度不純物３ａは上下に拡散し、下方では高濃度基板１と接し、上方は、第２のエピタキシャル層２ｂ中に拡散する。これにより、基板１と所定の段差を有する埋込み層３ｂが形成され、基板１は実質凸形状となる。一方第２のエピタキシャル層２ｂには、部分的に浅い領域と当初の厚みが残る領域とが形成される。
【００６９】
第２の実施形態で示した方法で埋込み層３ｂを形成することにより、通常のイオン注入装置または通常のデポジションによる不純物ドーピングで、深い位置に埋込み層３ｂが形成できる。つまり、高濃度基板１を有するディスクリートの素子で、且つエピタキシャル層２が厚い素子であっても、イオン注入装置の制約を受けずに、基板１と所望の段差を有する埋込み層３ｂが形成できるものである。
【００７０】
この埋込み層３ｂにより、基板１に凸形状の領域が形成され、エミッタ領域７の下方では、実質エピタキシャル層２の厚みが薄くなり、第１ベース領域５の下方では、当初のエピタキシャル層２の厚みが保持される。
【００７１】
第４工程（図４参照）：コレクタ領域表面に逆導電型の不純物を拡散して埋込み層と交互に配置される複数の島状の第１のベース領域を形成する工程。
【００７２】
全面に酸化膜４を設け、ベース電極とのコンタクト部、および第２ベース領域６の周端部

を複数開口し、Ｐ型不純物をイオン注入する（図４（Ａ））。その後熱処理により不純物を拡散して、マルチアイランド状の第１ベース領域５を形成する。このときの第１ベース領域５表面の不純物濃度は、例えば1×10^{19}～$1\times10^{20}cm^{-3}$程度となるようにする。また、第１ベース領域５と埋込み層３ｂは交互に配置され、第１ベース領域５の底部が、埋込み層３ｂ上部よりも下方に位置するような条件で拡散する。具体的には、第１ベース領域５は５μｍ程度の深さに形成する（図４（Ｂ））。

【００７３】

第５工程（図５参照）：コレクタ領域表面に逆導電型の不純物を拡散して複数の第１のベース領域表面にわたる逆導電型の第２のベース領域を形成する工程。

【００７４】

コレクタ領域２表面の酸化膜４を開口し、複数の第１ベース領域５に渡るＰ型不純物をイオン注入し、熱処理により拡散する。第２ベース領域６は浅い拡散でよく、例えば２μｍ程度となる条件で形成する。これにより、マルチアイランド状の第１ベース領域５をほぼ覆う第２ベース領域６が形成される。第２ベース領域６の周端部と、隣り合うエミッタ領域の間に深い第１ベース領域５が配置される。

【００７５】

第６工程（図６参照）：埋込み層上方の第２のベース領域表面に埋込み層と対応する一導電型のエミッタ領域を形成する工程。

【００７６】

埋込み層３ｂの上方に、埋込み層３ｂと対応したメッシュ状のエミッタ領域を形成するために、Ｎ＋型不純物をイオン注入する。この注入領域の幅Ｗ２は、前述の如く、埋込み層３ｂ形成の不純物イオンの注入領域Ｗ１の幅を決定するものである（図６（Ａ））。

【００７７】

その後、熱処理により不純物を拡散してエミッタ領域７を形成する。エミッタ領域７は、第１ベース領域５と交互になるように配置される。このエミッタ領域７底部から、第２ベース領域底部までがベース幅ＷＢとなる。本実施形態では、第１ベース領域５により耐圧が確保できるので、第２ベース領域６はスイッチングスピードのみを考慮すればよく、ベース幅ＷＢを極めて薄く形成することができる（図６（Ｂ））。

【００７８】

第７工程（図２参照）：エミッタ領域および第１、第２のベース領域およびコレクタ領域にコンタクトするエミッタ電極、ベース電極およびコレクタ電極とを形成する工程。

【００７９】

更に、全面に絶縁膜を形成後、第１および第２ベース領域５、６およびエミッタ領域７とのコンタクトを開口し、第１および第２ベース領域５、６にコンタクトするベース電極９、エミッタ領域７にコンタクトするエミッタ電極１０をそれぞれ形成し、裏面にはコレクタ電極１１を形成して最終構造を得る。

【００８０】

このとき、ベース電極９は、第１ベース領域５、第２ベース領域６の重畳部分にコンタクトするため、従来と比較してよりコンタクト抵抗を低減することができる。

【００８１】

以上、本実施形態ではＮＰＮ型バイポーラトランジスタについて説明したが、ＰＮＰ型でも同様に実施でき、同様の効果が得られる。

【００８２】

【発明の効果】

以上に説明したように、本発明によれば、第１に、必要耐圧を確保してスイッチングスピードを向上させることができる。すなわち、浅い第２ベース領域６で、エミッタ領域７直下のベース幅ＷＢを狭めることができ、スイッチングスピードを向上させることができる。尚且つ、深い第１ベース領域５で曲率半径を大きくすることにより、ここで耐圧を確保することができる。

【００８３】

また、第１ベース領域５は複数のグラフトベース構造となっており、第２のベース領域６内で均等に電流が流れる状態であり、内部の部分でのベース－コレクタ間の抵抗分をより低く、$V_{CE(sat)}$を低くすることができる。

【００８４】

つまり、従来と同程度のコレクタ領域濃度で、従来と同程度の耐圧を確保しつつ、スイッチングスピードを向上させることができる。

【００８５】

第２に、ベース電極９は、第１ベース領域５および第２ベース領域６の重畳した部分にコンタクトできるため、ベースの取り出し抵抗をより低減することができる。

【００８６】

第３に、エミッタ領域７下方にのみ埋込み層３ｂを設けることにより、第２ベース領域から埋込み層までの実質的なコレクタ領域の厚みが薄くできる。つまり、従来と同程度のコレクタ領域濃度で、従来と同程度の耐圧を確保しつつ、スイッチングスピードを向上させ、更に$V_{CE(sat)}$を低減することができる。

【００８７】

第４に、本発明の半導体装置の製造方法によれば、第１のエピタキシャル層に埋込み層となる不純物をイオン注入後、第２のエピタキシャル層の成長と共に埋込み層を形成できる。第１のエピタキシャル層は２μｍ～２．５μｍと薄いので、高加速のイオン注入装置を用いる必要もなく、注入のコントロールも容易である。

【００８８】

つまり、従来の製造装置を用いて、耐圧と、低飽和化を両立したトランジスタの製造方法を提供できる。

【図面の簡単な説明】

【図１】本発明を説明するための（Ａ）平面図、（Ｂ）断面図である。

【図２】本発明を説明するための断面図である。

【図３】本発明を説明するための断面図である。

【図４】本発明を説明するための断面図である。

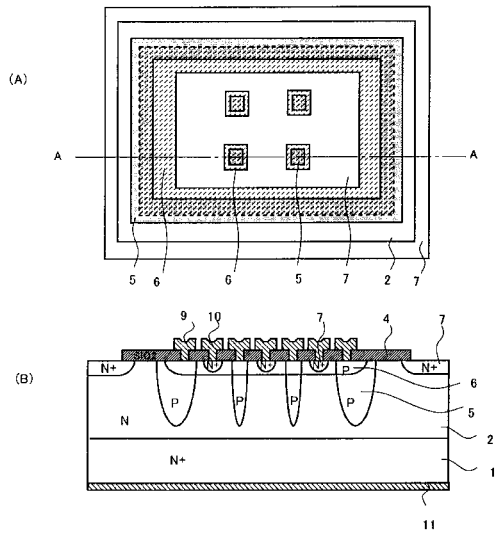
【図５】本発明を説明するための断面図である。

【図６】本発明を説明するための断面図である。

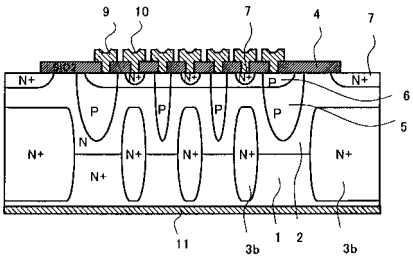
【図７】従来技術を説明するための断面図である。

【図８】従来技術を説明するための断面図である。

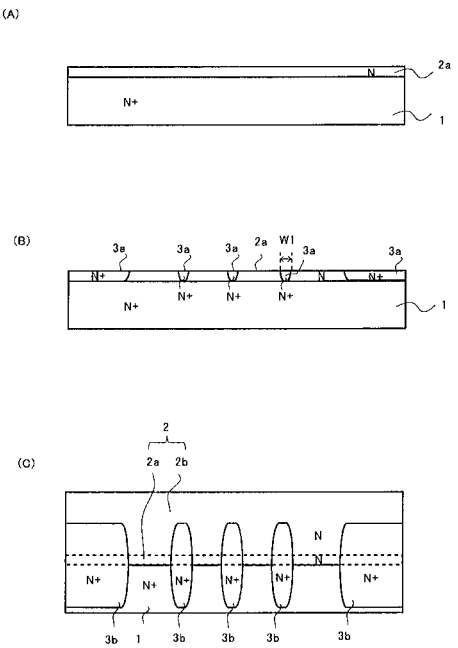
【図１】


(A)
A
A
5 6 6 5 7 2 7
(B)
9 10 7 4 7
SiO2
N+
P
N
6
5
2
1
11

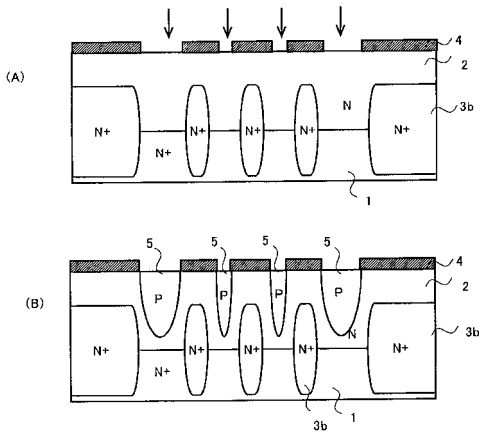
【図２】


9 10 7 4 7
SiO2
N+
P
N
6
5
11 3b 1 2 3b

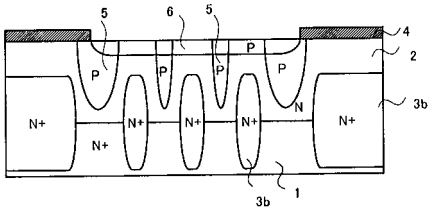
【図３】


(A)
N
2a
N+
1
(B)
3a 3a 3a 2a W1 3a 3a
N+
P
N
1
(C)
2
2a 2b
N
N+
3b 1 3b 3b 3b 3b

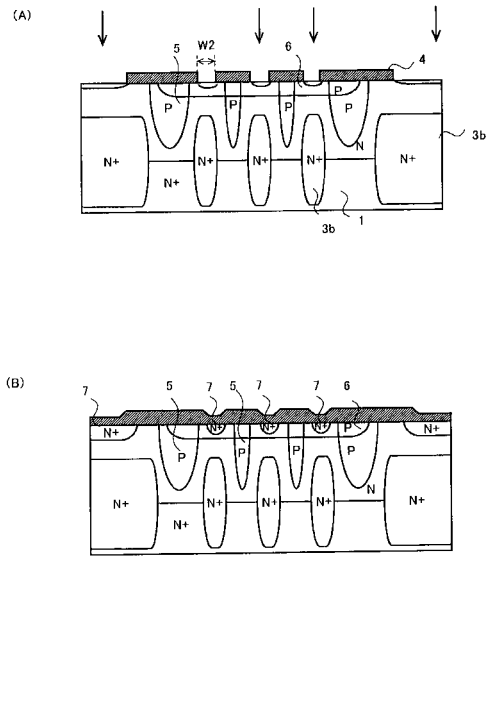
【図４】


(A)
4
2
3b
N+
P
N
1
(B)
5 5 5 5
4
2
3b
3b 1

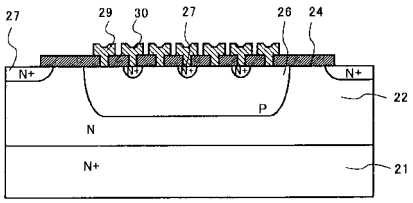
【図５】


5 6 5
4
2
3b
N+
P
N
3b 1

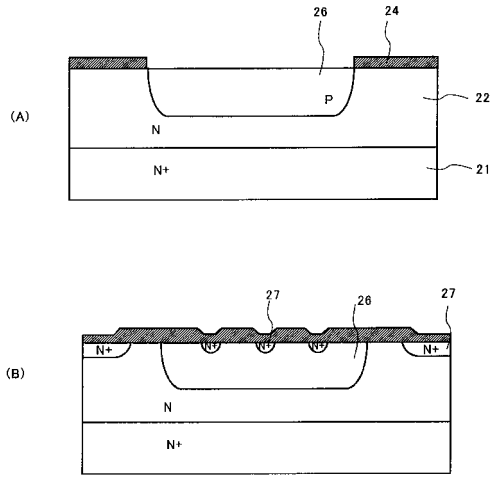
【図６】



【図７】



【図８】



フロントページの続き

(56)参考文献 特開２００２－０４３３２４（ＪＰ，Ａ）
特開昭５４－０３６１８９（ＪＰ，Ａ）
特開２０００－２６０７８０（ＪＰ，Ａ）
特開昭６２－０３３４５９（ＪＰ，Ａ）
特開２０００－２３２１１１（ＪＰ，Ａ）
特開２００２－０２６０２６（ＪＰ，Ａ）
特開２００１－３５１９２６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/331
H01L 29/732