



Patent dodatkowy
do patentu nr _____

Zgłoszono: 03.02.72 (P. 153264)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 30.05.73

Opis patentowy opublikowano: 15.02.1979



Int. Cl.² H04J 3/02
H04Q 11/04

Twórca wynalazku: _____

Uprawniony z patentu: Société Lannionaise d'Electronique, Lannion
i Compagnie Industrielle des Telecommunications,
CIT Alcatel, Paryż (Francja)

Komutator czasowy

1

Przedmiotem wynalazku jest komutator czasowy, połączony z dwoma multipleksami o podziale czasowym, służący do przesyłania informacji cyfrowej lub analogowej, a który jest stosowany, zwłaszcza przy realizacji sieci telekomunikacyjnych, zdalnego sterowania zdalnej sygnalizacji.

Komutator czasowy jest to układ połączony z dwoma multipleksami o podziale czasowym. Na multipleks wyjściowy o określonej pojemności kanałów w rzędzie podaje on informacje, które występują w multipleksie wejściowym o określonej pojemności kanałów w rzędzie. Informacja występująca w i-tym kanale multipleksu wejściowego jest kierowana do j-tego kanału multipleksu wyjściowego. Rozdział informacji jest sterowany zgodnie z zapamiętanym programem, opisującym stosunki między numerami rzędu kanałów w ramkach multipleksu wejściowego i wyjściowego. Wspomniane numery rzędu kanałów są wyrażane przy pomocy cechy charakterystycznej w każdej ramce przez słowo blokujące ramki lub synchronizacji ramki. Ramki multipleksu wejściowego i wyjściowego mogą mieć ten sam okres, ale ten przypadek nie występuje zawsze. Nie jest konieczne, by początki ramek były w fazie, a pojemności multipleksów są dowolne, równe lub nie.

Ogólnie rzecz ujmując, komutator czasowy jest utworzony z układu sterowania i układu połączeń czasowych. Obwód sterowania pamięta bądź stały program, bądź program określany w sposób przy-

2

padkowy przez układy będące poza komutatorem i steruje na podstawie tego programu układem połączenia czasowego. Układ połączeń czasowych sterowany przez układ sterowania kieruje do odpowiednich punktów w odpowiednich chwilach informacje występujące w multipleksie wejściowym. Znane komutatory czasowe są przedstawione w opisach patentowych USA nr 3 461 242 i 3 622 705.

W tych opisach patentowych różnica między kanałami wejścia i wyjścia nie zmienia się z ramki na ramkę. Multipleks wejściowy i wyjściowy pracują synchronicznie, a ramki są w fazie.

Celem wynalazku jest opracowanie komutatora czasowego, który podaje informacje występujące w multipleksie wejściowym z podziałem czasowym do multipleksu wyjściowego z podziałem czasowym. Multipleksy wejściowy i wyjściowy mają jedną fazę zmiennej ramki i nie muszą działać synchronicznie.

Komutator czasowy, połączony z dwoma multipleksami o podziale czasowym, podający na multipleks wyjściowy informacje występujące na multipleksie wejściowym przez łączenie kanału wejściowego z kanałem wyjściowym, przy czym multipleksy mają zmienną fazę ramki, lecz są w fazie z kanałami, a kanały mają ten sam czas trwania i są zsynchronizowane, a ramki mają korzystnie ten sam okres lub ich okresy są bardzo zbliżone, składający się z układu połączeń czasowych i układu sterowania, według wynalazku charakteryzuje

się tym, że układ połączeń zawiera obwód dostępu na wejściu, środki propagacji utworzone z równoległych linii opóźniających o różnych długościach i wielokrotnościach czasu trwania jednego kanału i obwód dostępu na wyjściu. Obwód dostępu na wejściu jest połączony z multipleksem wejściowym, a obwód dostępu na wyjściu jest połączony z multipleksem wyjściowym.

Układ sterowania zawiera pamięć połączeń, generator numerów porządkowych kanałów wejściowych, generator numerów porządkowych kanałów wyjściowych, układ obliczeń i pamięć wyjściową sterowania. Pamięć połączeń jest połączona z urządzeniami zewnętrznymi poprzez pierwsze wejście numerów porządkowych multipleksu wejściowego i poprzez drugie wejście numerów porządkowych multipleksu wyjściowego. Pamięć połączeń jest również połączona poprzez trzecie wejście z generatorem numerów porządkowych kanałów multipleksu wejściowego, a wyjście pamięci połączeń jest połączone z wejściem obwodu obliczeń, którego inne wejście jest połączone z generatorem numerów porządkowych kanałów wyjściowych. Wyjście obwodu obliczeń jest połączone z wejściem sterowania obwodu dostępu na wejściu. Pamięć sterowania wyjściem ma pierwsze wejście połączone z wyjściem obwodu obliczeń, drugie wejście połączone z wyjściem pamięci połączeń, trzecie wejście połączone z generatorem numerów porządkowych kanałów wyjściowych, a wyjście połączone z wejściem sterowania obwodu dostępu na wyjściu.

Komutator czasowy w odmiennym wykonaniu, według wynalazku charakteryzuje się tym, że układ połączeń zawiera środki połączeń utworzone przez szeregowo linie opóźniające o tej samej długości równej czasowi trwania jednego kanału, obwód dostępu na wejściu, multipleks wejściowy połączony z wejściem obwodu dostępu na wyjściu i z pierwszą linią opóźniającą, a wyjścia linii opóźniających są odpowiednio połączone z wejściem obwodu dostępu na wyjściu, którego wyjście jest połączone z multipleksem wyjściowym. Układ sterowania zawiera pamięć połączeń, generator numerów porządkowych kanałów wejściowych, generator numerów porządkowych kanałów wyjściowych i obwód obliczeń. Pamięć połączeń jest połączona z zewnętrznymi urządzeniami poprzez pierwsze wejście numerów porządkowych multipleksu wejściowego i przez drugie wejście numerów porządkowych multipleksu wyjściowego. Pamięć połączeń jest połączona przez trzecie wejście z generatorem numerów porządkowych kanałów wyjściowych, a wyjście pamięci połączeń jest połączone z wejściem obwodu obliczeń, którego drugie wejście jest połączone z generatorem numerów porządkowych kanałów wejściowych, a wyjście obwodu obliczeń jest połączone z wejściem sterowania obwodu dostępu na wyjściu.

Komutator według wynalazku jest zwłaszcza korzystny w przypadku multipleksu z podziałem czasowym i niecyfrowej modulacji. Przy kodowej modulacji cyfrowej pozwala również na wykonanie sieci połączeń o niewielkiej częstotliwości działania, jak również na realizację sieci o niewielkiej liczbie poziomów, działających z dużymi częstotliwościami,

jak to jest w przypadku sieci połączeń telefonicznych.

Multipleks wejściowy o określonej pojemności słów lub kanałów, jest utworzony przez połączenie wielu multipleksów podstawowych. Te podstawowe multipleksy mają, lub nie tę samą fazę ramki. Zestaw numerów rzędu kanałów wejściowych jest utworzony przez odpowiednie zestawienie numerów rzędu kanałów zgenerowanych przez generatory numerów rzędu kanałów, związanych z każdym z multipleksów podstawowych.

Multipleks wyjściowy o określonej pojemności słów lub kanałów może być rozłożony na liczne multipleksy podstawowe. Rozkład jest również stosowany do numerów rzędu kanałów generowanych przez generator numerów rzędu kanałów wyjściowych, tak by utworzyć numery rzędu kanałów związanych z każdym z multipleksów podstawowych.

Generatory numerów rzędu kanałów wejściowych i wyjściowych tworzą ogólnie integralną część układu sterowania. Jeśli wspomniane generatory numerów rzędu kanałów znajdują się poza komutatorem, ten ostatni zawiera odbiorniki połączone do wspomnianych generatorów numerów rzędu kanałów.

Linie opóźniające są liniami o propagacji ciągłej jak kable, włókna optyczne, falowody, lub są liniami o propagacji nieciągłej, np. rejestry przesuwne. Elementy wejścia lub wyjścia linii opóźniających są elementami o wybieraniu analogowym, gdy informacje przesyłane mają charakter analogowy.

Przesyłanie próbek w układzie połączeń jest szeregowo lub równoległe, gdy informacja przesyłana stanowi kod cyfrowy o wielu sygnałach.

Elementy wejścia lub wyjścia linii opóźniających są typu szeregowego lub równoległego, w zależności od tego czy sam układ połączeń jest typu szeregowego czy równoległego.

Multipleksy wejściowe i wyjściowe oraz układ połączeń nie różnią się i są niezależnie jeden od drugiego, typ transmisji tych układów szeregowy lub równoległy, obwody wejścia lub wyjścia linii opóźniających zapewniają przekształcenie informacji.

Pamięć sterowania połączeniami jest typu „tylko odczyt” lub typu „zapis — odczyt” o adresowaniu bezpośrednim lub pośrednim, matrycowa lub cykliczna. Danymi połączeń są adresy, a jeden z tych adresów służy do wybrania słowa pamięci sterowania połączeniami, w którym to słowie jest zapamiętany inny adres.

Pamięć sterowania wyjściem jest typu adresowalnego lub jest pamięcią cykliczną o dostępie bezpośrednim.

Przedmiot wynalazku jest bliżej objaśniony w przykładach wykonania na rysunku, na którym fig. 1 przedstawia schemat komutatora o dwóch pamięciach sterowania, w którym obliczenie numerów rzędu linii opóźniających odbywa się przed wysłaniem informacji na linię opóźniającą, fig. 2 — schemat komutatora działającego na tej samej zasadzie jak przedstawiony na fig. 1, ale bez pamięci sterowania wyjściem, fig. 3 — schemat komutatora, w którym obliczenie numerów rzędu linii opóźnia-

jących odbywa się w momencie tworzenia kanału wyjściowego multipleksu, przy czym informacja przechodzi przez wszystkie linie opóźniające, a fig. 4 przedstawia schemat komutatora działającego na zasadzie takiej jak komutator z fig. 3, ale przy zastosowaniu układu połączeń utworzonego z pojedynczej linii z odczepami.

Fig. 1 przedstawia komutator czasowy, w którym zastosowano linie opóźniające, adresowalne pamięci sterowania i obwód obliczeń. Komutator zawiera

układ połączeń czasowych 1 i układ sterowania 2. Układ połączeń 1 zawiera obwód 3 dostępu na wejściu, linie opóźniające $L_1, L_2, \dots, L_D$ oraz obwód dostępu 6 na wyjściu. Obwód 3 dostępu na wejściu jest zasadniczo utworzony z demultipleksu o jednym wejściu i posiada D wyjść. Wejście jego jest połączone z multipleksem wejściowym e , a wyjścia połączone są z wejściami linii opóźniających $L_1, L_2, \dots, L(D-1), L_D$. Wspomniany obwód 3 dostępu na wejściu posiada również wejście sterowania 4 połączone z wyjściem obwodu obliczeń 7. Linie opóźniające $L_1, L_2, \dots, L(D-1), L_D$ o długości odpowiednio $e, d, 2d, \dots, (D-2)d, (D-1)d$, gdzie d jest równe czasowi pracy kanału multipleksu mają swe wejście połączone do wyjść obwodu 3 dostępu na wejściu, a wyjścia ich są połączone do wejść obwodu 6. Obwód 6 dostępu na wyjściu jest zasadniczo utworzony z multipleksu, o D wejściach i wyjściu. Wejścia jego są połączone z wyjściami linii opóźniających $L_1, L_2, \dots, L_D$, a wyjście z multipleksem wyjściowym. Wspomniany obwód 6 posiada również wejście sterowania 5 połączone z wyjściem obwodu wyjściowego 8 pamięci wyjściowej sterowania MCS.

Układ sterowania 2 zawiera generator 9 numerów rzędu kanałów wejścia E , pamięć połączeń MCX, generator 16 numerów rzędu kanałów wyjścia S , obwód obliczeń 7, pamięć wyjściową sterowania MCS. Generator 9 numerów rzędu kanałów wyjściowych jest synchronizowany przez zegar h_e i przez słowo blokujące T_e multipleksu wejściowego, a wyjście jego jest dołączone do obwodu adresowania odczytu 10 pamięci połączeń MCX.

Pamięć połączeń MCX jest utworzona z matrycowej adresowalnej pamięci 11 o pojemności e_0 słów, w założeniu $\log_2 S_0$ elementów binarnych, gdzie S_0 określa pojemność kanałów w rzędzie multipleksu wyjściowego, w którym adresy sterowania zapisane są dwójkowo, z obwodu adresowania zapisu 12, z obwodu wejściowego 13, z obwodu adresowania odczytu 10 i z obwodu wyjściowego 14. Wejścia obwodów 12 i 13 są połączone do elementów sterujących, znajdujących się poza komutatorem. Poprzez te obwody wspomniane elementy wpisują do pamięci połączeń MCX dane do połączeń. Wyjście obwodu wyjściowego 14 pamięci połączeń jest połączone z obwodem obliczeń 7 i z obwodem adresowania zapisu 15 pamięci sterowania wyjściem pamięci MCS.

Generator 16 numerów rzędu kanałów wyjścia jest synchronizowany przez zegar h_s i słowo blokujące ramki T_s multipleksu wyjściowego, wyjście jego jest połączone z obwodem obliczeń 7 i z obwodem adresowania odczytu 17 pamięci wyjściowej sterowania MCS.

Wejścia obwodu obliczeń 7 są połączone z wyjściami: generatora 16 numerów rzędu kanałów wyjścia i obwodu wyjściowego 14 pamięci połączeń MCX, a jego wyjście jest połączone z obwodem zapisu 18 pamięci wyjściowej sterowania MCS i z wejściem 4 obwodu 3 dostępu na wejściu. Pamięć wyjściowa sterowania MCS jest utworzona z obwodu adresowania zapisu 15, obwodu adresowania odczytu 17, obwodu zapisu 18, obwodu wyjściowego 8 i pamięci adresowalnej 19 o pojemności S_0 słów i elementów binarnych, równych $\log_2 D$, gdzie D stanowi liczbę linii opóźniających.

Wspomniane zewnętrzne urządzenia sterowania są to kalkulatory zarządzające żadaniami połączeń, wysyłanymi przez elementy wyposażenia multipleksów podłączonych do systemu, którego częścią tworzy komutator.

Dla każdego żądania połączenia między kanałem E_i i kanałem S_j kalkulatory wpisują do obwodu pamięciowego 11 pamięci połączeń MCX i pod adresem E_i adres S_j kanału, który ma być połączony. Odbywa się to za pośrednictwem obwodów adresowania zapisu i obwodów wyjściowych 12 i 13 i stanowią operację wybierania komutatora.

Gdy zapis zostanie dokonany, dalsze działanie odbywa się automatycznie. Badana jest zawartość pamięci 11 przez generator 9 numerów rzędu kanałów wejściowych. Odbywa się to za pośrednictwem obwodu adresowania odczytu 10 i w fazie z wystąpieniem na multipleksie wejściowym informacji przesyłanej kanałem o numerze rzędu E_i . Pamięć poprzez swój obwód wyjściowy 14 podaje adres S_j kanału wyjściowego, który ma być połączony.

Adres S_j jest podawany do obwodu obliczeń 7, na który podawany jest również adres numeru S_k z generatora 16 numerów rzędu kanałów wyjścia, zwłaszcza wtedy, gdy pojawia się S_j na wyjściu obwodu wyjściowego 14.

Obwód obliczeń wylicza z tych danych numer rzędu linii opóźniającej D_{ij} odpowiadającej połączeniu $E_i S_j$ analizując przy tym różnicę R pomiędzy numerami rzędu S_j i S_k kanałów wyjścia, gdzie $R = S_j - S_k$.

$$\text{dla } SiR \geq 0 \quad D_{ij} = S_j - S_k$$

$$SiR < 0 \quad D_{ij} = S_0 + S_j - S_k$$

Na wyjściu obwodu obliczeń 7 występuje więc numer rzędu D_{ij} linii opóźniającej, który jest zapamiętywany pod adresem S_j w pamięci 19 za pośrednictwem obwodu adresowania zapisu 15 i obwodu zapisu 18 i ustawiony jest obwód 3 dostępu na wejściu na linię opóźniającą o numerze rzędu D_{ij} . Łączony jest w ten sposób multipleks wejściowy z linią opóźniającą, której długość odpowiada opóźnieniu $d \cdot D_{ij}$, które powinno być zastosowane dla próbki zawartości w kanale wejściowym o numerze rzędu E_i tak, by przejść na multipleks wyjściowy w kanale wyjściowym o numerze rzędu S_j .

Przy przejściu numeru rzędu S_j kanału wyjściowego pamięć 19, której zawartość bada generator 16 numerów rzędu kanałów wyjściowych za pośrednictwem obwodu adresowania odczytu 17 podaje na swój obwód wyjściowy 8 numer rzędu D_{ij} linii opóźniającej, który powoduje połączenie obwodu 6

dostępu na wyjściu układu połączeń z linią opóźniającą o numerze rzędu D_{ij} , na której wyjściu w tej właśnie chwili jest próbka pochodząca z kanału E_i i, która jest kierowana przez obwód 6 dostępu na wyjściu na wyjście multipleksu S .

Można zauważyć, że względna faza ramek multipleksu wejściowego i wyjściowego jest dowolna i że ta faza może zmieniać się w czasie. Obliczenie numeru rzędu linii opóźniającej jest dokonywane przy każdym przejściu próbki E_i .

W momencie przerwania połączenia kalkulatory sterujące kasują słowo E_i z obwodu pamięci 11 przez wpisanie tam zera. Przy przejściu numeru rzędu E_i kanału wejściowego obwód wyjściowy 14 pamięci połączeń MCX daje numer rzędu kanału wyjściowego S równy 0. Wykrycie tego stanu w obwodzie obliczeń 7 powoduje zatrzymanie akcji obliczenia. Obwód obliczeń 7 na swym wyjściu nie daje więc żadnego adresu i obwód obliczeń pozostaje w spoczynku.

Fig. 2 przedstawia drugi przykład realizacji komutatora działającego na tej samej zasadzie jak komutator z fig. 1 z tą różnicą jednak, że nie ma pamięci wyjściowej sterowania MCS . W rzeczywistości, w większości przypadków obwód 6 na wyjściu układu połączeń może być prostą bramką LUB łączącą wejścia linii opóźniających do multipleksu wyjściowego. W tym przypadku pamięć sterowania jest niepotrzebna i nie występuje.

Układ sterowania 20 z fig. 2 składa się więc z tych samych elementów co obwód sterowania 2 z fig. 1, z tym wyjątkiem, że nie ma tu pamięci wyjściowej sterowania MCS .

Działanie tego układu jest analogiczne do działania określonego dla komutatora z fig. 1 z tym wyjątkiem, że próbki przekazywane są ciągle na multipleks wyjściowy, połączony ze wszystkimi liniami opóźniającymi. Jest to możliwe, ponieważ z tych linii w danej chwili, odpowiadającej kanałowi S_j , wychodzi tylko jedna próbka. Układ połączeń czasowych 21 z fig. 2 jest analogiczny do odpowiedniego z fig. 1, z tym wyjątkiem, że nie występuje obwód 6 dostępu na wyjściu.

Fig. 3 przedstawia kolejny przykład wykonania komutatora o działaniu oznaczonym, zgodnie z wynalazkiem. Tu komutator składa się z układu połączeń czasowych 22 i pamięci sterującej 23.

Układ połączeń 22 zawiera D linii opóźniających $L_1, L_2, \dots, L_D$ i obwód 6 dostępu na wyjściu. Linie opóźniające $L_1, L_2, \dots, L_D$ o długości odpowiednio $c, d, (D-2)d, (D-1)d$, gdzie d jest czasem pracy jednego kanału multipleksu wejściowego, mają swe wejścia bezpośrednio połączone z multipleksem wejściowym e , a wyjścia połączone z wejściami obwodu 6 dostępu na wyjściu.

Obwód 6 jest zasadniczo utworzony z multipleksu posiadającego D wejść, wyjście oraz wejście sterujące 5. Wejścia wspomnianego obwodu 6 są połączone z wyjściami linii opóźniających $L_1, L_2, \dots, L_D$, wyjście z multipleksem wyjściowym S , wejście sterujące z obwodem obliczeń 7.

Układ sterowania 23 zawiera generator 9 numerów rzędu kanałów wejściowych E , generator 16 numerów rzędu kanałów wyjściowych S , obwód obliczeń 7 i pamięć połączeń MCX . Generator 16

numerów rzędu kanałów wyjściowych S jest synchronizowany przez zegar hs i słowo blokujące ramki T_s multipleksu wyjściowego. Wyjście jego jest połączone z obwodem adresowania odczytu 10 pamięci połączeń MCX .

Pamięć połączeń MCX jest utworzona tak jak na fig. 1 z adresowalnej pamięci matrycowej 11 o pojemności s_0 słów, w założeniu log₂ elementów binarnych, w której numery rzędów kanałów sterowania są zapisane w postaci dwójkowej, z obwodu adresowania zapisu 12, z obwodu wejściowego 13, obwodu adresowania odczytu 10 i obwodu wyjściowego 14. Wejścia obwodu adresowania zapisu 12 i obwodu wejściowego 30 są połączone z zewnętrznymi kalkulatorami sterującymi, które za pośrednictwem wspomnianych obwodów wpisują do adresowalnej pamięci 28 dane o połączeniach. Wyjście obwodu wyjściowego 14 pamięci połączeń MCX jest połączone z obwodem obliczeń 7.

Generator 9 numerów rzędu kanałów wejściowych jest synchronizowany przez zegar he i słowo blokujące ramki Te multipleksu wejściowego e . Wyjście generatora jest połączone z obwodem obliczeń 7. Wejścia obwodu obliczeń 7 są odpowiednio połączone z generatorem 9 numerów rzędu kanałów wejściowych i z obwodem wyjściowym 14 pamięci połączeń MCX , wyjście natomiast jest połączone z wejściem 5 obwodu 6 dostępu na wyjściu układu połączeń 22.

W momencie osiągnięcia połączenia $E_i S_j$ kalkulatory sterujące za pośrednictwem obwodu adresowania zapisu 12 i obwodu wejściowego 13 wpisują na adres S_j adresowalnej pamięci 11 odpowiednią daną E_i .

Ta zapamiętana informacja jest odczytywana automatycznie przy pojawieniu się numeru rzędu S_{ij} kanału wyjściowego na wyjściu generatora 16 i pojawia się na wyjściu obwodu wyjściowego 14 pamięci połączeń MCX . Występuje ona również na wejściu obwodu obliczeń 7, który otrzymuje równocześnie numer rzędu E_k kanału wejściowego z generatorem 9 numerów rzędu kanałów wejściowych.

Obwód obliczeń 7 określa więc czas różnicy R , który upłynął od przejścia na multipleks wejściowy informacji E_i , czyli $R = E_k - E_i$ oraz określa numer rzędu D_{ij} linii opóźniającej po przeanalizowaniu znaku różnicy R .

$$\text{Jeśli } R \geq 0 \text{ } D_{ij} = R = E_k - E_i$$

$$R < 0 \text{ } D_{ij} = e_0 + E_k - E_i$$

Numer rzędu D_{ij} linii opóźniającej, który pojawia się na wyjściu obwodu obliczeń 7 decyduje o połączeniu obwodu 6 dostępu na wyjściu układu połączeń 22 z linią opóźniającą, wprowadzającą opóźnienie $d \cdot D_{ij}$, na wyjściu której znajduje się teraz informacja E_i i tak zapewnia jej przejście do kanału S_j multipleksu wyjściowego.

Należy podkreślić, że jeśli między multipleksem wejściowym a linią opóźniającą wstawi się system synchronizacji multipleksu tempo ponownej synchronizacji powinno być narzucone przez połączenie, nie przedstawione na rysunku, z obwodem 7,

który dokonuje niezbędnych korekcji wartości różnicy R w funkcji otrzymywanych informacji.

Rozłączenie lub przerwanie połączeń odbywa się, przez skasowanie zawartości słowa S_j w pamięci połączeń MCX.

Fig. 4 przedstawia układ połączeń 38 sterowany przez obwód obliczeń 7. Układ ten jest utworzony z d-1 linii opóźniających o opóźnieniach 11, 12, 13, 1(d-1), o tej samej długości d i z jednej linii o opóźnieniu zerowym, utworzonej z połączenia między multipleksem wejściowym a linią o opóźnieniu 11, połączonych szeregowo i tworzących pojedynczą linię opóźniającą o D wyjściach, połączonych z wejściami obwodu 6, dostępu na wyjściu, którego wyjście jest połączone z multipleksem wyjściowym S, a którego wejście 5 jest połączone z obwodem obliczeń 7.

Można stosować taki układ połączeń 38 zamiast układu połączeń 22 z fig. 3 z tą samą pamięcią sterowania 7. Układ połączeń 38 jest więc połączony z obwodem obliczeń 25 tej pamięci sterowania 23. Działanie jest ściśle takie same jak działanie komutatora przedstawionego na fig. 3.

Zastrzeżenia patentowe

1. Komutator czasowy, połączony z dwoma multipleksami o podziale czasowym; podający na multipleks wyjściowy informacje występujące na multipleksie wejściowym przez łączenie kanału wejściowego z kanałem wyjściowym, przy czym multipleksy mają zmienną fazę ramki, lecz są w fazie z kanałami, a kanały mają ten sam czas trwania i są zsynchronizowane, a ramki mają korzystnie ten sam okres, lub ich okresy są bardzo zbliżone, składający się z układu połączeń czasowych i układu sterowania, **znamienny tym**, że układ połączeń (1) zawiera obwód (3) dostępu na wejściu, środki propagacji utworzone z równoległych linii opóźniających (L1, L2 ... LD) o różnych długościach i wielokrotnościach czasu trwania jednego kanału i obwód (6) dostępu na wyjściu, przy czym obwód (3) dostępu na wejściu jest połączony z multipleksem wejściowym (e), a obwód (6) dostępu na wyjściu jest połączony z multipleksem wyjściowym (s), a ponadto układ sterowania (2) zawiera pamięć połączeń (MCX), generator (9) numerów porządkowych kanałów wejściowych, generator (16) numerów porządkowych kanałów wyjściowych, obwód obliczeń (7) i pamięć wyjściową sterowania (MCS), przy czym pamięć połączeń (MCX) jest połączona z urządzeniami zewnętrznymi poprzez pierwsze wejście (Ei) numerów porządkowych multipleksu wejściowego (e) i poprzez drugie wejście (S) numerów porządkowych multipleksu wyjściowego (s), a ponadto pamięć połączeń

(MCX) jest również połączona poprzez trzecie wejście z generatorem (9) numerów porządkowych kanałów multipleksu wejściowego (e), a wyjście pamięci połączeń (MCX) jest połączone z wejściem obwodu obliczeń (7), którego drugie wejście jest połączone z generatorem (16) numerów porządkowych kanałów wyjściowych, a wyjście obwodu obliczeń (7) jest połączone z wejściem sterowania (4) obwodu (3), dostępu na wejściu, przy czym pamięć wyjściowa sterowania (MCS) ma pierwsze wejście połączone z wyjściem obwodu obliczeń (7) drugie wejście połączone z wyjściem pamięci połączeń (MCX), trzecie wejście połączone z generatorem (16) numerów porządkowych kanałów wyjściowych, a wyjście połączone z wejściem sterowania (5) obwodu (9) dostępu na wyjściu.

2. Komutator czasowy, połączony z dwoma multipleksami o podziale czasowym, podający na multipleks wyjściowy informacje znajdujące się na multipleksie wejściowym przez łączenie kanału wejściowego z kanałem wyjściowym, przy czym multipleksy mają zmienną fazę ramki, lecz są w fazie z kanałami, a kanały mają ten sam czas trwania i są zsynchronizowane, a ramki mają korzystnie, ten sam okres, lub ich okresy są bardzo zbliżone, składający się z układu połączeń czasowych i układu sterowania, **znamienny tym**, że układ połączeń (38) zawiera środki połączeń utworzone przez szeregowo linie opóźniające (11, 12, ... L (d-1) o tej samej długości równej czasowi trwania jednego kanału, obwód (6) dostępu na wyjściu, multipleks wejściowy (e) połączony z wejściem obwodu (6) dostępu na wyjściu i z pierwszą linią opóźniającą (11), a wyjścia linii opóźniających są odpowiednio połączone z wejściem obwodu (6) dostępu na wyjściu, którego wyjście jest połączone z multipleksem wyjściowym (s), przy czym układ sterowania (23) zawiera pamięć połączoną (MCX), generator (9) numerów porządkowych kanałów wejściowych, generator (16) numerów porządkowych kanałów wyjściowych i obwód obliczeń (7) przy czym pamięć połączeń (MCX) jest połączona z zewnętrznymi urządzeniami poprzez pierwsze wejście (Ei) numerów porządkowych multipleksu wejściowego (e) i przez drugie wejście (S) numerów porządkowych multipleksu wyjściowego (s), a ponadto pamięć połączeń (MCX) jest połączona przez trzecie wejście z generatorem (16) numerów porządkowych kanałów wyjściowych, a wyjście pamięci połączeń (MCX) jest połączone z wejściem obwodu obliczeń (7), którego drugie wejście jest połączone z generatorem (9) numerów porządkowych kanałów wejściowych, a wyjście obwodu obliczeń (7) jest połączone z wejściem sterowania (5) obwodu (6) dostępu na wyjściu.

