

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4974493号
(P4974493)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 2 C
HO 1 L 23/532 (2006.01)	HO 1 L 21/88 R
HO 1 L 21/3205 (2006.01)	HO 1 L 21/90 C
HO 1 L 21/768 (2006.01)	

請求項の数 12 (全 27 頁)

(21) 出願番号	特願2005-234671 (P2005-234671)	(73) 特許権者	000153878
(22) 出願日	平成17年8月12日(2005.8.12)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2006-86514 (P2006-86514A)		神奈川県厚木市長谷398番地
(43) 公開日	平成18年3月30日(2006.3.30)	(72) 発明者	秋元 健吾
審査請求日	平成20年8月6日(2008.8.6)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2004-240682 (P2004-240682)		半導体エネルギー研究所内
(32) 優先日	平成16年8月20日(2004.8.20)	(72) 発明者	村上 智史
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

審査官 鈴木 聡一郎

最終頁に続く

(54) 【発明の名称】 半導体装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

基板上に、アルミニウム単体を含む第1導電層と、前記第1導電層上に接する炭素及びチタンを含むアルミニウム合金を含む第2導電層と、を積層した電極または配線と、

前記第2導電層上に接する透明導電膜を有し、

前記チタンの含有量は、1 a t o m s % 以上 2 0 a t o m s % 以下であることを特徴とする電子機器。

【請求項2】

請求項1において、

前記第2導電層に含まれる前記炭素の含有量は、0 . 1 a t o m s % 以上 1 0 a t o m s % 以下であることを特徴とする電子機器。

【請求項3】

請求項1又は2において、

前記第2導電層は、さらにモリブデンを含むことを特徴とする電子機器。

【請求項4】

基板上に、半導体薄膜を活性層とした複数の薄膜トランジスタと、

前記活性層と接するチタン単体またはモリブデン単体を含む第1導電層と、前記第1導電層上に接するアルミニウム単体を含む第2導電層と、前記第2導電層上に接する炭素及びチタンを含むアルミニウム合金を含む第3導電層と、を順に積層した電極または配線と、

前記第3導電層上に接する透明導電膜を有し、
前記第3導電層に含まれる前記チタンの含有量は、 $1\text{ atoms}\%$ 以上 $20\text{ atoms}\%$ 以下であることを特徴とする半導体装置。

【請求項5】

請求項4において、

前記第3導電層に含まれる前記炭素の含有量は、 $0.1\text{ atoms}\%$ 以上 $10\text{ atoms}\%$ 以下であることを特徴とする半導体装置。

【請求項6】

基板上に、半導体薄膜を活性層とした複数の薄膜トランジスタと、

前記活性層と接するチタン単体またはモリブデン単体を含む第1導電層と、前記第1導電層上に接するアルミニウム単体を含む第2導電層と、前記第2導電層上に接する炭素及びモリブデンを含むアルミニウム合金を含む第3導電層と、を順に積層した電極または配線と、

前記第3導電層上に接する透明導電膜を有し、

前記第3導電層に含まれる前記炭素の含有量は、 $0.1\text{ atoms}\%$ 以上 $10\text{ atoms}\%$ 以下であることを特徴とする半導体装置。

【請求項7】

請求項4乃至6のいずれかーにおいて、

前記第2導電層に含まれる酸素濃度は、 $1 \times 10^{19}\text{ atoms/cm}^3$ 以下であることを特徴とする半導体装置。

【請求項8】

請求項4乃至7のいずれかーにおいて、

前記第1導電層と、前記第2導電層と、前記第3導電層は、同じスパッタ装置内で連続して形成されたことを特徴とする半導体装置。

【請求項9】

請求項4乃至8のいずれかーにおいて、

前記透明導電膜を陽極または陰極とする発光素子とを有していることを特徴とする半導体装置。

【請求項10】

請求項4乃至8のいずれかーにおいて、

前記透明導電膜を画素電極とする液晶素子とを有していることを特徴とする半導体装置。

【請求項11】

請求項4乃至10のいずれかーにおいて、

前記透明導電膜は、酸化インジウムスズ、酸化珪素を含む酸化インジウムスズ、又は酸化珪素を含み酸化インジウムに2～20%の酸化亜鉛を混合した透光性酸化物導電膜であることを特徴とする半導体装置。

【請求項12】

請求項4乃至11のいずれかーにおいて、

前記半導体装置は、携帯情報端末、ビデオカメラ、デジタルカメラ、またはパーソナルコンピュータであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】

従来、TFT駆動によるアクティブマトリクス型の液晶表示装置においては、基板上に多数の走査線およびデータ線が縦横に設けられ、これらの配線の交点に対応して多数のTFTが設けられている。各TFTは、走査線にゲート配線が電氣的に接続され、データ線にソース電極が電氣的に接続され、画素電極にドレイン電極が電氣的に接続される。

10

【0005】

透過型の液晶表示装置においては、画素電極として透明導電膜、代表的にはITOが用いられている。透明導電膜からなる画素電極は、データ線や走査線などの配線と絶縁するための層間絶縁膜上に設けられている。従って、層間絶縁膜に形成したコンタクトホールを介して画素電極とドレイン電極とが接続されている。

【0006】

特に、大面積の表示を行うディスプレイを製造する際、配線の抵抗による信号の遅延問題が顕著になってくる。従って、配線や電極の材料としては、電気抵抗値の低い材料、代表的にはアルミニウムが用いられている。

20

【0007】

配線や電極の材料として用いられるアルミニウムと、画素電極の材料として用いられるITOとは、接合する上で相性が悪く、両者を直接接合させると電触腐食が生じてしまう問題があった。

【0008】

さらに、直接、アルミニウム膜とITO膜とを接合させると、接合界面においてアルミニウムが酸化し、ITO膜は還元することになり、接触抵抗が変化してしまっていた。これは、アルミニウムとITO膜との電極電位が相違するために生じる電気化学的な反応により現象であることが知られている。

【0009】

30

そこで、このような相性の悪い2つの膜からなる配線や電極等を接続する際に、アルミニウム配線（または電極）とITOとの間に高融点金属膜（チタン膜など）または高融点金属化合物膜（窒化チタン膜など）などを設けて、ITOとの電触腐食を防ぐ技術も提案されている。

【0010】

また、本出願人は、薄膜トランジスタのドレインと画素電極であるITOとの接続をチタン膜、アルミニウム膜、チタン膜の積層膜で構成することを特許文献1、特許文献2、および特許文献3に記載している。

【0011】

また、本出願人らは、薄膜トランジスタのドレインと画素電極であるITOとの接続をチタン膜、アルミニウム膜の積層膜で構成することを特許文献4に記載し、窒化チタン膜、アルミニウム膜の積層膜で構成することを特許文献5に記載している。

40

【特許文献1】特開平9-45927号公報

【特許文献2】特開平10-32202号公報

【特許文献3】特開平6-232129号公報

【特許文献4】特開2004-6974

【特許文献5】特開平8-330600号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

50

しかしながら、アルミニウム配線（または電極）とITOとの間にチタン膜や窒化チタン膜を積層すると、配線抵抗が高くなってしまい、特に画面サイズが大面積化すると消費電力の増大を引き起こす。配線抵抗は、配線となる金属膜の断面積を大きくすることにより低減することが可能であるが、膜厚を厚くして断面積を増大させた場合には基板表面と厚膜配線表面との間に段差が生じ、液晶の配向不良の原因となる。

【0013】

また、TFT駆動によるアクティブマトリクス型の発光装置においても、発光素子の陽極（または陰極）として透明導電膜を用いる場合がある。同様に、透明導電膜からなる陽極は、各種配線と絶縁するための層間絶縁膜上に形成される。従って、陽極としてITOを用い、TFTの電極（アルミニウム）とを接続させる際、上述の電触腐食が同様に生じる。

10

【0014】

本発明は、アクティブマトリクス型の表示装置において、配線の断面積を増大させることなく、相性の悪い2つの膜（ITO膜とアルミニウム膜）からなる配線や電極等を接続し、且つ、大画面化しても低消費電力を実現することを課題とする。

【0015】

また、配線材料としてアルミニウムを用いてTFTを作製した場合、熱処理によってヒロックやウィスカー等の突起物の形成や、アルミニウム原子のチャンネル形成領域への拡散により、TFTの動作不良やTFT特性の低下を引き起こしていた。そこで、従来ではアルミニウムに他の元素（Siなど）を含有させたアルミニウム合金膜として、ヒロックなどの発生を抑制している。しかし、アルミニウム合金膜としても、接合界面においてアルミニウムが酸化し、ITO膜が還元することによる接合抵抗は変化してしまう問題は残る。

20

【0016】

加えて、本発明は、アクティブマトリクス型の表示装置において、配線材料としてアルミニウムを用いてもヒロックやウィスカー等の突起物の形成を防止し、且つ、アルミニウム原子のチャンネル形成領域への拡散を防止し、且つ、良好なオーミック接合を可能とすることを課題とする。

【課題を解決するための手段】

【0017】

本発明は、配線または電極をアルミニウム合金膜の単層とし、そのアルミニウム合金膜の組成を調節してITOとの良好なオーミック接合を目指すのではなく、3層構造とすることで上述した課題を解決するものである。

30

【0018】

加えて、本発明は、アルミニウム配線（または電極）とITOとの間に高融点金属膜（チタン膜など）または高融点金属化合物膜（窒化チタン膜など）などを設けることなく、上述した課題を解決するものである。

【0019】

本発明は、アルミニウム原子のチャンネル形成領域への拡散を防止するために、TiまたはMoからなる第1導電層を設け、その上に電気抵抗値の低いアルミニウム単体（純アルミニウム）からなる第2導電層を設ける。さらに、その第2導電層の上に、ITOと反応しないアルミニウム合金からなる第3導電層を設け、配線又は電極を3層構造としてITOと接合させることを特徴の一つとしている。

40

【0020】

シリコンとアルミニウムの相互拡散を防止するために設けられる第1導電層の膜厚は、20nm～200nmの範囲とすることが望ましい。

【0021】

また、電気抵抗値を低くするため、アルミニウム単体からなる第2導電層中の酸素濃度は $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることが望ましい。第2導電層の膜厚は、0.1μm～2μmの範囲とすることが望まし

50

い。電気抵抗値の低いアルミニウム単体からなる第2導電層を用いることによって、さらなる細線化が可能となり、回路面積の縮小を図ることができる。

【0022】

なお、ITOと反応しないアルミニウム合金からなる第3導電層は、Ni（ニッケル）、Ti（チタン）、Mo（モリブデン）、またはC（炭素）を含むアルミニウム合金膜とする。例えば、Al中に0.1 atoms %以上10 atoms %以下の炭素（C）と、0.5 atoms %以上7 atoms %以下のNiを含有しているアルミニウム炭素合金膜や、Al中に0.1 atoms %以上10 atoms %以下の炭素（C）と、1 atoms %以上20 atoms %以下のTiを含有しているアルミニウム炭素合金膜や、Al中に0.1 atoms %以上10 atoms %以下の炭素（C）を含有しているアルミニウム炭素合金膜を用いる。第3導電層の膜厚は、5 nm以上200 nm以下の範囲とすることが望ましい。なお、アルミニウム炭素合金は、アルミニウム - 炭素系合金とも呼ばれる。

10

【0023】

ただし、環境問題を考慮すると、Niは有害な材料の一つであるため、第3導電層は、Ti（チタン）、Mo（モリブデン）、またはC（炭素）を含むアルミニウム合金膜とすることが望ましい。

【0024】

また、各層の表面を酸化させないように、これら3層を同じスパッタ装置で連続して形成することが好ましい。

20

【0025】

本明細書で開示する発明の構成は、絶縁表面を有する基板上に、半導体薄膜を活性層とした複数の薄膜トランジスタと、透明導電膜とを有する半導体装置であり、前記半導体装置は、前記活性層と接するチタン単体またはモリブデン単体からなる第1導電層と、前記第1導電層上に接するアルミニウム単体からなる第2導電層と、前記第2導電層上に接する炭素を含むアルミニウム合金からなる第3導電層と、を順に積層した電極または配線を有し、前記第3導電層上に接する透明導電膜を有していることを特徴とする半導体装置である。

【0026】

また、炭素を含むアルミニウム合金に代えて、炭素、及びチタンを含むアルミニウム合金を用いてもよく、他の発明の構成は、絶縁表面を有する基板上に、半導体薄膜を活性層とした複数の薄膜トランジスタと、透明導電膜とを有する半導体装置であり、前記半導体装置は、前記活性層と接するチタン単体またはモリブデン単体からなる第1導電層と、前記第1導電層上に接するアルミニウム単体からなる第2導電層と、前記第2導電層上に接する炭素、及びチタンを含むアルミニウム合金からなる第3導電層と、を順に積層した電極または配線を有し、前記第3導電層上に接する透明導電膜を有していることを特徴とする半導体装置である。

30

【0027】

また、炭素を含むアルミニウム合金に代えて、炭素、及びニッケルを含むアルミニウム合金を用いてもよく、他の発明の構成は、絶縁表面を有する基板上に、半導体薄膜を活性層とした複数の薄膜トランジスタと、透明導電膜とを有する半導体装置であり、前記半導体装置は、前記活性層と接するチタン単体またはモリブデン単体からなる第1導電層と、前記第1導電層上に接するアルミニウム単体からなる第2導電層と、前記第2導電層上に接する炭素、及びニッケルを含むアルミニウム合金からなる第3導電層と、を順に積層した電極または配線を有し、前記第3導電層上に接する透明導電膜を有していることを特徴とする半導体装置である。

40

【0028】

上記各構成において、前記透明導電膜を陽極または陰極とする発光素子、或いは、前記透明導電膜を画素電極とする液晶素子を有していることを特徴の一つとしている。

【0029】

50

また、上記各構成において、前記第1導電層と、前記第2導電層と、前記第3導電層は、同じスパッタ装置内で連続して形成されたことを特徴としている。同じスパッタ装置内で連続して形成することにより、前記層の表面が酸化することがなく、結果として透明導電膜とのコンタクト抵抗及び配線抵抗を低くすることができる。

【0030】

また、透明導電膜を先に形成した後、積層構造を有する電極を形成して薄膜トランジスタと透明導電膜とを電氣的に接続させる場合の発光素子を有する半導体装置の作製方法も本発明の特徴の一つであり、その作製方法は、

絶縁表面を有する基板上に、半導体薄膜を活性層とした複数の薄膜トランジスタを形成する工程と、

前記薄膜トランジスタに接続する透明導電膜を形成する工程と、を有する工程であり、

前記透明導電膜及び前記活性層に接する電極は、少なくともモリブデン膜と、アルミニウム膜からなる積層構造を有しており、

前記電極は、アルミニウム膜をドライエッチングする工程と、同じマスクを用いてモリブデン膜をウェットエッチングする工程と、によってパターンニングされ、前記ウェットエッチングは、モリブデン膜を選択的に除去すると同時に前記透明導電膜の表面を洗浄することを特徴とする半導体装置の作製方法である。

【0031】

上記作製方法とすることによって、透明導電膜（代表的にはITO）からなる陽極表面に点在する微小な粒子（ $0.1\mu\text{m}$ 以下の球状の微小な粒）を前記ウェットエッチングで同時に除去することができる。この微小な粒子は、スパッタ法によるITO成膜中のゴミ、隔壁のウェットエッチング工程におけるゴミ、またはITO膜のパターンニング工程におけるゴミであると思われる。この微小な粒子が、有機化合物を有する発光素子の作製直後において生じているダークスポットの主原因となっている。なお、透明導電膜における表面の洗浄を行わずに作製した発光素子の電気特性は、電圧に対する輝度変化はほとんどない一方、低電圧（ $3\text{V} \sim 5\text{V}$ ）での駆動において極端に発光効率が低下するという異常が見られる。また、微小な粒によって電流が局所的に集中して輝点（周りよりも輝度の高い箇所）が発生する場合もある。

【0032】

また、本発明は3層構造に限定されず、2層構造の配線としてもよい。特に、2層構造の配線上に透明導電膜を形成する場合に有効であり、本発明の他の構成は、絶縁表面を有する基板上に、アルミニウム単体を含む第1導電層と、前記第1導電層上に接する炭素を含むアルミニウム合金を含む第2導電層と、を積層した電極または配線を有し、前記第2導電層上に接する透明導電膜を有していることを特徴とする半導体装置である。この構成において、前記第2導電層に含まれる炭素の含有量は、 $0.1\text{atoms}\%$ 以上 $10\text{atoms}\%$ 以下であることを特徴の一つとしている。また、前記第2導電層は、さらにチタンを含み、そのチタンの含有量は、 $1\text{atoms}\%$ 以上 $20\text{atoms}\%$ 以下であることを特徴としている。また、前記第2導電層は、さらにモリブデンを含んでもよい。

【0033】

なお、発光素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られる有機化合物を含む層（以下、EL層と記す）と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の成膜装置および成膜方法により作製される発光装置は、どちらの発光を用いた場合にも適用可能である。

【0034】

また、本明細書中において、第1の電極とは、発光素子の陽極、或いは陰極となる電極を指している。発光素子は、第1の電極と、該第1の電極上に有機化合物を含む層と、該有機化合物を含む層上に第2の電極とを有する構成となっており、形成順序において先に基板に形成する電極を第1の電極と呼んでいる。

【0035】

また、第1の電極の配置としてはストライプ配列、デルタ配列、モザイク配列などを挙げることができる。

【0036】

なお、本明細書中における発光装置とは、画像表示デバイス、発光デバイス、もしくは光源（照明装置含む）を指す。また、発光装置にコネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または発光素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て発光装置に含むものとする。

10

【0037】

また、本発明の発光装置において、画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。代表的には、線順次駆動方法とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、発光装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であってもよく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

【0038】

さらに、ビデオ信号がデジタルの発光装置において、画素に入力されるビデオ信号が定電圧（CV）のものと、定電流（CC）のものがある。ビデオ信号が定電圧のもの（CV）には、発光素子に印加される電圧が一定のもの（CVCV）と、発光素子に印加される電流が一定のもの（CVCC）とがある。また、ビデオ信号が定電流のもの（CC）には、発光素子に印加される電圧が一定のもの（CCCCV）と、発光素子に印加される電流が一定のもの（CCCC）とがある。

20

【0039】

また、本発明の発光装置において、静電破壊防止のための保護回路（保護ダイオードなど）を設けてもよい。

【0040】

また、アクティブマトリクス型とする場合、第1の電極に接続するTF Tを複数設けるが、TF T構造に関係なく本発明を適用することが可能であり、例えば、トップゲート型TF Tや、ボトムゲート型（逆スタガ型）TF Tや、順スタガ型TF Tを用いることが可能である。また、シングルゲート構造のTF Tに限定されず、複数のチャネル形成領域を有するマルチゲート型TF T、例えばダブルゲート型TF Tとしてもよい。

30

【0041】

また、発光素子と電氣的に接続するTF Tはpチャネル型TF Tであっても、nチャネル型TF Tであってもよい。pチャネル型TF Tと接続させる場合は、陽極と接続させ、陽極上に正孔注入層、正孔輸送層、発光層、電子輸送層と順次積層した後、陰極を形成すればよい。また、nチャネル型TF Tと接続させる場合は、陰極と接続させ、陰極上に電子輸送層、発光層、正孔輸送層、正孔注入層と順次積層した後、陽極を形成すればよい。

【0042】

また、TF Tの活性層としては、非晶質半導体膜、結晶構造を含む半導体膜、非晶質構造を含む化合物半導体膜などを適宜用いることができる。さらにTF Tの活性層として、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいるセミアモルファス半導体膜（微結晶半導体膜、マイクロクリスタル半導体膜とも呼ばれる）も用いることができる。

40

【0043】

また、本明細書中において、画素電極とは、TF Tと接続される電極であり、且つ、対向基板に設けられる対向電極と対となす電極を指している。また、液晶素子は、画素電極と、対向電極と、これらの電極に挟まれた液晶層とを指している。アクティブマトリクス

50

型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【発明の効果】

【0044】

本発明により、TFTとITOとを備えた半導体装置において、配線材料として純アルミニウムを用いてもヒロックやウィスカー等の突起物の形成を防止し、且つ、シリコンとアルミニウムの相互拡散を防止し、且つ、ITOとの良好なオーミック接合を可能とすることができる。また、このような優れた配線または電極が得られ、さらなる半導体装置の低消費電力化を実現することができる。

10

【発明を実施するための最良の形態】

【0045】

本発明の実施形態について、以下に説明する。

【0046】

(実施の形態1)

ここでは、アクティブマトリクス型の発光装置の例に本発明を説明することとする。

【0047】

図1は、発光装置の画素部における一部を拡大した断面図である。以下に図1に示した発光素子を有する半導体装置の作製工程を示す。

20

【0048】

まず、基板10上に下地絶縁膜11を形成する。基板10側を表示面として発光を取り出す場合、基板10としては、光透過性を有するガラス基板や石英基板を用いればよい。また、処理温度に耐えうる耐熱性を有する光透過性のプラスチック基板を用いてもよい。また、基板10側とは逆の面を表示面として発光を取り出す場合、前述の基板の他にシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。ここでは基板10としてガラス基板を用いる。なお、ガラス基板の屈折率は1.55前後である。

【0049】

30

下地絶縁膜11としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成する。ここでは下地膜として2層構造を用いた例を示すが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。なお、特に下地絶縁膜を形成しなくてもよい。

【0050】

次いで、下地絶縁膜上に半導体層を形成する。半導体層は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を第1のフォトリソマスクを用いて所望の形状にパターニングして形成する。この半導体層の厚さは25~80nm(好ましくは30~70nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

40

【0051】

また、非晶質構造を有する半導体膜の結晶化処理として連続発振のレーザーを用いてもよく、非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第2高調波~第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用すればよい。連続発振のレーザーを用いる場合には、出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出す

50

る方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は $0.01 \sim 100 \text{ MW/cm}^2$ 程度（好ましくは $0.1 \sim 10 \text{ MW/cm}^2$ ）が必要である。そして、 $10 \sim 2000 \text{ cm/s}$ 程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

【0052】

次いで、レジストマスクを除去した後、半導体層を覆うゲート絶縁膜12を形成する。ゲート絶縁膜12はプラズマCVD法またはスパッタ法を用い、厚さを $1 \sim 200 \text{ nm}$ とする。好ましくは $10 \text{ nm} \sim 50 \text{ nm}$ と薄くしてシリコンを含む絶縁膜の単層または積層構造で形成した後、マイクロ波によるプラズマを用いた表面窒化処理を行う。

10

【0053】

このように膜厚の薄い絶縁膜をプラズマCVD法を用いる場合、成膜レートを遅くして薄い膜厚を制御性よく得る必要がある。例えば、RFパワーを 100 W 、 10 kHz 、圧力 0.3 Torr 、 N_2O ガス流量 400 sccm 、 SiH_4 ガス流量 1 sccm 、とすれば酸化珪素膜の成膜速度を 6 nm/min とすることができる。また、マイクロ波によるプラズマを用いた窒化処理は、マイクロ波源（ 2.45 GHz ）、および反応ガスである窒素ガスを用いて行う。

【0054】

なお、ゲート絶縁膜12表面から離れるにつれて窒素濃度は減少する。これにより酸化珪素膜表面を高濃度に窒化できるだけでなく、酸化珪素膜と活性層の界面の窒素を低減し、デバイス特性の劣化を防ぐ。

20

【0055】

次いで、ゲート絶縁膜12上に膜厚 $100 \sim 600 \text{ nm}$ の導電膜を形成する。ここでは、スパッタ法を用い、 Ta-N 膜と W 膜との積層からなる導電膜を形成する。なお、ここでは導電膜を Ta-N 膜と W 膜との積層としたが、特に限定されず、 Ta 、 W 、 Ti 、 Mo 、 Al 、 Cu から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の単層、またはこれらの積層で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。

【0056】

次いで、第2のフォトリソマスクを用いてレジストマスクを形成し、ドライエッチング法またはウェットエッチング法を用いてエッチングを行う。このエッチング工程によって、導電膜をエッチングして、導電層14a、14bを得る。なお、導電層14a、14bはTFTのゲート電極となる。

30

【0057】

次いで、レジストマスクを除去した後、第3のフォトリソマスクを用いてレジストマスクを新たに形成し、ここでは図示しないnチャネル型TFTを形成するため、半導体層にn型を付与する不純物元素（代表的にはリン、またはAs）を低濃度にドーピングするための第1のドーピング工程を行う。レジストマスクは、pチャネル型TFTとなる領域と、導電層の近傍とを覆う。この第1のドーピング工程によって絶縁膜を介してスルードーピングを行い、低濃度不純物領域を形成する。一つの発光素子は、複数のTFTを用いて駆動させるが、pチャネル型TFTのみで駆動させる場合には、上記ドーピング工程は特に必要ない。

40

【0058】

次いで、レジストマスクを除去した後、第4のフォトリソマスクを用いてレジストマスクを新たに形成し、半導体にp型を付与する不純物元素（代表的にはボロン）を高濃度にドーピングするための第2のドーピング工程を行う。この第2のドーピング工程によってゲート絶縁膜12を介してスルードーピングを行い、p型の高濃度不純物領域17、18を形成する。

【0059】

次いで、第5のフォトリソマスクを用いてレジストマスクを新たに形成し、ここでは図示しないnチャネル型TFTを形成するため、半導体にn型を付与する不純物元素（代表的にはリン、またはAs）を高濃度にドーピングするための第3のドーピング工程を行う。第3のド

50

ーピング工程におけるイオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を $60 \sim 100 \text{ keV}$ として行う。レジストマスクは、pチャネル型 TFT となる領域と、導電層の近傍とを覆う。この第3のドーピング工程によってゲート絶縁膜12を介してスルードープを行い、n型の高濃度不純物領域を形成する。

【0060】

この後、レジストマスクを除去し、水素を含む第1の層間絶縁膜13を成膜した後、半導体層に添加された不純物元素の活性化および水素化を行う。水素を含む第1の層間絶縁膜13は、PCVD法により得られる窒化酸化珪素膜(SiNO膜)を用いる。加えて、結晶化を助長する金属元素、代表的にはニッケルを用いて半導体膜を結晶化させている場合、活性化と同時にチャネル形成領域19におけるニッケルの低減を行うゲッタリングをも行うことができる。

10

【0061】

次いで、層間絶縁膜の2層目となる平坦化絶縁膜16を形成する。平坦化絶縁膜16としては、塗布法によって得られるシリコン(Si)と酸素(O)との結合で骨格構造が構成されるシロキサンのような絶縁膜を用いる。

【0062】

次いで、第6のマスクを用いてエッチングを行い、平坦化絶縁膜16にコンタクトホールを形成すると同時に周縁部の平坦化絶縁膜を除去する。ここでは、第1の層間絶縁膜13と選択比が取れる条件でエッチング(ウェットエッチングまたはドライエッチング)を行う。用いるエッチング用ガスに限定はないが、ここでは CF_4 、 O_2 、He、Ar とを用いることが適している。 CF_4 の流量を 380 sccm 、 O_2 の流量を 290 sccm 、He の流量を 500 sccm 、Ar の流量を 500 sccm 、RF パワーを 3000 W 、圧力を 25 Pa とし、ドライエッチングを行う。なお、第1の層間絶縁膜13上に残渣を残すことなく平坦化絶縁膜をエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。1回のエッチングでテーパ形状としてもよいし、複数のエッチングによってテーパ形状にしてもよい。ここでは、さらに CF_4 、 O_2 、He を用いて、 CF_4 の流量を 550 sccm 、 O_2 の流量を 450 sccm 、He の流量を 350 sccm 、RF パワーを 3000 W 、圧力を 25 Pa とする2回目のドライエッチングを行ってテーパ形状とする。平坦化絶縁膜の端部におけるテーパ角は、 30° を越え 75° 未満とすることが望ましい。

20

30

【0063】

次いで、第6のマスクをそのままマスクとしてエッチングを行い、露呈しているゲート絶縁膜12、および第1の層間絶縁膜13を選択的に除去する。エッチング用ガスに CHF_3 と Ar を用いてゲート絶縁膜12、および第1の層間絶縁膜13のエッチング処理を行う。なお、半導体層上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。

【0064】

次いで、第6のマスクを除去し、コンタクトホールで半導体層と接する3層構造からなる導電膜を形成する。なお、各層の表面を酸化させないように、これら3層を同じスパッタ装置で連続して形成することが好ましい。次いで、第7のマスクを用いてエッチングを行い、配線または電極を形成する。

40

【0065】

シリコンとアルミニウムの相互拡散を防止するための第1導電層22aは、Ti単体、またはMo単体を用い、 $20 \text{ nm} \sim 200 \text{ nm}$ の膜厚範囲とする。

【0066】

また、配線の電気抵抗値を低くするための第2導電層22bは、アルミニウム単体を用い、 $0.1 \mu\text{m} \sim 2 \mu\text{m}$ の膜厚範囲とする。

【0067】

また、ITOと反応しないアルミニウム合金からなる第3導電層22cは、Ti(チタン)、Mo(モリブデン)、またはC(炭素)を含むアルミニウム合金膜を用いる。第3

50

導電層 22c の膜厚は、5 nm ~ 200 nm の範囲とする。

【0068】

図2にスパッタ法で成膜したTi（チタン）、またはC（炭素）を含むアルミニウム合金膜の膜厚200 nmの反射率のデータを示す。図2において、縦軸は反射率（％）を示し、横軸は、測定波長（nm）を示している。比較例は、アルミニウム単体ターゲットを用いたアルミニウム膜である。また、サンプルAは、アルミニウム単体ターゲット（6インチ）上にTiのペレット（面積0.5 cm²）とCのペレット（面積0.5 cm²）を設置して成膜を行ったTiを含むアルミニウム炭素合金膜である。なお、このサンプルをESCAで測定したところ、Al膜中にTiは2.7 atoms %含まれ、Cは1 atoms %以下であった。

10

【0069】

また、サンプルBは、アルミニウム単体ターゲット上にCのペレット（面積0.5 cm²）を設置して成膜を行ったアルミニウム炭素合金膜である。また、サンプルCは、アルミニウム単体ターゲット上にCのペレット（面積1 cm²）を設置して成膜を行ったアルミニウム炭素合金膜である。

【0070】

Tiを含むアルミニウム炭素合金膜、及びアルミニウム炭素合金膜は、アルミニウム膜（比較例）よりも短波長域で反射率が高く、平坦性が優れていることが図2から読み取れる。

【0071】

また、上記サンプルをそれぞれ300 °Cのベークを行った後、再び反射率を測定したデータを図3に示す。

20

【0072】

300 °Cのベークにより、アルミニウム膜（比較例）の反射率が変化するのに対し、Tiを含むアルミニウム炭素合金膜、及びアルミニウム炭素合金膜は、ほとんど変化していないことが図3から読み取れる。即ち、アルミニウム膜（比較例）はベークにより、表面にヒロックや酸化膜が形成され、反射率が低下してしまっていると考えられる。この結果から、Tiを含むアルミニウム炭素合金膜、及びアルミニウム炭素合金膜は、表面にヒロックや酸化膜が形成されにくいと言える。

【0073】

また、ベーク前後での上記サンプルの抵抗率（μ cm）をそれぞれ測定した。ベーク前に測定した結果を表1に示す。また、ベーク後に測定した結果を表2に示す。

30

【0074】

【表1】

サンプルNo.	ペレット面積[cm ²]		as-depo									
			Sheet Resistance[Ω/□]					平均値	膜厚	抵抗率	DELTA	
	Ti	C	1	2	3	4	5	[Ω/□]	[Å]	[μΩcm]	[%]	
比較例	0	0	231.5	229.3	258.78	260.49	228.74	241.766	2000	4.83532	13.1325	
A	0.5	0.5	0.748	0.697	0.7054	0.801	0.8207	0.75442	1682.53	12.693331	16.3437	
B	0	0.5	322.9	316.9	321.23	343.69	346.25	330.192	1613.9	5.3289528	8.88271	
C	0	1	289.2	295.6	305.31	305.11	302.81	299.608	2097	6.2839818	5.36705	

【0075】

【表2】

サンプルNo.	ペレット面積[cm ²]		300℃アニール後								膜厚 [Å]	抵抗率 [μ Ωcm]	DELTA [%]
	Ti	C	Sheet Resistance[Ω/□]					平均値 [Ω/□]					
			1	2	3	4	5						
比較例	0	0	216.3	214	214.3	242.73	248.88	227.236	2000	4.54472	15.3453		
A	0.5	0.5	0.551	0.531	0.6038	0.6002	0.5296	0.56312	1682.53	9.4746539	13.1766		
B	0	0.5	262.9	261.1	281.45	281.79	266.55	270.75	1613.9	4.3696213	7.65651		
C	0	1	220.6	223	234.9	230.61	225.59	226.924	2097	4.7595385	6.31489		

【0076】

表1に示すように、アルミニウム膜（比較例）については、ベーク前の抵抗率が、4.8（μ cm）、表2に示すようにベーク後の抵抗率が4.5（μ cm）であった。また、サンプルAについては、ベーク前の抵抗率が、12.7（μ cm）、ベーク後の抵

50

抗率が $9.5 (\mu \text{ cm})$ であった。また、サンプル B については、ベーク前の抵抗率が、 $5.3 (\mu \text{ cm})$ 、ベーク後の抵抗率が $4.3 (\mu \text{ cm})$ であった。また、サンプル C については、ベーク前の抵抗率が、 $6.3 (\mu \text{ cm})$ 、ベーク後の抵抗率が $4.8 (\mu \text{ cm})$ であった。

【0077】

次いで、上記三層構造を有する配線または電極に接して透明導電膜を形成する。透明導電膜と第3導電層22cとを直接接して形成しても、良好なオーミック接合を得ることができる。そして、第8のマスクを用いてエッチングを行い、第1の電極23R、23G、即ち、有機発光素子の陽極（或いは陰極）を形成する。

【0078】

第1の電極の材料として、ITO（酸化インジウムスズ）、またはITO（ITOに酸化珪素が2～10重量%含まれたターゲットを用いてスパッタリング法で得られる酸化珪素を含む酸化インジウムスズ）を用いる。ITOその他、酸化珪素を含み酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透光性酸化物導電膜（IZO）などの透明導電膜を用いても良い。また、酸化珪素を含むATO（アンチモン・チン・オキサイド）の透明導電膜を用いても良い。

【0079】

なお、第1の電極23R、23GとしてITOを用いる場合は、電気抵抗値を下げるために結晶化させるベークを行う。対して、ITOやIZOは、ベークを行ってもITOのように結晶化せず、アモルファス状態のままである。

【0080】

次いで、第8のマスクを用いて第1の電極23R、23Gの端部を覆う絶縁物29（バンク、隔壁、障壁、土手などと呼ばれる）を形成する。絶縁物29としては、塗布法により得られる有機樹脂膜、またはSOG膜（例えば、アルキル基を含む SiO_x 膜）を膜厚 $0.8 \mu\text{m} \sim 1 \mu\text{m}$ の範囲で用いる。

【0081】

次いで、有機化合物を含む層24R、24Gを、蒸着法または塗布法を用いて積層形成する。なお、信頼性を向上させるため、有機化合物を含む層24R、24Gの形成前に真空加熱を行って脱気を行うことが好ましい。例えば、有機化合物材料の蒸着を行う前に、基板に含まれるガスを除去するために減圧雰囲気や不活性雰囲気で200～300の加熱処理を行うことが望ましい。有機化合物を含む層24R、24Gの形成に蒸着法を用い、真空度が $5 \times 10^{-3} \text{ Torr}$ （ 0.665 Pa ）以下、好ましくは $10^{-4} \sim 10^{-6} \text{ Torr}$ まで真空排気された成膜室で蒸着を行う。蒸着の際、予め、抵抗加熱により有機化合物は気化されており、蒸着時にシャッターが開くことにより基板の方向へ飛散する。気化された有機化合物は、上方に飛散し、メタルマスクに設けられた開口部を通して基板に蒸着される。

【0082】

なお、フルカラー化するために、発光色（R、G、B）ごとにマスクのアライメントを行う。

【0083】

有機化合物を含む層24R、24Gは積層であり、第1の電極上に正孔注入層、正孔輸送層、発光層、電子輸送層と順次形成する。例えば、有機化合物を含む層24Rのうち、発光層としてDCMが添加されたAlq₃を40[nm]成膜する。また、有機化合物を含む層24Gのうち、発光層としてDMQDが添加されたAlq₃を40[nm]成膜する。また、ここでは図示していないが青色の青色の発光層としてCBP（4,4'-ビス（N-カルバゾリル）-ピフェニル）が添加されたPPD（4,4'-ビス（N-（9-フェナントリル）-N-フェニルアミノ）ピフェニル）を30nm、ブロッキング層としてSA1q（ビス（2-メチル-8-キノリノラト）（トリフェニルシラノラト）アルミニウム）を10[nm]成膜する。

【0084】

次いで、第2の電極25、即ち、有機発光素子の陰極（或いは陽極）を形成する。第2の電極25の材料としては、MgAg、MgIn、AlLi、CaF₂、CaNなどの合金、または周期表の1族もしくは2族に属する元素とアルミニウムとを共蒸着法により形成した膜を用いればよい。

【0085】

また、第2の電極25を形成する前に陰極バッファ層としてCaF₂、MgF₂、またはBaF₂からなる透光性を有する層（膜厚1nm～5nm）を形成してもよい。

【0086】

また、第2の電極25を保護する保護層を形成してもよい。

【0087】

次いで、封止基板33をシール材（図示しない）で貼り合わせて発光素子を封止する。なお、一对の基板およびシール材で囲まれた領域27には乾燥した不活性気体、或いは透明な充填材を充填する。不活性気体としては希ガスまたは窒素を用いることができ、乾燥させるための乾燥剤を封止基板33に配置する。また、充填材としては、透光性を有している材料であれば特に限定されず、代表的には紫外線硬化または熱硬化のエポキシ樹脂を用いればよい。なお、充填材を一对の基板間に充填すると、全体の透過率を向上させることができる。

【0088】

第1の電極を透明材料、第2の電極を金属材料とすれば、基板10を通過させて光を取り出す構造、即ちボトムエミッション型となる。また、第1の電極を金属材料、第2の電極を透明材料とすれば、封止基板33を通過させて光を取り出す構造、即ちトップエミッション型となる。また、第1の電極および第2の電極を透明材料とすれば、基板10と封止基板33の両方を通過させて光を取り出す構造とすることができる。本発明は、適宜、いずれか一の構造とすればよい。

【0089】

また、基板10を通過させて光を取り出す際、発光層から放出される発光が通過する層、即ち、第1の電極、1層目の第1の層間絶縁膜13、2層目の層間絶縁膜である平坦化絶縁膜16、ゲート絶縁膜12、下地絶縁膜11には全て酸化珪素（約1.46前後）が含まれているため、それぞれの屈折率の差が小さくなって光の取り出し効率が向上する。即ち、屈折率の異なる材料層間での迷光を抑えることができる。

【0090】

（実施の形態2）

ここでは、実施の形態1とは透明導電膜と、三層構造の電極の形成順序が異なる例を図4を用いて以下に説明する。

【0091】

なお、平坦化絶縁膜16を形成するまでの工程は、実施の形態1と同一であるのでここでは詳細な説明は省略する。また、図4において、図1と同一の箇所には同じ符号を用いる。

【0092】

まず、実施の形態1に示した工程に従って、平坦化絶縁膜16を形成する。次いで、透明導電膜を成膜して、パターンニングを行い、第1の電極423R、423Gを形成する。

【0093】

次いで、平坦化絶縁膜16を選択的にエッチングして、p型の高濃度不純物領域17に達するコンタクトホールを形成する。次いで、第1の電極およびp型の高濃度不純物領域17に接するモリブデン金属膜を成膜する。次いで、連続的にアルミニウム膜、アルミニウム合金膜を積層成膜する。その後、パターンニングを行って第1導電層422a、第2導電層422b、および第3導電層422cを形成する。

【0094】

シリコンとアルミニウムの相互拡散を防止するための第1導電層422aは、Mo単体を用い、20nm～200nmの膜厚範囲とする。

10

20

30

40

50

【0095】

また、配線の電気抵抗値を低くするための第2導電層422bは、アルミニウム単体を用い、 $0.1\mu\text{m} \sim 2\mu\text{m}$ の膜厚範囲とする。

【0096】

また、アルミニウム合金からなる第3導電層422cは、Ti(チタン)、またはC(炭素)を含むアルミニウム合金膜を用いる。第3導電層422cの膜厚は、 $5\text{nm} \sim 200\text{nm}$ の範囲とする。

【0097】

上記3層からなる電極パターニングの際、複数種類のエッチング方法を用いる。まず、ドライエッチングによって422c、422bを選択的に除去した後、ウェットエッチングによって422aを除去する。ウェットエッチングを用いることで、第1の電極にダメージを与えず、且つ、第1の電極表面を洗浄することもできる。

10

【0098】

次いで、実施の形態1に示した工程と同様にして第1の電極423R、423Gの端部を覆う絶縁物29を形成する。以降の工程は実施の形態1と同一であるのでここでは詳細な説明は省略することとする。

【0099】

図4に示す構造とすることで、第1導電層422aがp型の高濃度不純物領域17に接し、且つ、透明導電膜とも接して良好なオーミック接合を得ることができる。

20

【0100】

また、本実施の形態は実施の形態1と自由に組み合わせることができる。

【0101】

(実施の形態3)

ここでは、透明導電膜と、三層構造の電極との間にもう一層の絶縁膜を設けた例を図5を用いて以下に説明する。

【0102】

なお、第1導電層22a、第2導電層22b、及び第3導電層22cからなる電極を形成するまでの工程は、実施の形態1と同一であるのでここでは詳細な説明は省略する。また、図5において、図1と同一の箇所には同じ符号を用いる。

【0103】

まず、実施の形態1に示した工程に従って、三層構造の電極を形成する。次いで、層間絶縁膜の3層目となる平坦化絶縁膜520を形成する。平坦化絶縁膜520としては、塗布法によって得られるシリコン(Si)と酸素(O)との結合で骨格構造が構成される絶縁膜を用いる。ここでは3層目の平坦化絶縁膜520で平坦化を行うため、平坦化絶縁膜16は特に平坦でなくともよく、例えば、PCVD法による無機絶縁膜を用いてもよい。

30

【0104】

次いで、平坦化絶縁膜520を選択的にエッチングして、第3導電層22cに達するコンタクトホールを形成する。次いで、透明導電膜を成膜して、パターニングを行い、第1の電極523R、523Gを形成する。

【0105】

次いで、実施の形態1に示した工程と同様にして第1の電極523R、523Gの端部を覆う絶縁物529を形成する。次いで、有機化合物を含む層524R、524Gを、蒸着法または塗布法を用いて積層形成する。以降の工程は実施の形態1と同一であるのでここでは詳細な説明は省略することとする。実施の形態1に従って、第2の電極525を形成し、封止基板533をシール材で貼り合わせて発光素子を封止する。なお、一对の基板およびシール材で囲まれた領域527には乾燥した不活性気体、或いは透明な充填材を充填する。

40

【0106】

図5に示す構造とすることで、実施の形態1に比べて第1の電極面積を広くすることが可能となり、発光領域を広くすることができる。

50

【 0 1 0 7 】

また、本実施の形態は実施の形態 1 と自由に組み合わせることができる。

【 0 1 0 8 】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例 1】

【 0 1 0 9 】

本実施例では、フルカラーの発光装置の説明を図 6 を用いて説明する。図 6 はアクティブマトリクス型の発光装置の一部断面を示す図である。

【 0 1 1 0 】

第 1 の基板 1 0 0 1 上には、下地絶縁膜 1 0 0 2 が設けられ、その上に 3 つの T F T 1 0 0 3 R、1 0 0 3 G、1 0 0 3 B を設けている。これらの T F T は、チャネル形成領域 1 0 2 0 と、ソース領域またはドレイン領域 1 0 2 1、1 0 2 2 とを活性層とし、ゲート絶縁膜 1 0 0 5 と、ゲート電極 1 0 2 3 a、1 0 2 3 b を有する p チャネル型 T F T である。また、ゲート電極は 2 層となっており、テーパ形状となっている下層 1 0 2 3 a と、上層 1 0 2 3 b とで構成されている。

【 0 1 1 1 】

また、層間絶縁膜 1 0 0 6 は P C V D 法による無機絶縁膜である。また、平坦化絶縁膜 1 0 0 7 は、塗布法による平坦な層間絶縁膜である。

【 0 1 1 2 】

発光素子においては、第 1 の電極を平坦とすることが重要であり、平坦化絶縁膜 1 0 0 7 が平坦でない場合、平坦化絶縁膜 1 0 0 7 の表面凹凸の影響によって第 1 の電極も平坦とならない恐れがある。従って、平坦化絶縁膜 1 0 0 7 の平坦性は重要である。

【 0 1 1 3 】

また、T F T のドレイン配線、またはソース配線 1 0 2 4 a、1 0 2 4 b、1 0 2 4 c は、3 層構造としている。ここでは、T i 膜と、A l 単体膜、T i を含むアルミニウム炭素合金膜との積層膜を用いる。T F T のドレイン配線、またはソース配線は、層間絶縁膜のカパレッジを考慮して、テーパ形状とすることが好ましい。

【 0 1 1 4 】

また、隔壁 1 0 0 9 は樹脂であり、異なる発光を示す有機化合物を含む層との仕切りの役目を果たしている。従って、隔壁 1 0 0 9 は、一つの画素、即ち、発光領域を囲むように格子形状としている。また、異なる発光を示す有機化合物を含む層が隔壁上で重なってもよいが、隣り合う画素の第 1 の電極とは重ならないようにする。

【 0 1 1 5 】

赤色の発光素子は、透明導電材料からなる第 1 の電極 1 0 0 8 と、有機化合物を含む層 1 0 1 5 R と、第 2 の電極 1 0 1 0 とで構成されている。青色の発光素子は、透明導電材料からなる第 1 の電極 1 0 0 8 と、有機化合物を含む層 1 0 1 5 B と、第 2 の電極 1 0 1 0 とで構成されている。緑色の発光素子は、透明導電材料からなる第 1 の電極 1 0 0 8 と、有機化合物を含む層 1 0 1 5 G と、第 2 の電極 1 0 1 0 とで構成されている。

【 0 1 1 6 】

また、第 1 の電極 1 0 0 8 及び第 2 の電極 1 0 1 0 は仕事関数を考慮して材料を選択する必要がある。但し第 1 の電極及び第 2 の電極は、画素構成によりいずれも陽極、又は陰極となりうる。駆動用 T F T の極性が p チャネル型である場合、第 1 の電極を陽極、第 2 の電極を陰極とするとよい。また、駆動用 T F T の極性が N チャネル型である場合、第 1 の電極を陰極、第 2 の電極を陽極とすると好ましい。

【 0 1 1 7 】

また、有機化合物を含む層 1 0 1 5 R、1 0 1 5 G、1 0 1 5 B は、第 1 の電極（陽極）側から順に、H I L（ホール注入層）、H T L（ホール輸送層）、E M L（発光層）、E T L（電子輸送層）、E I L（電子注入層）の順に積層されている。なお、有機化合物を含む層は、積層構造以外に単層構造、又は混合構造をとることができる。フルカラーと

10

20

30

40

50

するため、有機化合物を含む層 1015R、1015G、1015B は、それぞれ選択的に形成して、R、G、B の 3 種類の画素を形成する。

【0118】

また、水分や脱ガスによるダメージから発光素子を保護するため、第 2 の電極 1010 を覆う保護膜 1011、1012 を設けることが好ましい。保護膜 1011、1012 としては、PCVD 法による緻密な無機絶縁膜 (SiN、SiNO 膜など)、スパッタ法による緻密な無機絶縁膜 (SiN、SiNO 膜など)、炭素を主成分とする薄膜 (DLC 膜、CN 膜、アモルファスカーボン膜)、金属酸化物膜 (WO₂、CaF₂、Al₂O₃ など) などを用いることが好ましい。

【0119】

第 1 の基板 1001 と第 2 の基板 1016 との間の間隔 1014 には、充填材料または不活性ガスを充填する。窒素などの不活性ガスを充填する場合は、乾燥させるための乾燥剤を間隔 1014 に設けることが好ましい。

【0120】

また、発光素子の光は、第 1 の基板 1001 を通過して取り出される。図 6 に示す構造は下方出射型の発光装置である。

【0121】

また、ここではトップゲート型 TFT を例として説明したが、TFT 構造に関係なく本発明を適用することが可能であり、例えばボトムゲート型 (逆スタガ型) TFT や順スタガ型 TFT に適用することが可能である。

【0122】

また、本実施例は実施の形態 1、実施の形態 2、または実施の形態 3 と自由に組み合わせることができる。

【実施例 2】

【0123】

本実施例では、画素部と駆動回路と端子部とを同一基板上に形成し、両方の基板から光を取り出すことのできる発光装置の例を図 7 に示す。

【0124】

基板 610 上に下地絶縁膜を形成した後、各半導体層を形成する。次いで、半導体層を覆うゲート絶縁膜を形成した後、各ゲート電極、端子電極を形成する。次いで、n チャネル型 TFT 636 を形成するため、半導体に n 型を付与する不純物元素 (代表的にはリン、または As) をドーピングし、p チャネル型 TFT 637 を形成するため、半導体に p 型を付与する不純物元素 (代表的にはボロン) をドーピングしてソース領域およびドレイン領域、必要であれば LDD 領域を適宜形成する。次いで、PCVD 法により得られる水素を含む窒化酸化珪素膜 (SiNO 膜) を形成した後、半導体層に添加された不純物元素の活性化および水素化を行う。

【0125】

次いで、層間絶縁膜となる平坦化絶縁膜 616 を形成する。平坦化絶縁膜 616 としては、塗布法によって得られるシリコン (Si) と酸素 (O) との結合で骨格構造が構成される絶縁膜を用いる。

【0126】

次いで、マスクを用いて平坦化絶縁膜にコンタクトホールを形成すると同時に周縁部の平坦化絶縁膜を除去する。

【0127】

次いで、平坦化絶縁膜 616 をマスクとしてエッチングを行い、露呈している水素を含む SiNO 膜またはゲート絶縁膜を選択的に除去する。

【0128】

次いで、導電膜を形成した後、マスクを用いてエッチングを行い、ドレイン配線やソース配線を形成する。

【0129】

次いで、第1の電極623、即ち、有機発光素子の陽極（或いは陰極）を形成する。

【0130】

次いで、塗布法により得られるSOG膜（例えば、アルキル基を含むSiO_x膜）をパターンニングして、第1の電極623の端部を覆う絶縁物629（バンク、隔壁、障壁、土手などと呼ばれる）を形成する。

【0131】

次いで、有機化合物を含む層624を、蒸着法または塗布法を用いて形成する。次いで、透明導電膜からなる第2の電極625、即ち、有機発光素子の陰極（或いは陽極）を形成する。次いで、蒸着法またはスパッタ法により透明保護層626を形成する。透明保護層626は、第2の電極625を保護する。

10

【0132】

次いで、透明な封止基板633をシール材628で貼り合わせて発光素子を封止する。即ち、発光表示装置は、表示領域の外周をシール材で囲み、一对の基板で封止される。TFTの層間絶縁膜は、基板全面に設けられているため、シール材のパターンが層間絶縁膜の外周縁よりも内側に描画された場合、シール材のパターンの外側に位置する層間絶縁膜の一部から水分や不純物が浸入する恐れがある。従って、TFTの層間絶縁膜として用いる平坦化絶縁膜の外周は、シール材のパターンの内側、好ましくは、シール材パターンと重なるようにして平坦化絶縁膜の端部をシール材が覆うようにする。なお、シール材628で囲まれた領域には透明な充填材627を充填する。

20

【0133】

最後にFPC632を異方性導電膜631により公知の方法で端子電極と貼りつける。端子電極は、透明導電膜を用いることが好ましく、ゲート配線と同時に形成された端子電極上に形成する。（図7）

【0134】

また、発光素子の光は、基板610及び封止基板633を通過して両側に取り出される。図7に示す構造は、基板と封止基板の両方を通過させて光を取り出す構造の発光装置である。

【0135】

以上の工程によって、画素部と駆動回路と端子部とを同一基板上に形成することができる。

30

【0136】

また、本実施例は実施の形態1、実施の形態2、または実施の形態3と自由に組み合わせることができる。

【実施例3】

【0137】

本実施例は、上記実施例によって作製されるEL表示パネルにFPCや、駆動用の駆動ICを実装する例について説明する。

【0138】

図8（A）に示す図は、FPC1209を4カ所の端子部1208に貼り付けた発光装置の上面図の一例を示している。基板1210上には発光素子及びTFTを含む画素部1202と、TFTを含むゲート側駆動回路1203と、TFTを含むソース側駆動回路1201とが形成されている。TFTの活性層が結晶構造を有する半導体膜で構成されている場合には同一基板上にこれらの回路を形成することができる。従って、システムオンパネル化を実現したEL表示パネルを作製することができる。

40

【0139】

なお、基板1210はコンタクト部以外において保護膜で覆われており、保護膜上に光触媒機能を有する物質を含む下地層が設けられている。

【0140】

また、画素部を挟むように2カ所に設けられた接続領域1207は、発光素子の第2の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極は

50

画素部に設けられた T F T と電氣的に接続している。

【 0 1 4 1 】

また、封止基板 1 2 0 4 は、画素部および駆動回路を囲むシール材 1 2 0 5、およびシール材に囲まれた充填材料によって基板 1 2 1 0 と固定されている。また、透明な乾燥剤を含む充填材料を充填する構成としてもよい。また、画素部と重ならない領域に乾燥剤を配置してもよい。

【 0 1 4 2 】

また、図 8 (A) に示した構造は、X G A クラスの比較的大きなサイズ (例えば対角 4 . 3 インチ) の発光装置で好適な例を示したが、図 8 (B) は、狭額縁化させた小型サイズ (例えば対角 1 . 5 インチ) で好適な C O G 方式を採用した例である。

10

【 0 1 4 3 】

図 8 (B) において、基板 1 3 1 0 上に駆動 I C 1 3 0 1 が実装され、駆動 I C の先に配置された端子部 1 3 0 8 に F P C 1 3 0 9 を実装している。実装される駆動 I C 1 3 0 1 は、生産性を向上させる観点から、一辺が 3 0 0 m m から 1 0 0 0 m m 以上の矩形形状の基板上に複数個作り込むとよい。つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバ I C の長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が 1 5 ~ 8 0 m m、短辺が 1 ~ 6 m m の矩形形状に形成してもよいし、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

【 0 1 4 4 】

20

駆動 I C の I C チップに対する外形寸法の優位性は長辺の長さであり、長辺が 1 5 ~ 8 0 m m で形成された駆動 I C を用いると、画素部に対応して実装するのに必要な数が I C チップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上に駆動 I C を形成すると、母体として用いる基板の形状に限定されないもので生産性を損なうことがない。これは、円形のシリコンウエハから I C チップを取り出す場合と比較すると、大きな優位点である。

【 0 1 4 5 】

また、T A B 方式を採用してもよく、その場合は、複数のテープを貼り付けて、該テープに駆動 I C を実装すればよい。C O G 方式の場合と同様に、単数のテープに単数の駆動 I C を実装してもよく、この場合には、強度の問題から、駆動 I C を固定する金属片等を一緒に貼り付けるとよい。

30

【 0 1 4 6 】

また、基板 1 3 1 0 もコンタクト部以外において保護膜で覆われており、保護膜上に光触媒機能を有する物質を含む下地層が設けられている。

【 0 1 4 7 】

また、画素部 1 3 0 2 と駆動 I C 1 3 0 1 の間に設けられた接続領域 1 3 0 7 は、発光素子の第 2 の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第 1 の電極は画素部に設けられた T F T と電氣的に接続している。

【 0 1 4 8 】

また、封止基板 1 3 0 4 は、画素部 1 3 0 2 を囲むシール材 1 3 0 5、およびシール材に囲まれた充填材料によって基板 1 3 1 0 と固定されている。

40

【 0 1 4 9 】

また、T F T の活性層として非晶質半導体膜を用いる場合には、駆動回路を同一基板上に形成することは困難であるため、大きなサイズであっても図 8 (B) の構成となる。

【 0 1 5 0 】

また、本実施例は実施の形態 1、実施の形態 2、実施の形態 3、実施例 1、または実施例 2 と自由に組み合わせることができる。

【実施例 4】

【 0 1 5 1 】

本実施例では、画素部と駆動回路と端子部とを同一基板上に形成した液晶表示装置の例を

50

図 9 に示す。図 9 は、カラーフィルタを用いない液晶パネルの断面図を示している。

【 0 1 5 2 】

カラーフィルタを用いない液晶パネルと偏光板によって光シャッタを構成し、R G B の 3 色のバックライト光源を高速で点滅させるフィールドシーケンシャル方式の駆動方法を用いる。フィールドシーケンシャル方式は、人間の目の時間的な能力の限界を利用し、連続時間的な加法混色によってカラー表示を実現するものである。

【 0 1 5 3 】

第 1 の基板 7 0 1 上には、下地絶縁膜 7 0 2 が設けられ、その上に 3 つの T F T 7 0 3 を設けている。これらの T F T は、チャネル形成領域 7 2 0 と、低濃度不純物領域 7 2 5、7 2 6 と、ソース領域またはドレイン領域 7 2 1、7 2 2 とを活性層とし、ゲート絶縁膜 7 0 5 と、ゲート電極 7 2 3 a、7 2 3 b を有する n チャネル型 T F T である。また、ゲート電極は 2 層となっており、テーパ形状となっている第 1 層 7 2 3 a と、第 2 層 7 2 3 b との積層で構成されている。

10

【 0 1 5 4 】

また、層間絶縁膜 7 0 6 は P C V D 法による無機絶縁膜である。平坦化絶縁膜 7 0 7 は、塗布法による平坦な層間絶縁膜である。

【 0 1 5 5 】

また、T F T のドレイン配線、またはソース配線 7 2 4 a、7 2 4 b、7 2 4 c は、3 層構造としている。ここでは、T i 膜と、A l 単体膜、N i を含むアルミニウム炭素合金膜の順で形成した積層膜を用いる。T F T のドレイン配線、またはソース配線は、層間絶縁膜のカバレッジを考慮して、テーパ形状とすることが好ましい。

20

【 0 1 5 6 】

また、画素電極 7 0 8 は、I T O (酸化インジウムスズ)、I T S O (I T O に酸化珪素が 2 ~ 1 0 重量 % 含まれたターゲットを用いてスパッタリング法で得られる酸化珪素を含む酸化インジウムスズ)、酸化珪素を含み酸化インジウムに 2 ~ 2 0 % の酸化亜鉛 (Z n O) を混合した透光性酸化物導電膜 (I Z O)、酸化珪素を含む A T O (アンチモン・チン・オキサイド) などの透明導電膜を用いることができる。画素電極 7 0 8 として I T O を用いても、画素電極と接する第 3 導電層が N i を含むアルミニウム炭素合金膜であるため、電触などの不良は生じず、良好なオーミックコンタクトも得ることができる。

【 0 1 5 7 】

30

また、柱状スペーサ 7 1 4 は樹脂であり、基板間隔を一定に保つ役目を果たしている。従って、柱状スペーサ 7 1 4 は、等間隔で配置されている。また、高速応答させるため、基板間隔は 2 μ m 以下にすることが好ましく、柱状スペーサ 7 1 4 の高さを適宜調節する。また、2 インチ角以下の小さい画面サイズの場合には、柱状スペーサは特に設けなくともよく、シール材に含ませるフィラーなどのギャップ材のみで基板間隔を調節してもよい。

【 0 1 5 8 】

また、柱状スペーサ 7 1 4 及び画素電極 7 0 8 を覆う配向膜 7 1 0 も設ける。対向基板となる第 2 の基板 7 1 6 にも配向膜 7 1 2 を設け、シール材 (図示しない) で第 1 の基板 7 0 1 と第 2 の基板 7 1 6 を貼り合わせている。

【 0 1 5 9 】

40

また、第 1 の基板 7 0 1 と第 2 の基板 7 1 6 との間の間隔には、液晶材料 7 1 1 を充填する。液晶材料 7 1 1 は、シール材を閉パターンとして気泡が入らないように減圧下で液晶の滴下を行い、両方の基板を貼り合わせる方法を用いてもよいし、開口部を有するシールパターンを設け、T F T 基板を貼りあわせた後に毛細管現象を用いて液晶を注入するディップ式 (汲み上げ式) を用いてもよい。

【 0 1 6 0 】

本実施例の液晶パネルは、いわゆる セル構造を有しており、O C B (O p t i c a l l y C o m p e n s a t e d B e n d) モードという表示モードを用いる。セル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面对称の関係で配向された構造である。セル構造の配向状態は、基板間に

50

電圧が印加されていない時はスプレイ配向となり、電圧を印加するとベンド配向に移行する。さらに電圧を印加するとベンド配向の液晶分子が両基板と垂直に配向し、光が透過する状態となる。なお、OCBモードにすると、従来のTNモードより約10倍速い高速応答性を実現できる。

【0161】

また、液晶パネルは一对の光学フィルム（偏光板、位相差板など）731、732の間に挟む。加えて、OCBモードによる表示においては、リタデーションの視角依存性を3次的に補償するため、2軸性位相差板を用いることが好ましい。

【0162】

図9に示す液晶パネルのバックライトとしてRGBの3色のLED735として用いる。LED735の光は導光板734によって導出される。フィールドシーケンシャル駆動方法においては、LED点灯期間TR期間、TG期間およびTB期間に、それぞれR、G、BのLEDが順に点灯する。赤のLEDの点灯期間（TR）には、赤に対応したビデオ信号（R1）が液晶パネルに供給され、液晶パネルに赤の1画像画面分の信号が書き込まれる。また、緑のLEDの点灯期間（TG）には、緑に対応したビデオ信号（G1）が液晶パネルに供給され、液晶パネルに緑の画像1画面分が書き込まれる。また、青のLEDの点灯期間（TB）には、青に対応したビデオ信号（B1）が液晶表示装置に供給され、液晶表示装置に青の1画像画面分の信号が書き込まれる。これらの3回の画像の書き込みにより、1フレームが形成される。

【実施例5】

【0163】

本発明を実施して得たELパネルまたは液晶パネルを組み込むことによって様々な電子機器を作製することができる。電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD））等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図10、図11に示す。

【0164】

図10（A）はテレビであり、筐体2001、支持台2002、表示部2003、スピーカ部2004、ビデオ入力端子2005等を含む。本発明はテレビに内蔵している半導体集積回路、および表示部2003に適用し、消費電力が低減されたテレビを実現することができる。なお、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用のテレビが含まれる。

【0165】

図10（B）はデジタルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明は、デジタルカメラに内蔵されている半導体集積回路（メモリやCPUなど）、および表示部2102に適用し、消費電力が低減されたデジタルカメラとすることができる。

【0166】

図10（C）はパーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明は、パーソナルコンピュータに内蔵されている半導体集積回路（メモリやCPUなど）、および表示部2203に適用し、表示部に配置されるTFTと、CPUを構成するCMOS回路とに用いられる配線や接触抵抗を低減することが可能となり、消費電力が低減されたパーソナルコンピュータを実現することができる。

【0167】

図10（D）は電子書籍であり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明は、電子書籍に内蔵されてい

る半導体集積回路（メモリやCPUなど）、および表示部2302に適用し、消費電力が低減された電子書籍を実現することができる。

【0168】

図10(E)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読込部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。本発明は画像再生装置に内蔵されている半導体集積回路（メモリやCPUなど）、および表示部A、B2403、2404に適用し、消費電力が低減された画像再生装置を実現することができる。

10

【0169】

図10(F)は携帯型のゲーム機器であり、本体2501、表示部2505、操作スイッチ2504等を含む。ゲーム機器に内蔵されている半導体集積回路（メモリやCPUなど）、および表示部2503、2505に適用し、消費電力が低減された携帯型のゲーム機器を実現することができる。

【0170】

図10(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明は、ビデオカメラに内蔵されている半導体集積回路（メモリやCPUなど）、および表示部2602に適用し、消費電力が低減されたビデオカメラを実現することができる。

20

【0171】

図10(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明は、携帯電話に内蔵されている半導体集積回路（メモリやCPUや高周波回路など）、および表示部2703に適用し、消費電力が低減された携帯電話を実現できる。

【0172】

また、図11は、記録媒体を備えた携帯型の音楽再生装置であり、本体2901、表示部2903、記録媒体（カード型メモリ、小型HDD等）読み込み部、操作キー2902、2906、接続コード2904に接続されたヘッドフォンのスピーカー部2905等を含む。本発明は、表示部2903に適用し、消費電力が低減された音楽再生装置を実現できる。

30

【0173】

また、本実施例は実施の形態1、実施の形態2、実施の形態3、実施例1、実施例2、実施例3、実施例4、または実施例5と自由に組み合わせることができる。

【図面の簡単な説明】

【0174】

【図1】実施の形態1を示す断面図。

【図2】成膜後の反射率を示すグラフ。

40

【図3】ベーク後の反射率を示すグラフ。

【図4】実施の形態2を示す断面図。

【図5】実施の形態3を示す断面図。

【図6】EL表示パネルの断面図。

【図7】EL表示パネルの断面図。

【図8】EL表示パネルを示す上面図。

【図9】液晶パネルを示す断面図。

【図10】電子機器の一例を示す図。

【図11】電子機器の一例を示す図。

【符号の説明】

50

【 0 1 7 5 】

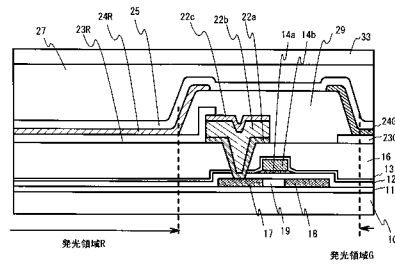
1 0	基板	
1 1	下地絶縁膜	
1 2	ゲート絶縁膜	
1 3	第 1 の層間絶縁膜	
1 4 a	導電層	
1 4 b	導電層	
1 6	平坦化絶縁膜	
1 7	p 型の高濃度不純物領域	
1 8	p 型の高濃度不純物領域	10
1 9	チャネル形成領域	
2 2 a	第 1 導電層	
2 2 b	第 2 導電層	
2 2 c	第 3 導電層	
2 3 R	第 1 の電極	
2 3 G	第 1 の電極	
2 4 R	有機化合物を含む層	
2 4 G	有機化合物を含む層	
2 5	第 2 の電極	
2 7	一对の基板およびシール材で囲まれた領域	20
2 9	絶縁物	
3 3	封止基板	
4 2 2 a	第 1 導電層	
4 2 2 b	第 2 導電層	
4 2 2 c	第 3 導電層	
4 2 3 R	第 1 の電極	
4 2 3 G	第 1 の電極	
5 2 0	平坦化絶縁膜	
5 2 3 R	第 1 の電極	
5 2 3 G	第 1 の電極	30
5 2 4 R	有機化合物を含む層	
5 2 4 G	有機化合物を含む層	
5 2 5	第 2 の電極	
5 2 7	一对の基板およびシール材で囲まれた領域	
5 2 9	絶縁物	
5 3 3	封止基板	
6 1 0	基板	
6 1 6	平坦化絶縁膜	
6 2 3	第 1 の電極	
6 2 4	有機化合物を含む層	40
6 2 5	第 2 の電極	
6 2 6	透明保護層	
6 2 7	充填材	
6 2 8	シール材	
6 2 9	絶縁物	
6 3 2	F P C	
6 3 3	封止基板	
6 3 6	n チャネル型 T F T	
6 3 7	p チャネル型 T F T	
7 0 1	第 1 の基板	50

7 0 2	下地絶縁膜	
7 0 3	T F T	
7 0 5	ゲート絶縁膜	
7 0 6	層間絶縁膜	
7 0 7	平坦化絶縁膜	
7 0 8	画素電極	
7 1 0	配向膜	
7 1 1	液晶材料	
7 1 2	配向膜	
7 1 4	柱状スペーサ	10
7 1 6	第2の基板	
7 2 0	チャネル形成領域	
7 2 1	ソース領域またはドレイン領域	
7 2 2	ソース領域またはドレイン領域	
7 2 3 a	ゲート電極	
7 2 3 b	ゲート電極	
7 2 4 a	ソース配線	
7 2 4 b	ソース配線	
7 2 4 c	ソース配線	
7 2 5	低濃度不純物領域	20
7 2 6	低濃度不純物領域	
7 3 1	光学フィルム	
7 3 2	光学フィルム	
7 3 4	導光板	
7 3 5	L E D	
1 0 0 1	第1の基板	
1 0 0 2	下地絶縁膜	
1 0 0 3 R	T F T	
1 0 0 3 G	T F T	
1 0 0 3 B	T F T	30
1 0 0 5	ゲート絶縁膜	
1 0 0 6	層間絶縁膜	
1 0 0 7	平坦化絶縁膜	
1 0 0 8	第1の電極	
1 0 0 9	隔壁	
1 0 1 0	第2の電極	
1 0 1 1	保護膜	
1 0 1 2	保護膜	
1 0 1 4	間隔	
1 0 1 5 R	有機化合物を含む層	40
1 0 1 5 G	有機化合物を含む層	
1 0 1 5 B	有機化合物を含む層	
1 0 1 6	第2の基板	
1 0 2 0	チャネル形成領域	
1 0 2 1	ソース領域またはドレイン領域	
1 0 2 2	ソース領域またはドレイン領域	
1 0 2 3 a	ゲート電極の下層	
1 0 2 3 b	ゲート電極の上層	
1 0 2 4 a	ドレイン配線、またはソース配線	
1 0 2 4 b	ドレイン配線、またはソース配線	50

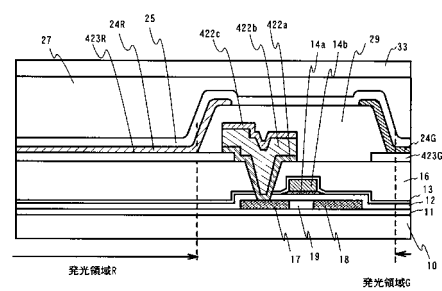
- 1 0 2 4 c ドレイン配線、またはソース配線
- 1 2 0 1 ソース側駆動回路
- 1 2 0 2 画素部
- 1 2 0 3 ゲート側駆動回路
- 1 2 0 4 封止基板
- 1 2 0 5 シール材
- 1 2 0 7 接続領域
- 1 2 0 8 端子部
- 1 2 0 9 F P C
- 1 2 1 0 基板
- 1 3 0 1 駆動 I C
- 1 3 0 2 画素部
- 1 3 0 4 封止基板
- 1 3 0 5 シール材
- 1 3 0 7 接続領域
- 1 3 0 8 端子部
- 1 3 0 9 F P C
- 1 3 1 0 基板

10

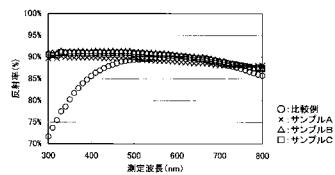
【図 1】



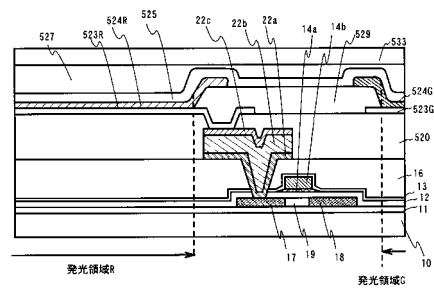
【図 4】



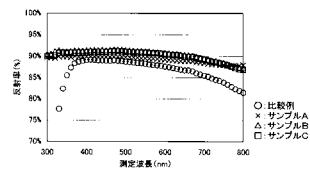
【図 2】



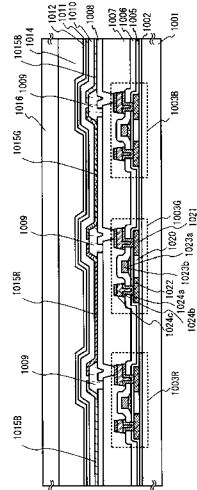
【図 5】



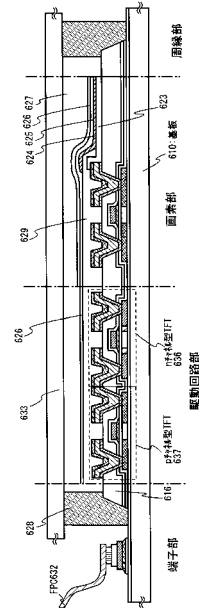
【図 3】



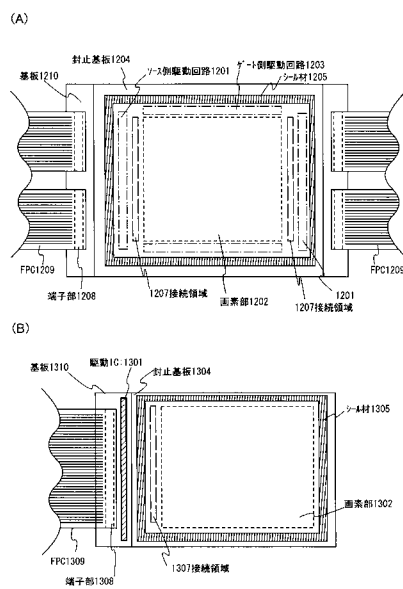
【 図 6 】



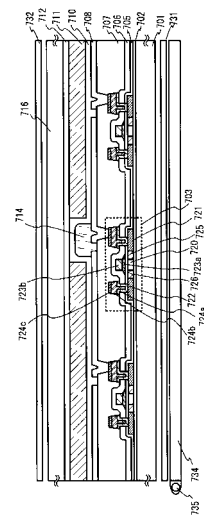
【 図 7 】



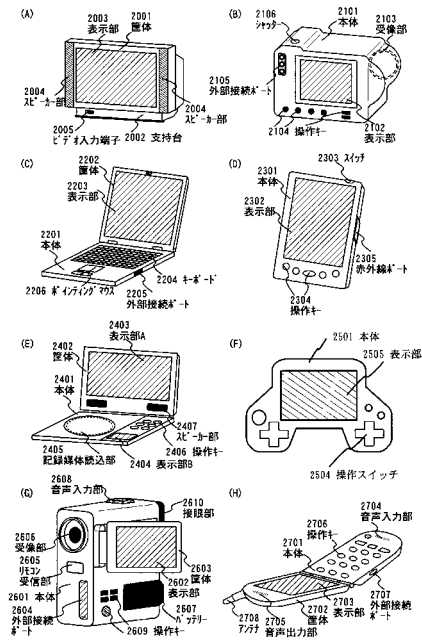
【圖 8】



【 図 9 】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開平08-062610(JP,A)
特開2000-208773(JP,A)
特開昭62-240734(JP,A)
特開2002-246607(JP,A)
特開2003-089864(JP,A)
特開2004-214606(JP,A)
特開昭62-240738(JP,A)
特開2004-212557(JP,A)
特開平03-084934(JP,A)
特開2000-258799(JP,A)
特開2000-047260(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/28 - 21/288、21/3205 - 21/3213、
21/336、21/44 - 21/445、21/768、
23/52 - 23/522、29/40 - 29/49、
29/786、29/872