



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201513271 A

(43)公開日：中華民國 104 (2015) 年 04 月 01 日

(21)申請案號：103122069

(22)申請日：中華民國 103 (2014) 年 06 月 26 日

(51)Int. Cl. : H01L23/02 (2006.01)

H01L23/34 (2006.01)

(30)優先權：2013/09/13 日本

2013-190751

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)

日本

(72)發明人：里見明洋 SATOMI, AKIHIRO (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：20 項 圖式數：14 共 30 頁

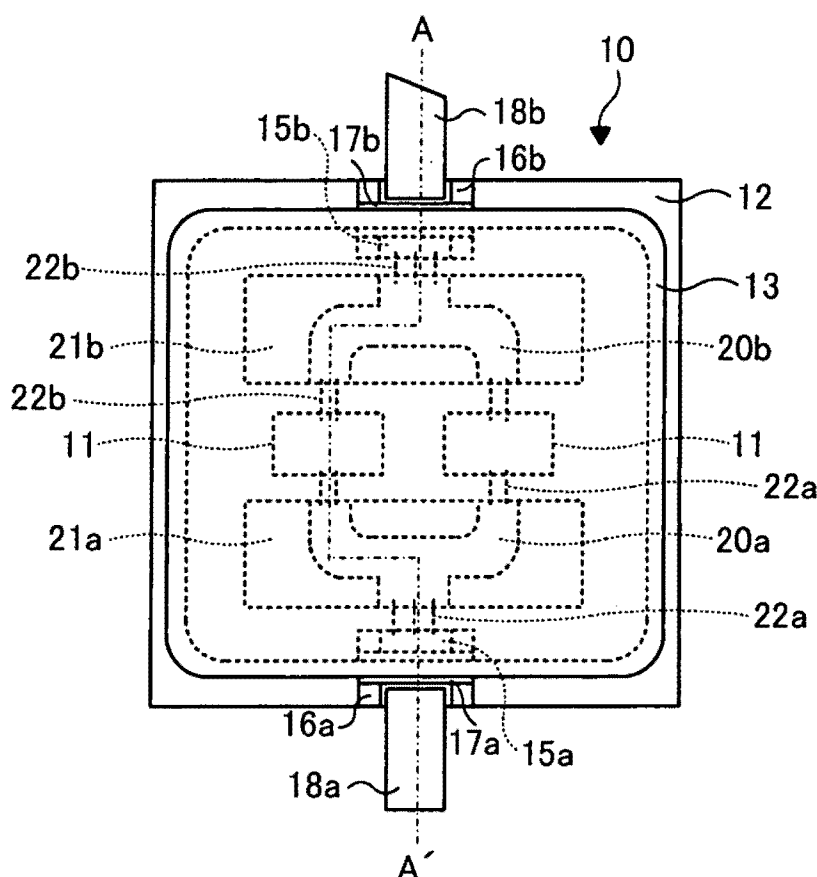
(54)名稱

半導體封裝及半導體裝置

(57)摘要

一實施例的半導體封裝是具備基礎金屬部，框體，複數的配線，及蓋體。前述基礎金屬部是在背面具有複數的溝，且可在表面搭載半導體晶片者。前述框體是配置於前述基礎金屬部的表面上。前述複數的配線是設成貫通前述框體的側面。前述蓋體是配置在前述框體上。

圖 1



- 10 . . . 半導體裝置
- 11 . . . 半導體晶片
- 12 . . . 基礎金屬部
- 13 . . . 框體
- 15a . . . 輸入側配線
- 15b . . . 輸出側配線
- 16a . . . 第 1 介電質塊
- 16b . . . 第 1 介電質塊
- 17a . . . 第 2 介電質塊
- 17b . . . 第 2 介電質塊
- 18a . . . 輸入導線
- 18b . . . 輸出導線
- 20a . . . 輸入用的整合電路圖案
- 20b . . . 輸出用的整合電路圖案
- 21a . . . 介電質基板

- 21b . . . 介電質基板
- 22a . . . 連接導體
- 22b . . . 連接導體

發明摘要

※申請案號：103122069

※申請日：103 年 06 月 26 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體封裝及半導體裝置

H01L 23/02 (2006.01)

H01L 23/34 (2006.01)

【中文】

一實施例的半導體封裝是具備基礎金屬部，框體，複數的配線，及蓋體。前述基礎金屬部是在背面具有複數的溝，且可在表面搭載半導體晶片者。前述框體是配置於前述基礎金屬部的表面上。前述複數的配線是設成貫通前述框體的側面。前述蓋體是配置在前述框體上。

【英文】

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

- | | |
|----------------|------------|
| 10：半導體裝置 | 11：半導體晶片 |
| 12：基礎金屬部 | 13：框體 |
| 15a：輸入側配線 | 15b：輸出側配線 |
| 16a：第1介電質塊 | 16b：第1介電質塊 |
| 17a：第2介電質塊 | 17b：第2介電質塊 |
| 18a：輸入導線 | 18b：輸出導線 |
| 20a：輸入用的整合電路圖案 | |
| 20b：輸出用的整合電路圖案 | |
| 21a：介電質基板 | 21b：介電質基板 |
| 22a：連接導體 | 22b：連接導體 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體封裝及半導體裝置

【技術領域】

本發明的實施例是有關半導體封裝及半導體裝置。

【先前技術】

以往的半導體裝置是具有被搭載於半導體封裝的內部之半導體晶片。此以往的半導體裝置中，半導體封裝是具有：搭載半導體晶片的基礎金屬部，及在此基礎金屬部上設成包圍半導體晶片的框狀的陶瓷框，及安裝於陶瓷框上的蓋體。半導體晶片是藉由陶瓷框及蓋體來氣密密封。

如此的以往的半導體裝置為了將半導體晶片所發出的熱予以放熱，而安裝於散熱裝置(heat sink)使用。最好半導體裝置是儘可能以低的熱阻(Thermal resistance)來安裝於散熱裝置。

然而，因為構成半導體封裝的各個零件的線膨脹係數的不同，及與基礎金屬部的表面平行的剖面之半導體封裝的形狀的不同等的影響，在半導體封裝的製造工程中的熱工程中，有基礎金屬部彎曲，半導體封裝全體彎曲的問題。一旦將如此產生彎曲的半導體封裝安裝於散熱裝置，則會在兩者之間形成空氣層。由於此空氣層是不成為放熱

路徑，所以兩者間的熱阻會增加。

作為抑制在半導體裝置與散熱裝置之間形成空氣層的手段，有在半導體封裝的基礎金屬部與散熱裝置之間夾著放熱薄板的手段，及在半導體封裝的基礎金屬部與散熱裝置之間塗佈放熱油脂的手段為人所知。

然而，例如以使用 GaAs 或 GaN 等而形成的 FET 等那樣發熱量大的功率半導體作為半導體晶片搭載於半導體封裝時，就上述手法而言是難以充分地使兩者間的熱阻降低。

於是，思考直接對散熱裝置錫焊半導體裝置而安裝的手段。焊錫是熱傳導率比放熱薄板或放熱油脂高。因此，可想像能使半導體裝置與散熱裝置之間的熱阻更為降低。

但，通常，半導體封裝的基礎金屬部的背面為了儘可能縮小半導體裝置與散熱裝置之間的熱阻，而被平坦化。因此，在半導體裝置與散熱裝置之間熔融的焊錫是在平坦的基礎金屬部的背面中擴展差，有時在焊錫內形成氣泡。

一旦如此在焊錫內形成氣泡，亦即焊錫的品質降低，則半導體裝置與散熱裝置之間的熱阻會增加。

【發明內容】

本發明是以提供一種可利用焊錫以低熱阻來安裝於散熱裝置之半導體封裝及半導體裝置為目的。

一實施例的半導體封裝是具備基礎金屬部，框體，複數的配線，及蓋體。前述基礎金屬部是在背面具有複數的

溝，且可在表面搭載半導體晶片者。前述框體是配置於前述基礎金屬部的表面上。前述複數的配線是設成貫通前述框體的側面。前述蓋體是配置在前述框體上。

一實施例的半導體裝置是具備基礎金屬部，半導體晶片，框體，複數的配線，及蓋體。前述基礎金屬部是在背面具有複數的溝。前述半導體晶片是搭載於前述基礎金屬部的表面上。前述框體是在前述基礎金屬部的表面上，配置成包圍前述半導體晶片。前述複數的配線是設成貫通前述框體的側面，一端電性連接至前述半導體晶片。前述蓋體是配置在前述框體上。

上述構成的半導體封裝及半導體裝置是可利用焊錫以低熱阻來安裝於散熱裝置。

【圖式簡單說明】

圖 1 是模式性地表示第 1 實施例的半導體裝置的平面圖。

圖 2 是沿著圖 1 的一點虛線 A-A' 的半導體裝置的剖面圖。

圖 3 是沿著圖 2 的一點虛線 B-B' 的半導體裝置的剖面圖。

圖 4 是由背面側來看第 1 實施例的半導體裝置的半導體封裝時的平面圖。

圖 5 是表示安裝於散熱裝置的第 1 實施例的半導體裝置的圖，對應於圖 2 的剖面圖。

圖 6 是表示安裝於散熱裝置的第 1 實施例的半導體裝置的圖，對應於圖 3 的剖面圖。

圖 7 是表示以往的半導體裝置安裝於散熱裝置的情況的平面圖。

圖 8 是表示以往的半導體裝置安裝於散熱裝置的情況的圖，沿著圖 7 的一點虛線 C-C' 的剖面圖。

圖 9 是表示第 1 實施例的變形例的半導體裝置的圖，對應於圖 4 的平面圖。

圖 10 是表示第 1 實施例的變形例的半導體裝置的圖，對應於圖 2 的平面圖。

圖 11 是表示第 1 實施例的變形例的半導體裝置的圖，對應於圖 3 的平面圖。

圖 12 是由背面側來看第 2 實施例的半導體裝置的半導體封裝時的平面圖。

圖 13 是沿著圖 12 的一點虛線 D-D' 的第 2 實施例的半導體裝置的剖面圖。

圖 14 是沿著圖 13 的一點虛線 B-B' 的第 2 實施例的半導體裝置的剖面圖。

【實施方式】

一實施例的半導體封裝是具備基礎金屬部，框體，複數的配線，及蓋體。前述基礎金屬部是在背面具有複數的溝，且在表面可搭載半導體晶片。前述框體是被配置於前述基礎金屬部的表面上。前述複數的配線是設成貫通前述

框體的側面。前述蓋體是配置於前述框體上。

一實施例的半導體裝置是具備基礎金屬部，半導體晶片，框體，複數的配線，及蓋體。前述基礎金屬部是在背面具有複數的溝。前述半導體晶片是被搭載於前述基礎金屬部的表面上。前述框體是在前述基礎金屬部的表面上，配置成包圍前述半導體晶片。前述複數的配線是設成貫通前述框體的側面，一端被電性連接至前述半導體晶片。前述蓋體是被配置於前述框體上。

以下，說明有關實施例的半導體封裝及半導體裝置。

(第 1 實施例)

圖 1 是模式性地表示第 1 實施例的半導體裝置的平面圖。又，圖 2 是沿著圖 1 的一點虛線 A-A' 的半導體裝置的剖面圖。另外，在圖 1 中，有關半導體封裝的內部構造是以點線表示。圖 1 及圖 2 所示的半導體裝置 10 是在半導體封裝的內部搭載有半導體晶片 11 者。

半導體封裝是藉由基礎金屬部 12，框體 13，及蓋體 14(圖 2)所構成。

基礎金屬部 12 是可在表面搭載半導體晶片 11 等。此基礎金屬部 12 是例如層壓加工銅及鉬等之類的異種金屬者，或藉由混合銅及鎢等之類的異種金屬的粉而凝固之粉末冶金法所形成者。銅是具有高的熱傳導性，鉬及鎢是線膨脹係數與例如由 GaAs，GaN 等所構成的半導體晶片 11 近似。藉由如此的異種金屬所形成的基礎金屬部 12 是具

有高的熱傳導性。而且，如上述般藉由異種金屬所形成的基礎金屬部 12 是可抑制因與所被搭載的半導體晶片 11 的線膨脹係數的不同而產生的彎曲。

框體 13 是例如由陶瓷所構成的陶瓷框，配置於基礎金屬部 12 的表面上。而且，在框體 13 上設有例如由與框體 13 同一材料的陶瓷所構成的板狀的蓋體 14(圖 2)。

並且，在如此的半導體封裝中設有：對被搭載於內部的半導體晶片 11 輸入高頻訊號等的輸入側配線 15a，及輸出在半導體晶片 11 中所被處理的高頻訊號等的輸出側配線 15b。該等的配線 15a，15b 是設成貫通框體 13。

圖 3 是沿著圖 2 的一點虛線 B-B' 的半導體裝置的剖面圖。如圖 3 所示般，在框體 13 的一側面設有凹部 13a。而且，在凹部 13a 內，第 1 介電質塊 16a，輸入側配線 15a，及第 2 介電質塊 17a 是設成填埋凹部 13a。輸入側配線 15a 是設在第 1 介電質塊 16a 上，第 2 介電質塊 17a 是在第 1 介電質塊 16a 上，設成覆蓋輸入側配線 15a。

參照圖 1 及圖 2。第 1 介電質塊 16a 及輸入側配線 15a 是設成從框體 13 的內側面突出至半導體封裝的內部方向，且從框體 13 的外側面突出至半導體封裝的外部方向。第 2 介電質塊 17a 也同樣，設成從框體 13 的內側面突出至半導體封裝的內部方向，且從框體 13 的外側面突出至半導體封裝的外部方向。但，第 2 介電質塊 17a 是設成覆蓋輸入側配線 15a 的一部分，亦即，使輸入側配線

15a 的一端及另一端露出。而且，在輸入側配線 15a 之中，從第 2 介電質塊 17a 露出的另一端是設有輸入導線 18a。

與圖 3 同樣的圖示雖省略，但實際在輸出側也成為同樣的構成。亦即，在與具有凹部 13a 的側面對向的框體 13 的另一側面也設有凹部 13b。而且，與輸入側同樣，在此凹部 13b 內，第 1 介電質塊 16b，輸出側配線 15b，及第 2 介電質塊 17b 是設成填埋凹部 13b(圖 1 及圖 2)。

第 1 介電質塊 16b 及輸出側配線 15b 是設成從框體 13 的內側面突出至半導體封裝的內部方向，且從框體 13 的外側面突出至半導體封裝的外部方向。第 2 介電質塊 17b 也同樣從框體 13 的內側面突出至半導體封裝的內部方向，且從框體 13 的外側面突出至半導體封裝的外部方向。但，第 2 介電質塊 17b 是設成使輸出側配線 15b 的一端及另一端露出。而且，在輸出側配線 15b 之中，從第 2 介電質塊 17b 露出的另一端是設有輸出導線 18b。

圖 4 是由背面側來看如此的半導體封裝時的平面圖。如圖 4 所示般，在半導體封裝的背面，亦即基礎金屬部 12 的背面是設有複數的切縫(slit)19。複數的切縫 19 是在基礎金屬部 12 的背面全面設成網眼狀。亦即，複數的切縫 19 是以彼此分離且互相平行設置的複數的第 1 切縫 19a 與同樣彼此分離且互相平行設置的複數的第 2 切縫 19b 會互相交叉的方式，設在基礎金屬部 12 的背面全面。

在本實施例的半導體裝置 10 中，複數的切縫 19 是設成複數的第 1 切縫 19a 與複數的第 2 切縫 19b 會彼此實質地垂直交叉。

如圖 2 及圖 3 所示般，各個的切縫 19 是設成其垂直剖面的形狀會成為 V 字狀。例如各個的切縫 19 是設成具有基礎金屬部 12 的厚度的 $1/3$ 以下程度，例如 $0.1 \sim 3.0\text{mm}$ 程度的深度。在此，所謂切縫 19 的深度是意思基礎金屬部 12 的背面與切縫 19 的頂點(在圖 4 中以點線所示的部分)的距離。

具有如此的複數的切縫 19 之基礎金屬部 12 是例如形成以下般。首先，直到成為基礎金屬部 12 的金屬板的背面的中心線平均粗度例如成為 $1.6a$ 程度為止，對於金屬板重複銑刀加工，使金屬板的背面平坦化。其次，例如藉由切削機(machining center)等來加工所被平坦化的金屬板的背面，藉此設置複數的切縫 19。如此形成基礎金屬部 12。

另外，基礎金屬部 12 的背面的複數的切縫 19 是亦可為例如銑刀加工終了前的金屬板所具有的複數的凹部。亦即，當金屬板的背面的中心線平均粗度為 $6.3a$ 以上時，亦可將如此的金屬板的背面的複數的凹部設為複數的切縫。以凹部作為切縫時，可省略形成基礎金屬部 12 時的銑刀加工的重複次數，及用以形成切縫 19 的加工工程，因此基礎金屬部 12 的形成變容易。

以下，在本案中，將上述的切縫 19 及凹部稱為溝，

但在實施例的說明中是說明溝為切縫 19 的情況。

參照圖 1 及圖 2。在以上說明那樣在具有複數的切縫 19 設於背面的基礎金屬部 12 之半導體封裝的內部分別搭載有半導體晶片 11 及輸出入用的整合電路圖案 20a，20b。該等是在基礎金屬部 12 的表面上搭載成被框體 13 包圍。

半導體晶片 11 是例如使用氮化鎵的高輸出電晶體 (GaN-HEMT) 等的功率半導體，搭載於基礎金屬部 12 的表面上。另外，如圖 1 所示般，在實施例的半導體裝置 10 中是搭載 2 個的半導體晶片 11，但半導體晶片 11 的數量是不被限定。並且，被搭載的半導體晶片 11 是不限於功率半導體。

並且，輸入用的整合電路圖案 20a 是在基礎金屬部 12 的表面上，設在輸入側配線 15a 與半導體晶片 11 之間所設的介電質基板 21a 的表面上。此整合電路圖案 20a 是在一端連接至半導體晶片 11，在另一端連接至輸入側配線 15a 的一端。整合電路圖案 20a 的一端與半導體晶片 11 之間，整合電路圖案 20a 的另一端與輸入側配線 15a 的一端之間，是分別藉由例如接線(wire)等的連接導體 22a 所連接。

輸出用的整合電路圖案 20b 是在基礎金屬部 12 的表面上，設在輸出側配線 15b 與半導體晶片 11 之間所設的介電質基板 21b 的表面上。此整合電路圖案 20b 是在一端連接至半導體晶片 11，在另一端連接至輸出側配線 15b

的一端。整合電路圖案 20b 的一端與半導體晶片 11 之間，整合電路圖案 20b 的另一端與輸出側配線 15b 的一端之間，是分別藉由例如接線等的連接導體 22b 所連接。

另外，如圖 1 所示般，在實施例的半導體裝置 10 中是搭載有 2 個的半導體晶片 11。因此，輸入用的整合電路圖案 20a 是成為從輸入側配線 15a 朝半導體晶片 11 呈 2 分岐的分岐電路，輸出用的整合電路圖案 20b 是成為從半導體晶片 11 朝輸出側配線 15b 呈 2 個線路合波的合波電路。但，輸入用的整合電路圖案 20a 的分岐數，及輸出用的整合電路圖案 20b 的合波數是分別依據所被搭載的半導體晶片 11 的數量而定。

圖 5 及圖 6 是分別表示安裝於散熱裝置的本實施例的半導體裝置的圖。圖 5 是對應於圖 2 的剖面圖，圖 6 是對應於圖 3 的剖面圖。如圖 5 及圖 6 所示般，半導體裝置 10 是經由焊錫 24 來安裝於表面為平坦的散熱裝置 23。焊錫 24 是設成接觸於包含基礎金屬部 12 的切縫 19 內部之半導體裝置 10 的背面全面，半導體裝置 10 是經由如此的焊錫 24 來安裝於表面為平坦的散熱裝置 23。

若根據以上說明的本實施例的半導體封裝及半導體裝置 10，則由於在基礎金屬部 12 的背面設有複數的切縫 19，因此可抑制基礎金屬部 12 彎曲，可抑制半導體封裝及半導體裝置 10 彎曲。以下，說明有關此效果。

因為製造半導體封裝時的熱工程，基礎金屬部會相應於構成半導體封裝的各零件，半導體封裝的形狀，而產生

彎曲的現象。此現象是因為製造半導體封裝時的熱工程而在基礎金屬部的各部產生應力，此應力會使基礎金屬部表面的長度與基礎金屬部背面的長度不同。

例如基礎金屬部彎曲成凸狀的現象是因為應力而基礎金屬部的表面的長度變長且基礎金屬部的背面的長度變短所造成。但，在背面具有複數的切縫 19 之基礎金屬部 12 中產生如此的應力時，各切縫 19 的寬度會擴大，抑制基礎金屬部 12 表面的長度與基礎金屬部 12 背面的長度不同。其結果，基礎金屬部 12 彎曲成凸狀的情形會被抑制。

並且，基礎金屬部彎曲成凹狀的現象是因為應力而基礎金屬部的表面的長度變短且基礎金屬部的背面的長度變長所造成。但，在背面具有複數的切縫 19 之基礎金屬部 12 中產生如此的應力時，各切縫 19 的寬度會收縮，抑制基礎金屬部 12 表面的長度與基礎金屬部 12 背面的長度不同。其結果，基礎金屬部 12 彎曲成凹狀的情形會被抑制。

若如此根據本實施例的半導體封裝及半導體裝置 10，則藉由設在基礎金屬部 12 的背面之複數的切縫 19 的寬度伸縮，可抑制基礎金屬部 12 表面的長度與基礎金屬部 12 背面的長度不同。其結果，可抑制基礎金屬部 12 彎曲，可抑制半導體封裝及半導體裝置 10 彎曲。

其次，若根據以上說明的本實施例的半導體封裝及半導體裝置 10，則由於在基礎金屬部 12 的背面設有複數的

切縫 19，因此可使用以將半導體裝置 10 安裝於散熱裝置 23 的焊錫 24 的品質提升。以下，有關此效果是一邊說明半導體裝置 10 安裝至散熱裝置 23 的方法，一邊進行說明。

首先，在散熱裝置 23 的表面的預定位置形成預定量的焊錫 24，將焊錫 24 加熱而使溶融。

其次，以溶融後的焊錫 24 能夠接觸於半導體裝置 10 的背面之方式，對準配置半導體裝置 10。一旦使溶融後的焊錫 24 接觸於半導體裝置 10 的背面，則溶融後的焊錫 24 會藉由切縫 19 的毛細管現象來良好地擴展於半導體裝置 10 的背面全體。此時，被關在半導體裝置 10 與散熱裝置 23 之間的氣泡會藉由切縫 19 來放出至半導體裝置 10 的外部。

最後，將擴展於半導體裝置 10 的背面全體的焊錫 24 冷卻凝固。藉此，如圖 5 及圖 6 所示般，半導體裝置 10 對散熱裝置 23 安裝。

另外，藉由在散熱裝置 23 的表面上形成焊錫 24，且預先半導體裝置 10 的背面也形成焊錫，安裝作業的作業性會提升，可更容易使半導體裝置 10 對於散熱裝置 23 安裝。

如以上說明般，若根據本實施例的半導體封裝及半導體裝置 10，則藉由在基礎金屬部 12 的背面設置複數的切縫 19，可利用毛細管現象來容易將溶融後的焊錫 24 擴展於半導體裝置 10 的背面全體。而且，各切縫 19 會成為用

以將關在半導體裝置 10 與散熱裝置 23 之間的氣泡放出至半導體裝置 10 的外部之放出路徑，因此可抑制在散熱裝置 23 與半導體裝置 10 之間的焊錫 24 內形成氣泡，可使焊錫 24 的品質提升。

如該等般，若根據本實施例的半導體封裝及半導體裝置 10，則由於在基礎金屬部 12 的背面設有複數的切縫 19，因此基礎金屬部 12 的彎曲會被抑制，且可使安裝用的焊錫 24 的品質提升。此結果，可使半導體裝置 10 與散熱裝置 23 之間的熱阻降低。

另外，在上述的說明中是針對適用在背面設有複數的切縫 19 之基礎金屬部 12 的情況，但即使適用具有背面的中心線平均粗度成為 6.3a 以上那樣的複數的凹部之基礎金屬部，也可取得同樣的效果。

(變形例)

以下，說明第 1 實施例的半導體封裝及半導體裝置 10 的變形例。在此，首先，參照圖 7 及圖 8 來說明有關被安裝於散熱裝置的以往的半導體裝置。圖 7 及圖 8 是表示以往的半導體裝置安裝於散熱裝置的情況的圖。圖 7 是由上側來看以往的半導體裝置時的平面圖，圖 8 是表示沿著圖 7 的一點虛線 C-C' 之以往的半導體裝置的剖面圖。

如圖 7 及圖 8 所示般，將基礎金屬部 112 的背面為平坦的以往的半導體裝置 100 安裝於散熱裝置 23 時，在用以將半導體裝置 100 安裝於散熱裝置 23 的焊錫 24 內，於

半導體裝置 100 的中央領域下容易形成空氣層 101。由於此空氣層 101 是不成為放熱路徑，因此在如此半導體裝置 100 安裝於散熱裝置 23 時，兩者間的熱阻會變高。

在此，在第 1 實施例的半導體封裝及半導體裝置 10 中，複數的切縫 19 是設在基礎金屬部 12 的背面全面。但，複數的切縫 19 是不必一定要設在基礎金屬部 12 的背面全面，亦可只設在基礎金屬部 12 的背面的一部分領域。

圖 9，圖 10，及圖 11 是分別表示變形例的半導體封裝及半導體裝置的圖。圖 9 是對應於圖 4 的平面圖，圖 10 是對應於圖 2 的剖面圖，圖 11 是對應於圖 3 的剖面圖。另外，在圖 9～圖 11 中，有關於第 1 實施例的半導體裝置 10 同一部分是附上同一符號。

例如圖 7 及圖 8 所示般，在焊錫 24 內，於半導體裝置 100 的中央領域下容易形成空氣層 101 時，如圖 9，圖 10 及圖 11 所示般，複數的切縫 19' 是亦可只設在空氣層 101 容易形成且發熱的半導體晶片 11 正下面的領域，亦即例如僅基礎金屬部 12' 背面的中央部。即使是複數的切縫 19' 為如此只設在基礎金屬部 12' 的背面的一部分領域之變形例的半導體封裝及半導體裝置 10'，還是可取得與第 1 實施例的半導體封裝及半導體裝置 10 同樣的效果。

(第 2 實施例)

圖 12 是由背面側來看第 2 實施例的半導體裝置的半

導體封裝時的平面圖。又，圖 13 是沿著圖 12 的一點虛線 D-D' 的第 2 實施例的半導體裝置的剖面圖，圖 14 是沿著圖 13 的一點虛線 B-B' 的第 2 實施例的半導體裝置的剖面圖。以下，參照圖 12～圖 14 來說明有關第 2 實施例的半導體裝置 30。另外，在以下的說明中，有關於第 1 實施例的半導體裝置 10 同一部分是附上同一符號，且省略說明。

如圖 12～圖 14 所示般，第 2 實施例的半導體裝置 30 與第 1 實施例的半導體裝置 10 作比較，設在半導體封裝的基礎金屬部 32 的背面之切縫 39 的構成不同。

亦即，在第 2 實施例的半導體裝置 30 中，在半導體封裝的基礎金屬部 32 的背面全面，複數的切縫 39 是彼此平行地設成條紋狀。

如圖 13 所示般，各個的切縫 39 是設成其垂直剖面的形狀會成為 V 字狀。例如各個的切縫 39 是設成具有基礎金屬部 32 的厚度的 1/3 以下程度，例如 0.1～3.0mm 程度的深度。在此，所謂切縫 39 的深度是意思基礎金屬部 32 的背面與切縫 39 的頂點(在圖 12 中以點線所示的部分)的距離。

具有如此的複數的切縫 39 之基礎金屬部 32 也與第 1 實施例的半導體裝置 10 所具有的半導體封裝的基礎金屬部 12 同樣形成。

並且，基礎金屬部 32 的背面的複數的切縫 39 是亦可為例如銑刀加工終了前的金屬板所具有的複數的凹部。亦

即，當金屬板的背面的中心線平均粗度為 $6.3a$ 以上時，亦可將如此的金屬板的背面的複數的凹部設為複數的切縫 39。有關此點也是與第 1 實施例的半導體裝置 10 所具有的半導體封裝的基礎金屬部 12 同樣。

另外，有關如此的半導體裝置 30 也與第 1 實施例的半導體裝置 10 同樣經由焊錫 24 來安裝於散熱裝置 23，但此時的焊錫 24 是設成接觸於包含切縫 39 內部之半導體裝置 30 的背面全面。

在如此的本實施例的半導體封裝及半導體裝置 30 中也是在基礎金屬部 32 的背面設有複數的切縫 39，因此基礎金屬部 32 的彎曲會被抑制，且可使安裝用的焊錫 24 的品質提升。此結果，可使半導體裝置 30 與散熱裝置 23 之間的熱阻降低。

另外，在本實施例的半導體裝置 30 中，適用具有背面的中心線平均粗度成為 $6.3a$ 以上那樣的複數的凹部之基礎金屬部，也可取得同樣的效果。並且，圖示雖省略，但實際與第 1 實施例的半導體裝置的變形例同樣，彼此平行的複數的切縫 39 是亦可只設在基礎金屬部 32 的中央領域等，基礎金屬部 32 的一部分領域，如此的半導體裝置也可取得與本實施例的半導體裝置同樣的效果。

雖說明本發明的幾個實施例，但該等的實施例是當作例子提示者，非意圖限定發明的範圍。該等新穎的實施例是可在其他各種的實施例被實施，可在不脫離發明的要旨的範圍內進行各種的省略，置換，變更。該等實施形態或

其變形是為發明的範圍或要旨所包含，且為申請專利範圍記載的發明及其等效的範圍所包含。

【符號說明】

10：半導體裝置

11：半導體晶片

12：基礎金屬部

13：框體

13a：凹部

13b：凹部

14：蓋體

15a：輸入側配線

15b：輸出側配線

16a：第1介電質塊

16b：第1介電質塊

17a：第2介電質塊

17b：第2介電質塊

18a：輸入導線

18b：輸出導線

19：切縫

20a：輸入用的整合電路圖案

20b：輸出用的整合電路圖案

21a：介電質基板

21b：介電質基板

22a：連接導體

22b：連接導體

23：散熱裝置

24：焊錫

30：半導體裝置

32：基礎金屬部

39：切縫

100：半導體裝置

101：空氣層

112：基礎金屬部

申請專利範圍

1.一種半導體封裝，其特徵係具備：

基礎金屬部，其係於背面具有複數的溝，可在表面搭載半導體晶片；

框體，其係配置在此基礎金屬部的表面上；

複數的配線，其係設成貫通此框體的側面；及

蓋體，其係配置在前述框體上。

2.如申請專利範圍第 1 項之半導體封裝，其中，前述溝係設在前述基礎金屬部的背面的全面。

3.如申請專利範圍第 2 項之半導體封裝，其中，前述溝為切縫。

4.如申請專利範圍第 3 項之半導體封裝，其中，複數的前述切縫係設成網眼狀。

5.如申請專利範圍第 3 項之半導體封裝，其中，複數的前述切縫係設成條紋狀。

6.如申請專利範圍第 1 項之半導體封裝，其中，前述基礎金屬部係具有背面的中心線平均粗度成為 6.3a 以上的複數的凹部，

前述溝為此基礎金屬部所具有的凹部。

7.如申請專利範圍第 1 項之半導體封裝，其中，前述溝係設在前述基礎金屬部的背面的中央部。

8.如申請專利範圍第 7 項之半導體封裝，其中，前述溝為切縫。

9.如申請專利範圍第 8 項之半導體封裝，其中，複數

的前述切縫係設成網眼狀。

10.如申請專利範圍第 1 項之半導體封裝，其中，經由焊錫來安裝於表面為平坦的散熱裝置。

11.一種半導體裝置，其特徵係具備：

基礎金屬部，其係於背面具有複數的溝；

半導體晶片，其係搭載於此基礎金屬部的表面上；

框體，其係於前述基礎金屬部的表面上，配置成包圍前述半導體晶片；

複數的配線，其係設成貫通此框體的側面，一端電性連接至前述半導體晶片；及

蓋體，其係配置於前述框體上。

12.如申請專利範圍第 11 項之半導體裝置，其中，前述溝係設在前述基礎金屬部的背面的全面。

13.如申請專利範圍第 12 項之半導體裝置，其中，前述溝為切縫。

14.如申請專利範圍第 13 項之半導體裝置，其中，複數的前述切縫係設成網眼狀。

15.如申請專利範圍第 13 項之半導體裝置，其中，複數的前述切縫係設成條紋狀。

16.如申請專利範圍第 11 項之半導體裝置，其中，前述基礎金屬部係具有背面的中心線平均粗度成為 6.3a 以上的複數的凹部，

前述溝為此基礎金屬部所具有的凹部。

17.如申請專利範圍第 11 項之半導體裝置，其中，前

述溝係設在前述基礎金屬部的背面的中央部。

18.如申請專利範圍第 17 項之半導體裝置，其中，前述溝為切縫。

19.如申請專利範圍第 18 項之半導體裝置，其中，複數的前述切縫係設成網眼狀。

20.如申請專利範圍第 11 項之半導體裝置，其中，經由焊錫來安裝於表面為平坦的散熱裝置。

圖式

圖 1

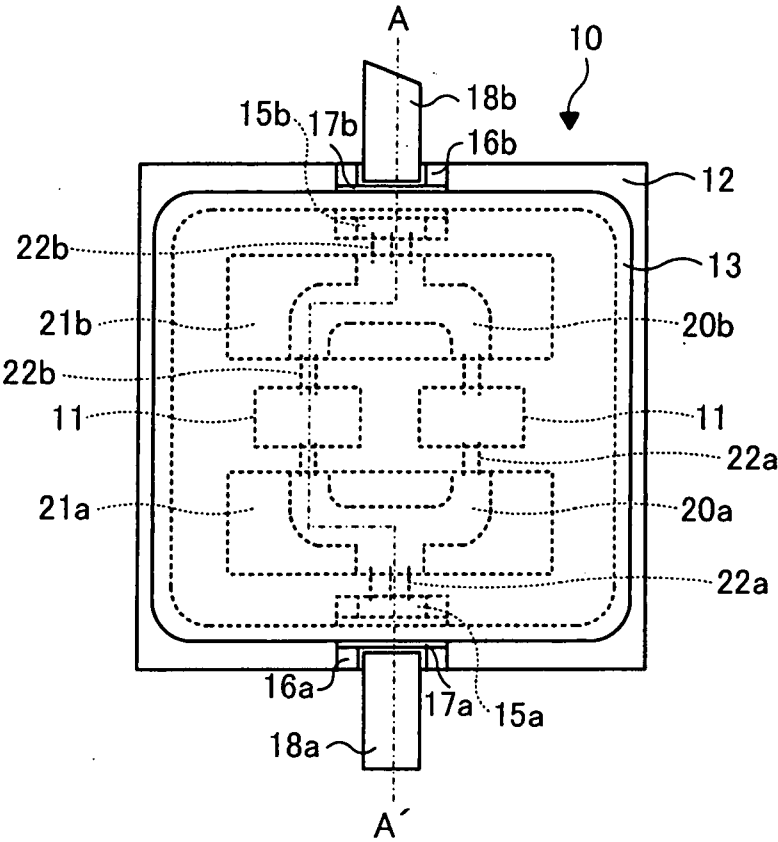


圖 2

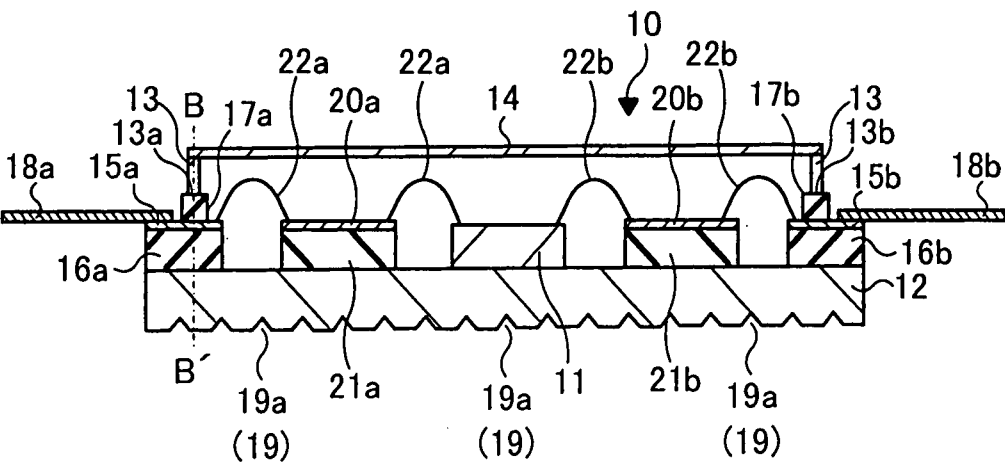


圖 3

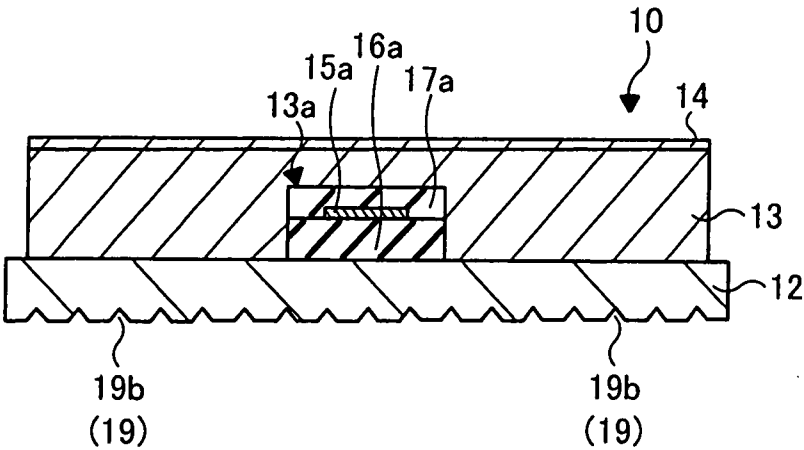


圖 4

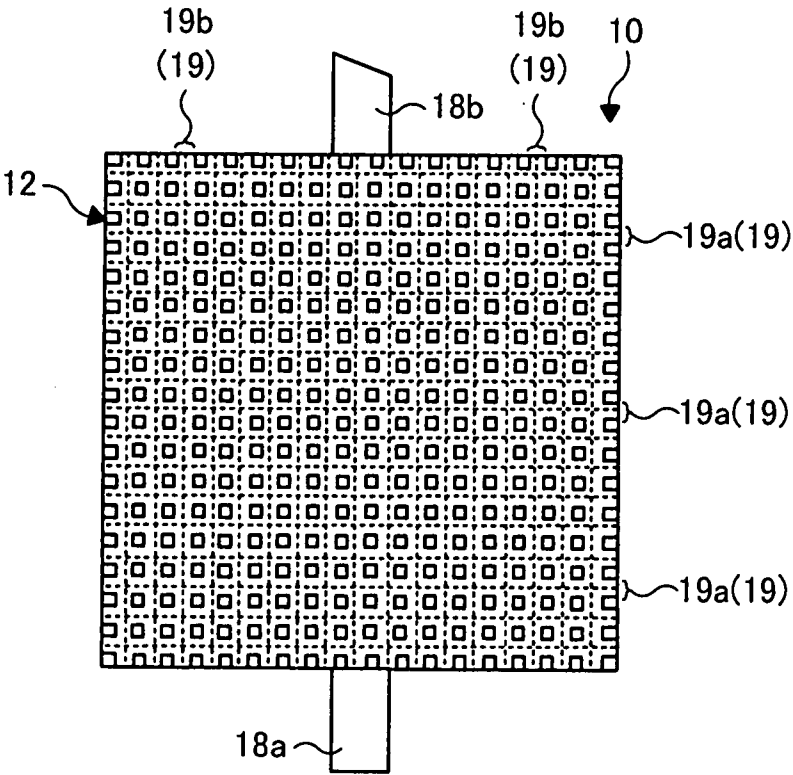


圖 5

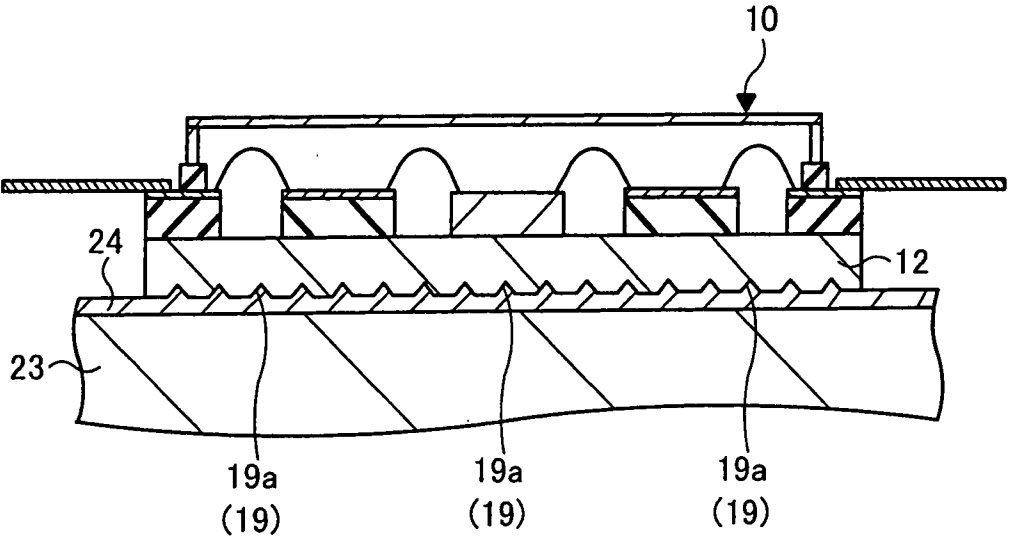


圖 6

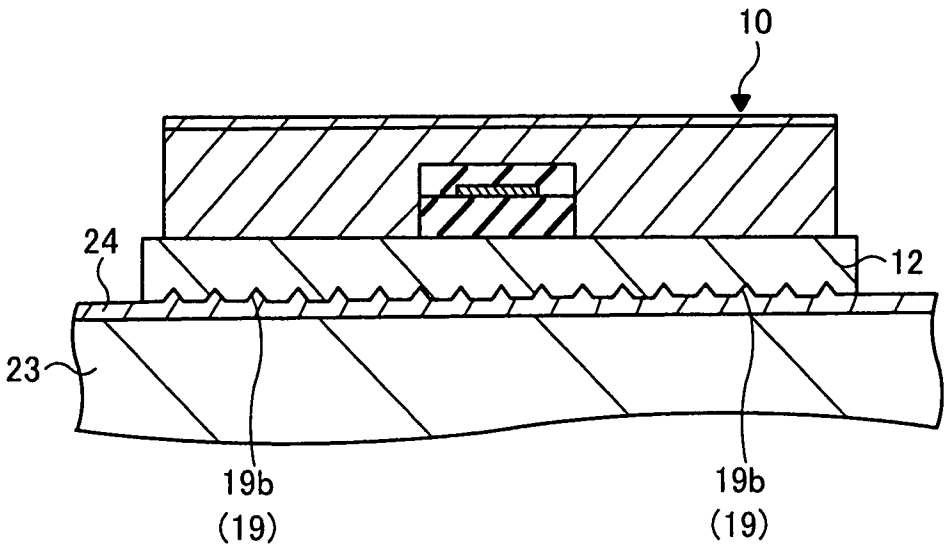


圖 7

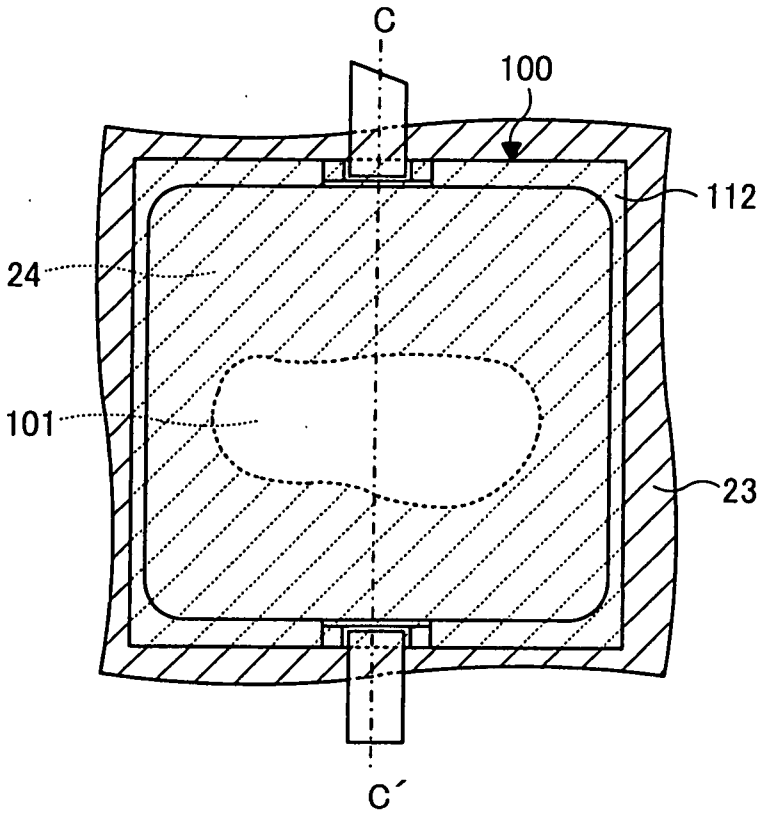


圖 8

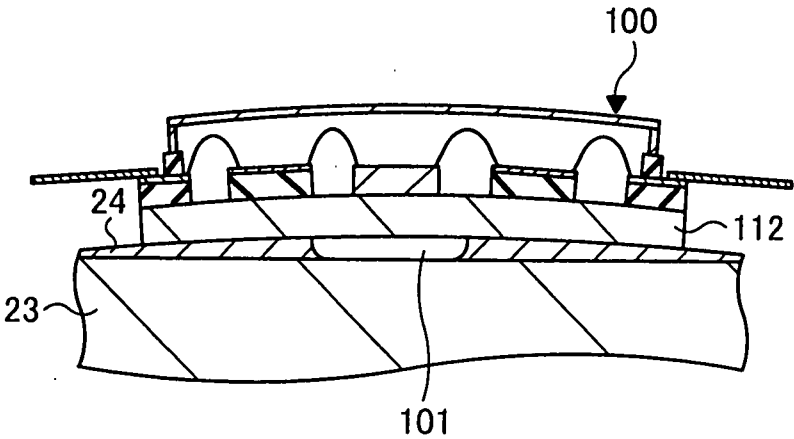


圖 9

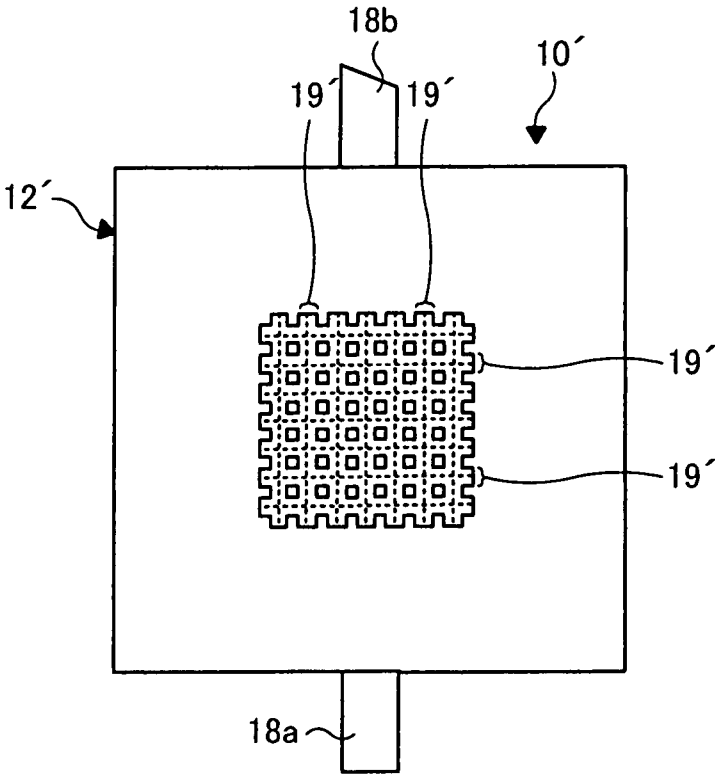


圖 10

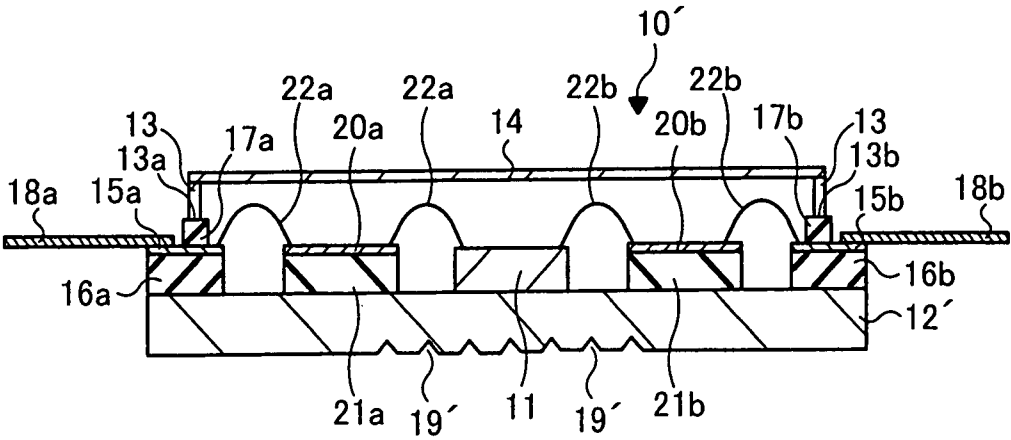


圖 11

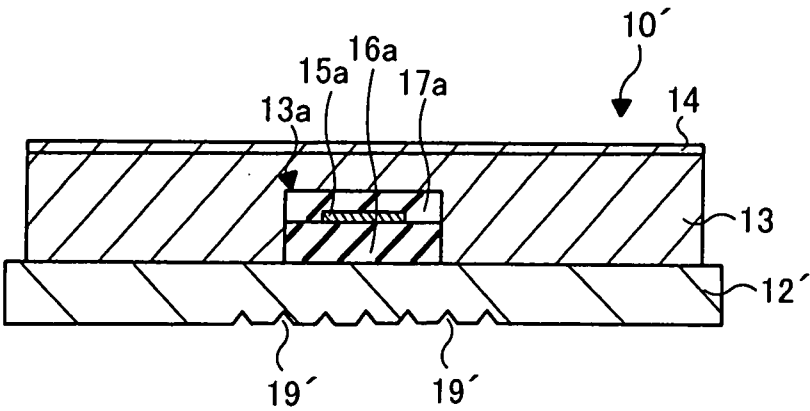


圖 12

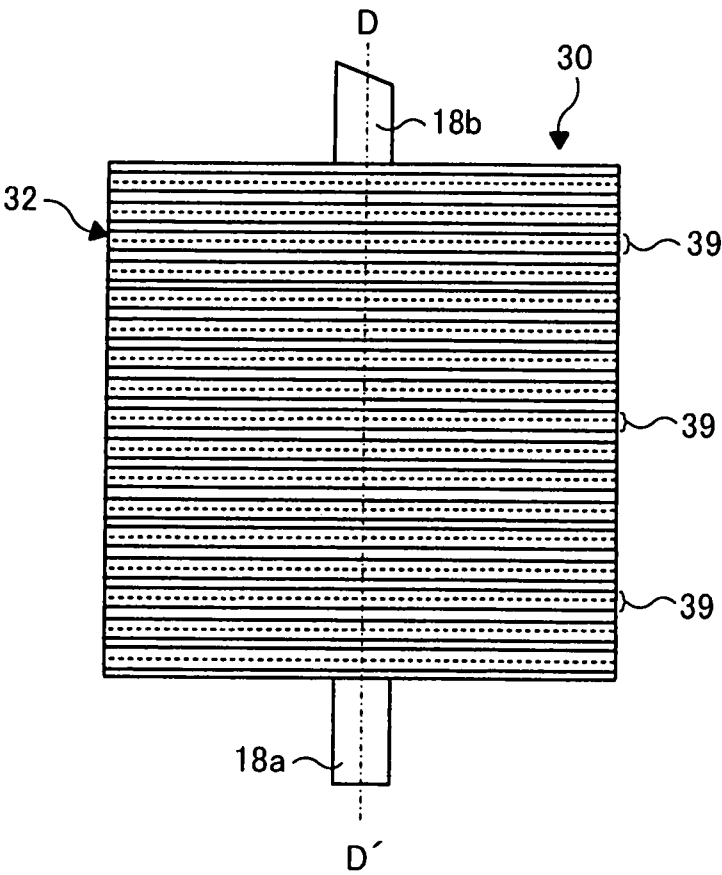


圖 13

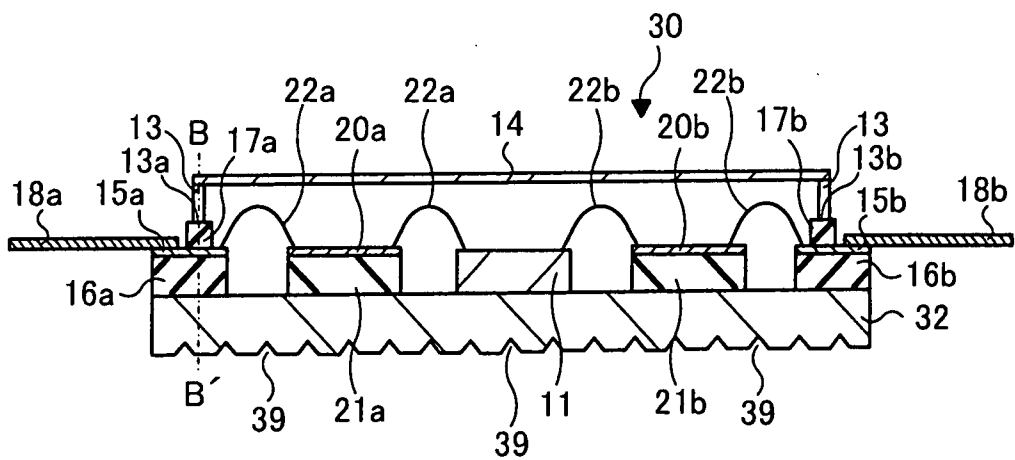


圖 14

