

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3866111号
(P3866111)

(45) 発行日 平成19年1月10日(2007.1.10)

(24) 登録日 平成18年10月13日(2006.10.13)

(51) Int.C1.

F 1

H03K	19/0175	(2006.01)	H03K	19/00	1 O 1 F
H01L	21/822	(2006.01)	H01L	27/04	U
H01L	27/04	(2006.01)	GO1R	31/30	
GO1R	31/30	(2006.01)	HO3K	19/00	1 O 1 D
H03K	19/0185	(2006.01)	GO1R	31/28	V

請求項の数 11 (全 21 頁) 最終頁に続く

(21) 出願番号

特願2002-9500 (P2002-9500)

(22) 出願日

平成14年1月18日 (2002.1.18)

(65) 公開番号

特開2003-218687 (P2003-218687A)

(43) 公開日

平成15年7月31日 (2003.7.31)

審査請求日

平成16年12月9日 (2004.12.9)

(73) 特許権者 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(73) 特許権者 000233594

株式会社ルネサス北日本セミコンダクタ

北海道亀田郡七飯町字中島145番地

(74) 代理人 100089071

弁理士 玉村 静世

(72) 発明者 田原 繁充

北海道亀田郡七飯町字中島145番地 日立北海セミコンダクタ株式会社内

(72) 発明者 片桐 大介

北海道亀田郡七飯町字中島145番地 日立北海セミコンダクタ株式会社内

最終頁に続く

(54) 【発明の名称】半導体集積回路及びバーンイン方法

(57) 【特許請求の範囲】

【請求項 1】

第1回路と、前記第1回路よりも高耐圧の第2回路と、第1外部端子からの入力電圧を降圧する内部電源降圧回路とを有し、前記第1回路及び前記第2回路の双方の回路の動作電圧を等しくし又は相違させることができ半導体集積回路であって、

前記第2回路はその動作電圧に応じて前記第1回路の出力をレベル変換可能な複数のレベル変換回路と、前記レベル変換回路の出力を受ける複数の外部出力バッファと、所定のレベル変換回路の入力を所定の外部出力バッファの入力へバイパスさせるバイパス経路と、前記所定の外部出力バッファの入力に対する前記所定のレベル変換回路又はバイパス経路の接続を選択する選択回路と、を有し、

前記第2回路は前記第1外部端子に供給される入力電圧を動作電圧とし、

前記第1回路は前記内部電源降圧回路の降圧出力電圧又は第2外部端子からの入力電圧を動作電源とするものであり、

前記第1回路及び第2回路の動作電圧を相違させるとき前記第1外部端子に外部電源電圧が接続され、前記第2外部端子に安定化容量素子が接続され、

前記第1回路及び前記第2回路の動作電圧を等しくするとき前記第1外部端子及び前記第2外部端子に同じ外部電源電圧が接続される、ものであることを特徴とする半導体集積回路。

【請求項 2】

前記レベル変換回路は相互にレベル変換範囲の相違する複数のレベル変換回路から成る

10

20

ものであることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

前記第 1 回路は前記選択回路の選択制御情報を保持するレジスタ手段を有して成るものであることを特徴とする請求項 1 又は 2 記載の半導体集積回路。

【請求項 4】

第 1 回路と、前記第 1 回路よりも高耐圧の第 2 回路とを有し、双方の回路の動作電圧を等しくし又は相違させることができ半導体集積回路であって、

前記第 2 回路はその動作電圧に応じて前記第 1 回路の出力をレベル変換可能な複数のレベル変換回路と、前記レベル変換回路の出力を受ける複数の外部出力バッファと、所定のレベル変換回路の入力を所定の外部出力バッファの入力へバイパスさせるバイパス経路と、前記所定の外部出力バッファの入力に対する前記所定のレベル変換回路又はバイパス経路の接続を選択する選択回路と、を有し、

前記第 1 回路はクロック信号に同期して前記所定の外部出力バッファの出力データを保持する出力ラッチ回路と、前記出力ラッチ回路にラッチするデータを処理するデータ処理回路とを有して成ることを特徴とする半導体集積回路。

【請求項 5】

前記出力ラッチ回路は所定の I/O ポートに含まれるものであることを特徴とする請求項 4 記載の半導体集積回路。

【請求項 6】

前記出力ラッチ回路は前記所定の外部出力バッファに隣接されるものであることを特徴とする請求項 4 記載の半導体集積回路。

【請求項 7】

前記クロック信号は、外部から前記出力ラッチ回路及び前記データ処理回路に並列に供給されることを特徴とする請求項 4 記載の半導体集積回路。

【請求項 8】

前記データ処理回路はホストインターフェース制御回路であることを特徴とする請求項 4 記載の半導体集積回路。

【請求項 9】

前記ホストインターフェース制御回路及び出力ラッチ回路は所定のスピードの前記クロック信号に同期動作することを特徴とする請求項 8 記載の半導体集積回路。

【請求項 10】

第 1 回路と、

前記第 1 回路よりも高耐圧である第 2 回路とを有し、

前記第 1 回路は前記第 2 回路の動作電圧と等しくしまたは相違させることができあり、

前記第 2 回路は、

前記第 2 回路の動作電圧に応じて前記第 1 回路の出力信号をレベル変換可能なレベルシフト回路と、

外部バッファと、

前記出力信号を出力させるために、前記外部出力バッファに接続された前記第 1 回路に接続される第 1 信号経路と、

前記出力信号を出力させるために、前記レベル変換回路を介して外部出力バッファに接続された前記第 1 回路に接続される第 2 信号経路とを有する半導体集積回路において、

前記第 2 信号経路を選択する間、前記第 1 信号経路を非選択とし、

前記第 2 回路に対し第 1 回路に供給する動作電圧よりも高い動作電圧を与えるバーンインテスト方法を行うことを特徴とする半導体集積回路

【請求項 11】

前記第 1 信号経路又は、前記第 1 回路の出力信号のための前記第 2 信号経路を選択可能で、前記バーンインテスト方法を行っている間、前記第 2 信号経路を選択する選択回路を有することを特徴とする請求項 10 記載の半導体集積回路。

10

20

30

40

50

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、クロック信号に同期する外部出力動作の高速化へ対処するための半導体集積回路技術に関し、例えば、外部インターフェース部分には内部回路に比べて高耐圧のMOSトランジスタを用いた半導体集積回路、さらにはそのような半導体集積回路におけるバーンイン方に適用して有効な技術に関する。

【0002】**【従来の技術】**

特開平9-8632号公報には、回路素子の微細化及び低消費電力等の観点より、外部電源電圧をLSI内部で降圧し、内部回路の動作電源に降圧電圧を利用し、外部インターフェース回路を外部電源電圧で動作させる技術が記載される。また、特開2000-353947公報には、内部信号レベルを、半導体素子耐圧以上の信号レベルに変換して出力する機能と、変換前の内部信号レベルで出力する機能とを有する半導体出力回路において、出力バッファトランジスタのゲート・ソース間耐圧を増す為の保護用MOSトランジスタを電源側に設けた出力バッファに対し、その保護用MOSトランジスタのオン抵抗に起因する信号立ち上がり変化速度が、レベル変換を行わない(出力バッファの電源電圧が内部回路と同じ)場合に遅くなるのを防止するために、前記保護用MOSトランジスタのオン抵抗をゲート電圧制御で可変可能にする技術が記載される。

【0003】

10

【発明が解決しようとする課題】

しかしながら、上記従来技術では、クロック信号に同期する外部出力動作の高速化への対応という点で、レベル変換機能による出力動作遅延、更にはクロック信号の伝搬遅延による外部出力動作遅延について着目されていない。本発明者は、クロック信号に同期する外部出力動作の高速化への対応という点で以下の点について検討した。

【0004】

第1に、レベル変換機能による出力動作遅延について検討した。例えば、 $0.35\mu m$ プロセス以降の半導体集積回路は、内部には耐圧の低いMOSトランジスタを使用し、外部とのインターフェース部には高耐圧MOSトランジスタを使用する。内部回路を3.3Vのような低電圧で動作させ、インターフェース部を5.0Vのような高電圧で動作可能にするために、内部回路と出入力バッファとの間に低電圧振幅を高電圧振幅に変換するレベル変換回路が挿入される。内部回路及びインターフェース部の双方に低電圧電源を供給すれば半導体集積回路全体を低電圧動作させることが可能である。ここで、そのような半導体集積回路に、PC(パーソナル・コンピュータ)内パラレルインターフェースであるLPC(Low Pin Count)バスインターフェース用ホストインターフェースモジュール(以下単にLPCモジュールとも記す)を搭載することを検討した。LPCのような高速ホストインターフェース仕様ではバス配線を抑えた上に、33MHzのPCI(Peripheral Component Interconnect)クロック(外部クロック信号)に同期してデータ通信を行なう為、半導体集積回路内部での信号伝播遅延に対してより厳しい設計が求められる。外部電源についても3.3Vのような低電圧電源を利用して低い信号振幅を実現する。しかしながら、レベル変換回路による出力動作遅延、内部クロックの伝搬遅延により、外部クロック信号に対するデータ出力タイミングの遅延が大きくなることが本発明者によって見いだされた。

20

【0005】

そこで本発明者は、レベル変換回路による出力動作遅延については、LPCモジュールの動作を保証する場合は内部回路及インターフェース部の双方共に低電圧動作のみである事から、レベル変換回路を配線層のマスタスライスでバイパスさせる対策を検討した。しかしながら、バーンイン時に高耐圧MOSトランジスタに高電圧を印可するためにインターフェース部を7.0Vのような高電圧で動作させ、内部回路を4.6Vのような低電圧動作させると、バイパスさせた部分ではレベル変換機能が実現されていないため、そのようなインターフェース部で低振幅信号を受けるインバータ若しくはクロックドインバータのような

30

40

50

回路には、中間電位が印可され、貫通電流が流れる。この貫通電流は、ホットキャリアによるMOSトランジスタの閾値電圧シフトやMOSトランジスタの破壊を引き起こす。

【0006】

バーンイン時に内部回路及びインターフェース部の双方に4.6V程度の低電圧を印可するなら、上記問題は発生しないが、逆に、高耐圧MOSトランジスタに対して十分な電圧ストレスをかけることができない為、初期不良を見出せず、出荷後に市場で不良が顕在化する可能性が高くなり、信頼性低下が余儀なくされる。LPCモジュール用の外部端子はPCIバスに準拠しており、反射波を利用する終端のない環境で使用される為、最悪の場合電源電圧の2倍の電圧が端子に印加される為、それに接続するインターフェース部のMOSトランジスタには依然として高耐圧であることが要求されるからである。

10

【0007】

第2に、クロック信号の伝搬遅延による外部出力動作遅延について検討した。例えばLPCモジュールでは33MHzのPCIクロック(外部クロック信号)の立ち上がり変化から所定の許容遅延時間以内に出力データを確定させなければならない。許容遅延時間が短くなると、データ出力用のラッチクロック信号に内部CPG(クロックパルスジェネレータ)生成のクロック信号を用いたのでは間に合わなくなる虞のあることが本発明者によって見出された。

【0008】

本発明の目的は、レベル変換回路による出力動作遅延の解消と出力バッファの高耐圧維持という観点より、クロック信号に同期する外部出力動作の高速化を実現することができる半導体集積回路を提供することにある。

20

【0009】

本発明の目的は、クロック遅延の抑制という観点より、外部クロック信号に同期する外部出力動作の高速化を実現することができる半導体集積回路を提供することにある。

【0010】

本発明の別の目的は、レベル変換回路による出力動作遅延の解消と出力バッファの高耐圧維持という観点よりクロック同期の外部出力動作を高速化した半導体集積回路におけるバーンインによる信頼性を向上させることができるバーンイン方法を提供することにある。

【0011】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

30

【0012】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】

(1) レベル変換回路による出力動作遅延の解消と出力バッファの高耐圧維持という観点による、本発明の半導体集積回路は、第1回路(4,7)と、前記第1回路よりも高耐圧の第2回路(3)とを有し、双方の回路の動作電圧を等しくし又は相違させることができるものである。前記第2回路はその動作電圧に応じて前記第1回路の出力をレベル変換可能な複数のレベル変換回路(34,35,54,55)と、前記レベル変換回路の出力を受ける複数の外部出力バッファ(33,53)と、所定のレベル変換回路(54,55)の入力を所定の外部出力バッファ(53)の入力へバイパスさせるバイパス経路(70,71)と、前記所定の外部出力バッファの入力に対する前記所定のレベル変換回路又はバイパス経路の接続を選択する選択回路(74)とを有する。

40

【0014】

第1回路及び第2回路を低電圧動作させる利用形態では前記所定のレベル変換回路におけるバイパス経路を所定の外部出力バッファの入力に接続する。バイパス経路に接続された外部出力バッファを利用する外部インターフェースではレベル変換により動作遅延の影響を受けず、外部との高速インターフェースを実現することが可能になる。

50

【0015】

半導体集積回路を適用するシステム上の要求により外部インターフェースに高電圧を利用する利用形態では、第1回路を低電圧動作、第2回路を高電圧動作させ、前記所定の外部出力バッファにおいてもバイパス経路を選択せずレベル変換回路を介在させ、第1回路における低電圧の信号振幅を第2回路の高電圧の信号振幅に変換して外部出力バッファに供給可能にされる。

【0016】

上記何れの利用形態を採用する場合にも、バーンインでは、第1回路をバーンイン用低電圧動作、第2回路をバーンイン用高電圧動作させ、前記所定の外部出力バッファにおいてもバイパス経路を選択せずレベル変換回路を介在させ、第1回路におけるバーンイン用低電圧の信号振幅を第2回路のバーンイン用高電圧の信号振幅に変換して外部出力バッファに供給可能とする。第1回路の相対的に小さい振幅の中間レベル信号によって第2回路に貫通電流が流れることはないから、その貫通電流に起因する第2回路の特性劣化や破壊は生じない。したがって、第1回路及び第2回路をその耐圧に見合った動作電源を用いてバーンインすることが可能であるから、バーンインによる信頼性を保証する事ができる。10

【0017】

[2] 前記レベル変換回路は相互にレベル変換範囲の相違する複数のレベル変換回路から構成してもよい。第1回路と第2回路を相互に異なる動作電圧とするとき、その動作電圧差が大きい場合にも対処できるようにするには、レベル変換範囲に応じて最適なレベル変換回路を複数用意しておき、実際に半導体集積回路を動作させるときの動作電圧差に応じて、使用するレベル変換回路を選択すればよい。20

【0018】

[3] 本発明の具体的な形態として、半導体集積回路が第1外部端子（VCC）からの入力電圧を降圧する内部電源降圧回路を有するとき、前記第2回路は第1外部端子に供給される入力電圧を動作電圧とする。前記第1回路は前記内部電源降圧回路の降圧出力電圧又は第2外部端子（VCL）からの入力電圧を動作電源とする。

【0019】

第1回路及び第2回路の動作電圧を相違させるときは第1端子に外部電源電圧を接続し、第2端子に安定化容量素子を接続すればよい。第1回路及び第2回路の動作電圧を等しくするときは、第1端子及び第2端子に同じ外部電源電圧を接続すればよい。このとき、内部電源降圧回路は、その動作を停止させてもよいが、外部電源回路に比べて電源供給能力は小さいから、動作させても支障はない。30

【0020】

前記第1回路は前記選択回路の選択制御情報（87）を保持するレジスタ手段（94）を有してよい。

【0021】

前記第1回路は、例えばクロック信号（104, 105）に同期して前記所定の外部出力バッファの出力データを保持する出力ラッチ回路（90）と、前記出力ラッチ回路にラッチするデータを処理するデータ処理回路（20）とを有する。

【0022】

このとき、前記出力ラッチ回路は所定のI/Oポートの一部であってもよい。或は、前記出力ラッチ回路は前記所定の外部出力バッファに隣接される専用回路であってもよい。外部出力バッファに隣接されることにより、外部出力バッファへのラッチデータの伝播遅延を小さくすることができる。40

【0023】

前記クロック信号は、外部から前記出力ラッチ回路及び前記データ処理回路に並列に供給されてよい。前記出力ラッチ回路が外部からのクロック信号を受けて出力ラッチ動作を行なうことにより、外部クロック信号に同期する出力動作においてクロック遅延の影響を小さくすることが可能にある。

【0024】1020304050

更に具体的な形態として、前記データ処理回路はホストインターフェース制御回路である。例えば、前記ホストインターフェース制御回路及び出力ラッチ回路は33MHzの前記外部クロック信号に同期動作する。

【0025】

[4] 本発明に係るバーンイン方法は、第1回路と、前記第1回路よりも高耐圧の第2回路とを有し、双方の回路の動作電圧を等しくし又は相違させることができあり、前記第2回路はその動作電圧に応じて前記第1回路の出力をレベル変換可能なレベル変換回路と、前記レベル変換回路の出力を受ける外部出力バッファと、所定のレベル変換回路の入力を選択的に外部出力バッファの入力へバイパスさせるバイパス回路とを有する半導体集積回路に対するバーンインに当たり、第1回路と第2回路の動作電圧を相違させ、前記バイパス回路にバイパス非選択を設定する。10

【0026】

[5] クロック遅延の抑制という観点による、本発明に係る半導体集積回路は、外部出力バッファ(53)と、前記外部出力バッファから出力すべきデータを外部クロック信号(100)に同期してラッチするラッチ回路(90)と、前記ラッチ回路にラッチすべきデータの処理回路(20)とを有する。前記ラッチ回路と前記処理回路は前記外部クロック信号を受けるクロックバッファ(101)の出力を共通に入力する。

【0027】

前記ラッチ回路が外部からのクロック信号を受けて出力ラッチ動作を行なうことにより、外部クロック信号に同期する出力動作において内部クロック遅延の影響を小さくすることが可能になる。20

【0028】

前記ラッチ回路を前記外部出力バッファの近傍に配置すれば、外部出力バッファへのラッチデータの伝播遅延を小さくすることができる。

【0029】

前記ラッチ回路とは別に、前記外部出力バッファから出力すべきデータを内部クロック信号に同期してラッチ可能なI/Oポート(93)を設け、選択的に前記I/Oポートの動作と前記ラッチ回路の動作を切り換え可能に構成してもよい。

【0030】

[6] 本発明の更に別に観点による半導体集積回路は、中央処理装置と、基準クロック信号を受けて上記中央処理装置に供給されるべき動作クロックを発生するクロック発生回路と、前記中央処理装置に結合される内部バスと、前記内部バスに結合され、複数の出力バッファ、前記複数の出力バッファから出力すべきデータを外部クロック信号に同期してラッチする複数のラッチ回路及び前記複数のラッチ回路にラッチされるべきデータを処理する処理回路を有するホストインターフェースモジュールと、前記外部クロック信号を外部から供給される外部端子と、を有し、前記複数のラッチ回路は前記複数の出力バッファの近傍にそれぞれ配置され、前記外部端子に供給された前記外部クロック信号は、前記複数のラッチ回路に共通に入力される。30

【0031】

具体的な態様として、上記において前記ホストインターフェースモジュールは、LPC(Low Pin Count)バスインターフェース用ホストインターフェースモジュールであってよい。40

【0032】

更に具体的な態様として、前記複数の出力バッファから出力すべきデータを前記クロック発生回路から出力される内部クロック信号に同期してラッチ可能なI/Oポートを有し、選択的に前記I/Oポートの動作と前記ラッチ回路の動作が切り換え可能にされてよい。

【0033】

さらに、前記内部バスに結合され、外部から供給されたアナログ信号をデジタル信号へ変換するA/D変換回路を有し、前記前記ホストインターフェースモジュールは、前記A/D変換回路によって変換された前記デジタル信号を前記半導体集積回路に結合されるべきホストプロセッサへ供給するように構成してもよい。50

【0034】**【発明の実施の形態】**

図1には本発明に係る半導体集積回路の一例であるマイクロコンピュータが示される。同図に示されるマイクロコンピュータ1は、単結晶シリコンのような1個の半導体基板(チップ)に例えば公知のCMOS集積回路製造技術により形成される。特に制限されないが、チップの周囲にボンディングパッドのような多数の外部端子2が配置され、その内側にバッファ部3、出入力ポート4、アナログポート5、内部電源降圧回路6が配置され、中央部に、内部デジタル部7及びアナログ部8が配置される。

【0035】

前記出入力ポート4及び内部デジタル部7は、比較的耐圧の低いMOSトランジスタ等によって構成される第1回路を成す。これに対し、前記バッファ部3は比較的耐圧の高いMOSトランジスタ等によって構成される、高耐圧の第2回路を成す。前記アナログポート5、内部電源降圧回路6及びアナログ部8も、比較的耐圧の高いMOSトランジスタ等によって構成される。

10

【0036】

内部デジタル部7は、振動子又は基準システムクロック信号に基づいて内部動作クロック信号を生成するクロック発振器10、中央処理装置(CPU)11、CPU11の動作プログラムなどを保有するROM12、CPU11のワーク領域等に利用されるRAM13、例外処理要求及び割込み処理要求に応答してCPU11への割込みを制御する割込みコントローラ14、CPU11による初期設定にしたがってデータ転送制御を行なうデータトランスファコントローラ(DTC)15、CPU11又はデータトランスファコントローラ15によるアクセス動作に応答して内部バス及び外部バスに対するバス制御を行なうバスコントローラ16を有する。更に、内部デジタル部6は、I/Oコントローラ(出入力制御回路)として、シリアルコミュニケーションインターフェース(SCI)コントローラ18、ISA(Industry Standard Architecture)バスHIF(Host Interface)回路19、及びLPCバスHIF回路(LPCバスインターフェースモジュールとも称する)20を有する。その他に内部デジタル部6は、ウォッチドッグタイマ(WDT)21、16ビットフリーランニングタイマ22、8ビットタイマ23、8ビットPWM(Pulse Width Modulator)24、14ビットPWM25、及びI2C(Inter IC)26を備える。

20

【0037】

前記アナログ部8はアナログ・デジタル変換回路(A/D)27、デジタル・アナログ変換回路(D/A)28を備える。

【0038】

マイクロコンピュータ1は電源用端子として、電源端子VCC、回路の接地端子GND、低圧動作用端子VCL、アナログ電源端子AVCC、アナログ接地端子AVSSを有する。アナログ電源端子AVCC及びアナログ接地端子AVSSはアナログポート5及びアナログ回路部8に専用化される。

【0039】

前記電源端子VCCから供給される動作電源はバッファ部3及び内部電源降圧回路6に供給される。内部電源降圧回路6は電源端子VCCから供給される動作電源の電圧を降圧し、降圧電圧を出入力ポート4及び内部デジタル部7の降圧電源として供給する。前記低圧動作用端子VCLは降圧電源の供給経路に接続する。マイクロコンピュータ1は、電源端子VCCに比較的高い電圧受けて動作する高電圧動作と、電源端子VCCに比較的低い電圧受けて動作する低電圧動作の双方に対応する。

30

【0040】

図2にはマイクロコンピュータの高電圧動作時における電源端子接続形態が例示される。電源端子VCCには外部電源回路30より4.5~5.5Vの外部電源が供給される。内部電源降圧回路は例えば3.2V程度に降圧した降圧電圧を出力する。低圧動作用端子VCLには安定化容量素子31(例えば0.1μF)が接続される。これにより、バッファ

40

50

部3は4.5～5.5Vの外部電源で動作し、入出力ポート4及び内部ディジタル部7は3.2V程度の降圧電圧で動作する。

【0041】

図3にはマイクロコンピュータの低電圧動作時における電源端子接続形態が例示される。電源端子VCC及び低圧動作用端子VCLには外部電源回路32より3.0～3.6Vの外部電源が供給される。内部電源降圧回路6は降圧動作を停止すればよいが、外部電源回路32に比べてその電源供給能力は小さいから動作させても実質的に支障はない。これにより、バッファ部3、入出力ポート4及び内部ディジタル部7は3.0～3.6Vの比較的低い外部電源で動作する。

【0042】

図4にはバッファ部3における出力バッファ及びレベル変換回路が例示される。出力バッファ33はpチャネル型MOSトランジスタQ1とnチャネル型MOSトランジスタQ2とによりCMOSインバータで構成される。MOSトランジスタQ1、Q2のゲート電極はレベル変換回路34、35の出力をインバータ36、37を介して受ける。レベル変換回路34、35には入出力ポート4の出力ラッチ回路40のラッチデータが出力制御回路41を介して供給される。前記高電圧動作時において、レベル変換回路34、35は降圧電圧を振幅とする比較的振幅の小さい信号を入力し、外部電源電圧の振幅に変換して出力する。例えばレベル変換回路34においてMOSトランジスタQ3、Q4が降圧電圧のハイレベルを受け、MOSトランジスタQ5、Q6がローレベルを受けると、MOSトランジスタQ4がオン、MOSトランジスタQ3、Q7がオフ、MOSトランジスタQ6がオフ、MOSトランジスタQ5、Q8がオンにされ、MOSトランジスタQ5とQ6のコモンドレインに外部電源電圧のハイレベルを得る。このレベル変換機能により、バッファ部3において外部電源を動作電源とする回路が降圧電圧のハイレベルを中間レベルとして受けることによる誤動作及び不所望な貫通電流の発生を抑制することができる。

【0043】

低電圧動作時にはレベル変換回路の入力と出力の間に実質的なレベル変換は行われないが、入力に応答する出力論理値が確定するにはレベル変換回路におけるスタティックラッチ動作を経ることが必要であり、これは出力動作遅延を構成することになる。

【0044】

尚、図4において42、43はインバータである。出力制御回路41はインバータ44～47、2入力ノアゲート48及び2入力 NAND ゲート49から構成される。出力制御回路41は制御信号50のローレベルで出力バッファ33を高出力インピーダンスとし、制御信号50のハイレベルにより出力バッファ33によるラッチデータの出力動作を可能にする。

【0045】

図5にはバッファ部3においてLPCバスHIF回路20の出力に割当てられる出力バッファ及びレベル変換回路が例示される。同図に示される構成は、図4と夫々同じ構成の、出力バッファ53、レベル変換回路54、55、及び出力制御回路61を基本とし、その上で、バイパス経路70、71と選択回路74を備えて構成される。

【0046】

バイパス経路70、71は、レベル変換回路54、55の入力をインバータ72、73などを介して出力バッファ53の入力へバイパスさせる。選択回路74は、出力バッファ53に対するレベル変換回路54、55又はバイパス経路70、71の接続を選択する回路である。選択回路74はレベル変換回路54又はバイパス経路70の接続を選択するためには排他的に出力動作可能にされるクロックドインバータ75、76を有し、クロックドインバータ75、76の出力はインバータ80、56を介してMOSトランジスタQ1のゲート電極に接続する。また、選択回路74はレベル変換回路55又はバイパス経路71の接続を選択するためには排他のに出力動作可能にされるクロックドインバータ77、78を有し、クロックドインバータ77、78の出力はインバータ81、57を介してMOSトランジスタQ2のゲート電極に接続する。

10

20

30

40

50

【0047】

前記クロックドインバータ75～78は制御信号87によってその動作が選択される。制御信号87はインバータ82～84を介して相補信号に変換されてクロックドインバータ75～78に供給される。制御信号87のハイレベルによりバイパス経路70, 71が選択され、制御信号87のローレベルによりレベル変換回路54, 55の出力が選択される。

【0048】

図5では出力制御回路61はインバータ64～67、2入力ノアゲート68及び2入力 NANDゲート69から構成される。出力制御回路61は制御信号85のローレベルで出力バッファ53を高出力インピーダンスとし、制御信号85のハイレベルにより出力バッファ53によるデータ88の出力動作を可能にする。前記データ88は代表的に示された出力ラッチ回路86から出力される。出力ラッチ回路86は、クロック端子CKに供給されるクロック信号に同期してデータをラッチする。

【0049】

図6には図5のバッファ部3における信号波形が例示される。バイパス経路70, 71の出力波形と、レベル変換回路54, 55におけるインバータ62, 63の出力とを比べると、レベル変換回路54, 55の出力はその動作遅延により遅れるが、バイパス経路70, 71ではそのような動作遅延による遅れを生じない。

【0050】

LPCバスHIF回路20を用いるホストインタフェース制御を行なうときは（LPC通信有効時）、ハイレベルの制御信号87にてバイパス経路70, 71を選択することにより、ラッチ回路86の出力動作タイミング（ラッチ回路86によるデータ88のラッチ動作を規定するクロック変化）に対して、比較的早いタイミングでそのラッチデータが出力端子2から出力される。この時のラッチデータの出力経路ではレベル変換回路54, 55による動作遅延の影響を受けないからである。

【0051】

LPCバスHIF回路20を用いるホストインタフェース制御を行なわないときは（LPC通信無効時）、ローレベルの制御信号87にてレベル変換回路54, 55を選択することにより、前記ラッチ回路86の出力動作タイミング（ラッチ動作を規定するクロック変化）に対して、遅延したタイミングでそのラッチデータが出力端子2から出力される。この時はレベル変換回路54, 55による動作遅延の影響を受けるからである。

【0052】

図7にはLPC通信の有効／無効と動作電源との対応関係が例示される。動作状態はバーンインと通常動作（バーンイン以外の動作状態）とに大別され、通常動作はLPC通信有効と無効の状態に大別される。通常動作のLPC通信有効時では低電圧動作状態とし、端子VCC、VCLに3.3Vのような低電圧を供給し、バッファ部3、入出力ポート4及び内部ディジタル部7を3.3Vのような低電圧電源で動作させる。この動作形態において、LPCバスHIF回路20を用いるホストインタフェース制御を行なう場合には、制御信号87がハイレベル（この場合には3.3V）に設定されることにより、当該インタフェース用のバッファ部3では、選択回路74のクロックドインバータ76, 77がオン、クロックドインバータ75, 78がオフにされ、バイパス経路70, 71が選択され、前記高速のLPCバスインタフェースを実現することができる。LPCバスインタフェース以外の外部インタフェース用バッファ部に関しては、低電圧動作状態においても出力信号はレベル変換回路を通ることになる。ここでは、LPCバスインタフェース以外の外部インタフェースでは、レベル変換回路の動作遅延が問題になる程厳しい出力タイミングが要求されていないからである。

【0053】

通常動作のLPC通信無効時では高電圧動作状態とし、端子VCCに5.0Vの外部電源を供給し、端子VCLに安定化容量を結合し、バッファ部3を外部電源で動作させ、入出力ポート4及び内部ディジタル部7を3.2Vのような内部降圧電圧で動作させる。この

10

20

30

40

50

動作形態では前記制御信号 8 7 がローレベル（この場合には 0 V）に設定され、バッファ部 3 では、選択回路 7 4 のクロックドインバータ 7 6 , 7 7 がオフ、クロックドインバータ 7 5 , 7 8 がオンにされ、レベル変換回路 5 4 , 5 5 の出力が選択され、降圧電圧の低振幅信号をレベル変換回路 5 4 , 5 5 で外部電源の振幅に拡張して、出力バッファ 5 3 から外部端子 2 に出力させることができる。したがって、5 V のような比較的高い動作電圧を用いるデータ処理システムに適用させて動作させることができる。

【 0 0 5 4 】

通常動作時に L P C 通信を有効 / 無効何れで利用する場合にも、バーンイン時には、電源端子 V C C に 7 . 0 V のようなバーンイン用高電圧を印加し、通常動作の L P C 通信無効状態と同じように制御信号 8 7 をローレベルに設定し、電圧変換回路 5 4 , 5 5 による変換機能を有効にしておく。したがって、相対的に耐圧の低い入出力ポート 4 及び内部ディジタル部 7 に対しては比較的電圧の低い 4 . 6 V 程度の電圧でバーンインを行なうことができ、耐圧の高いバッファ部 3 などに対しては比較的電圧の高い 7 . 0 V 程度の外部電源電圧でバーンインを行なうことができ、高耐圧回路 3 に対してもバーンインの信頼性を保証することができる。しかも、低電圧動作される入出力ポート 2 はレベル変換回路 5 4 , 5 5 を介して高電圧動作されるバッファ部 3 と接続するから、入出力ポート 2 からバッファ部 3 のインバータに直接中間レベルの信号が供給され続ける事態を一切生じない。

【 0 0 5 5 】

図 8 には L P C バスインターフェースの為にバイパス経路を採用しないマイクロコンピュータにおいて通常動作時に L P C 通信有効として利用する場合を図 5 との比較例として示す。図 8 において、インバータ 6 4 , 6 5 の入力をプルアップし、インバータ 6 2 , 6 3 の出力をフローティングとし、ノアゲート 6 8 の出力を配線でインバータ 5 6 の入力にバイパスし、 NAND ゲート 6 9 の出力を配線でインバータ 5 7 の入力にバイパスする。上記バイパスなどの処理は配線マスタスライスなどのプロセス上の固定的な手法で選択されている。これにより、前記低電圧動作される L P C 通信有効とする利用形態において、レベル変換回路 5 4 , 5 5 の動作遅延が L P C インタフェースの為のデータ出力動作に影響を与えるなくなる。しかしながら、バーンイン時に、図 5 の場合のバーンイン時と同じように 7 . 0 V 程度のバーンイン電圧を外部端子 V C C に与えて高電圧動作状態にすると、バッファ部 3 に対して高電圧によるストレスをかけることはできるが、バイパス用配線を介してインバータ 5 6 , 5 7 のゲートに 4 . 6 V 程度の電圧振幅を持つ中間レベルの信号が入力され、インバータ 5 6 , 5 7 に貫通電流が流れ、閾値電圧が変化したり破壊の虞を生ずる。図 5 に例示されるように L P C バスインターフェースの為のバイパス経路 7 0 , 7 1 と選択回路 7 4 を採用するマイクロコンピュータではその虞は全くない。

【 0 0 5 6 】

図 9 には図 5 の回路構成と L P C バス H I F 回路 2 0 との接続関係が例示される。図 5 の回路構成に対応させて入出力ポート 4 は、例えば L P C 用出力ラッチ回路 9 0 を有する出力制御回路 9 1 と汎用出力ラッチ回路 9 2 を有する出力制御回路 9 3 を備える。出力制御回路 9 1 は L P C バス H I F 回路 2 0 に接続されて専用化される。出力制御回路 9 3 は内部データバスを介して 8 ビットタイマ 2 3 等のその他の周辺回路に接続可能にされ、汎用的に利用される。

【 0 0 5 7 】

L P C バス H I F 回路 2 0 は L P C イネーブルビット E 1 p c 等の制御ビットを含むコントロールレジスタ 9 4 を有する。 E 1 p c = “ 1 (ハイレベル) ” で L P C 通信有効が設定され、 E 1 p c = “ 0 (ローレベル) ” で L P C 通信無効が設定される。この L P C イネーブルビット E 1 p c は、出力制御回路 9 1 , 9 3 に供給され、且つ、制御信号 8 7 として前記選択回路 7 4 に供給される。

【 0 0 5 8 】

E 1 p c = “ 1 ” (8 7 = “ 1 ”) で指示される L P C 通信有効時には、 L P C 用の出力制御回路 9 1 が動作可能にされ、汎用の出力制御回路 9 3 は動作不可能にされる。このとき、ハイレベルの制御信号 8 7 により、前記バイパス経路 7 0 , 7 1 が選択され、レベル

10

20

30

40

50

変換機能が無効にされ、前記低電圧動作による高速出力動作可能な状態にされる。一方、
E l p c = “ 0 ” (8 7 = “ 0 ”) で指示される L P C 通信無効時には、L P C 用の出力
制御回路 9 1 が動作不可能にされ、汎用の出力制御回路 9 3 が動作可能にされる。このと
き、ローレベルの制御信号 8 7 により、レベル変換回路 5 4 , 5 5 によるレベル変換機能
が有効にされ、前記高電圧動作によるレベル変換出力動作が可能な状態にされる。

【 0 0 5 9 】

L P C 通信を有効にするときのマイクロコンピュータは低電圧動作形態で動作電源の供給
を受ける。E l p c = “ 1 ” (8 7 = “ 1 ”) で指示される L P C 通信有効時には、L P
C 用の出力制御回路 9 1 が動作可能にされ、汎用の出力制御回路 9 3 は動作不可能にされ
る。出力制御回路 9 1 は、動作可能にされると、L P C バス H I F 回路 2 0 からのインタ
フェースデータをクロック信号に同期させて出力ラッチ回路 9 0 にラッチさせ、制御信号
8 5 により出力ゲート回路 6 1 を出力動作可能に制御して、データ 8 8 を出力バッファ 5
3 から出力可能にする。このとき選択回路 7 4 は制御信号 8 7 にてバイパス経路 7 0 , 7
1 を選択するから、出力バッファ 5 3 による出力動作は、レベル変換回路 5 4 , 5 5 によ
る動作遅延の影響を受けず、高速化される。汎用の出力制御回路 9 3 は、動作不可能にさ
れると、制御信号 8 5 及びデータ 8 8 の出力端子を高出力インピーダンス状態に制御する
。

10

【 0 0 6 0 】

一方、L P C 通信を無効にするときのマイクロコンピュータは高電圧動作形態で動作電源
の供給を受ける。E l p c = “ 0 ” (8 7 = “ 0 ”) で指示される L P C 通信無効時には
、汎用の出力制御回路 9 3 が動作可能にされ、L P C 用の出力制御回路 9 1 は動作不可
能にされる。出力制御回路 9 3 は、動作可能にされると、所定の周辺回路から内部データバ
スを介して供給されるインターフェースデータをクロック信号に同期させて出力ラッチ回路
9 2 にラッチさせ、制御信号 8 5 により出力ゲート回路 6 1 を出力動作可能に制御して、
データ 8 8 を出力バッファ 5 3 から出力可能にする。このとき選択回路 7 4 は制御信号 8
7 にてレベル変換回路 5 4 , 5 5 を選択するから、出力バッファ 5 3 による出力動作にお
いて、レベル変換回路 5 4 , 5 5 による動作遅延の影響を受けるが、降圧電圧振幅から外
部電圧振幅へのレベル変換を介して出力動作される。L P C 用の出力制御回路 9 1 は、動
作不可能にされると、制御信号 8 5 及びデータ 8 8 の出力端子を高出力インピーダンス状
態に制御する。

20

【 0 0 6 1 】

図 1 0 には L P C バスインターフェース用の出力ラッチ回路 9 0 に対するラッチクロック信
号の伝達系が例示される。図 1 0 では、クロック入力端子 2 (C K) から L P C バスイン
ターフェース用の P C I クロック信号 1 0 0 が入力され、バッファ部 3 のクロック入力バッ
ファ 1 0 1 、入出力ポート 4 のクロック入力ポート 1 0 2 、及びクロックドライバ 1 0 3
を介して、内部クロック信号 1 0 4 が L P C バス H I F 回路 2 0 に供給される。L P C バ
ス H I F 回路 2 0 は内部クロック信号 1 0 4 に同期してバスインターフェース制御を行
い、出力データを出力ラッチ回路 9 0 に向けて出力する。出力ラッチ回路 9 0 は前記内部クロ
ック信号 1 0 4 をクロック端子 C K に受けてラッチ動作を行なう。クロック信号 1 0 4 に
同期して出力ラッチ回路 9 0 にラッチされたデータ 8 8 はバッファ部 3 を介してデータ出
力端子 2 (D) に出力される。このクロック信号伝達系において、P C I クロック信号 1
0 0 の変化に同期させてデータ出力端子 2 (D) からデータを出力するときの遅延要素は
、クロック入力端子 2 (C K) から出力ラッチ回路 9 0 のクロック入力端子 C K に至るク
ロック遅延と、出力ラッチ回路 9 0 からデータ出力端子 2 (D) に至るデータの伝播遅延
である。データ伝播遅延に対しては前記選択回路 7 4 で選択可能なバイパス経路 7 0 , 7
1 にて改善した。クロック遅延に対してはクロック伝達経路中のゲート段数を減らすよう
にすればよい。

30

【 0 0 6 2 】

図 1 1 にはクロック遅延及びデータ伝播遅延を更に改善する例が示される。L P C バスイ
ンターフェース用のデータ出力動作のためのクロック遅延を更に小さくするために、P C I

40

50

クロック信号 100 のクロック入力バッファ 101 の近傍に出力ラッチ回路 90 を配置し、クロック入力バッファ 101 から出力されるクロック信号 105 を出力ラッチ回路 90 に供給する。更にデータ伝播遅延を更に小さくする為に、出力ラッチ回路 90 を出力バッファ 53 の直近、即ちデータ出力端子 2 (D) の直近に配置する。汎用的な入出力に利用される出力データラッチ回路 92 には内蔵クロック発振器 10 で生成される内部クロック信号 107 が供給される。図 11において出力データラッチ回路 90 は、前記制御信号 87 のハイレベルによってラッチ出力動作可能にされ、前記制御信号 87 のローレベルによって高出力インピーダンス状態にされる。出力データラッチ回路 92 は、前記制御信号 87 のローレベルによってラッチ出力動作可能にされ、前記制御信号 87 のハイレベルによって高出力インピーダンス状態にされる。

10

【0063】

図 12 にはバッファ部近傍のレイアウトが例示される。クロック入力バッファ 101、LPC バスインターフェース用の出力データラッチ回路 90 は出力バッファ 53 及びデータ出力端子 2 (D) の直近に配置されている。これに対して、汎用インターフェース用の出力データラッチ回路 92 は入出力ポート 2 に配置され、相対的に出力バッファ 53 及びデータ出力端子 2 (D) から離れている。

【0064】

図 13 には高電圧動作させる外部電源の電圧を 2 通りに選択可能とする半導体集積回路の例を示す。通常動作における低電圧動作形態は $V_{CC} = V_{CL} = 1.8V$ 、通常動作における第 1 の高電圧動作形態は $V_{CC} = 3.3V$ 、 $V_{CL} = 1.8V$ 、通常動作における第 2 の高電圧動作形態は $V_{CC} = 5.0V$ 、 $V_{CL} = 1.8V$ とする。バーンイン時における高電圧動作形態は $V_{CC} = 7.0V$ 、 $V_{CL} = 2.8V$ とする。これに対応するレベル変換回路は外部電源に応じてレベル変換範囲を相違しなければならない。同一回路構成で複数のレベル変換範囲に対して変換の高速性を第 1 とする場合には、レベル変換範囲に応じて異なった回路構成のレベル変換回路を採用するのが得策である。そこで、図 13 では、変換レベル範囲の広い変換用にレベル変換回路 110, 111, 113 を採用する。それらは、前記レベル変換回路 54, 55 に対して、MOS トランジスタ Q3, Q4 のコモンドレインに対する電荷引き抜きを加速するために MOS トランジスタ Q10, Q11 を追加し、同様に、MOS トランジスタ Q5, Q6 のコモンドレインに対する電荷引き抜きを加速するために MOS トランジスタ Q12, Q113 を追加して構成される。選択回路 116 にはレベル変換回路 110, 111 を選択するためのクロックドインバータ 114, 115 が追加されている。更に選択回路 116 の選択動作を行なう選択信号 120, 121, 122 の 3 本とする。選択信号 121, 122 に関してはレベル変換回路 112, 113 でレベル変換を行なってクロックドインバータ 75, 76 とクロックドインバータ 114, 115 に供給される。図 5 の例では高電圧動作形態において信号 87 が採り得るレベルはローレベルに限定されるから、選択制御信号 87 の伝播経路ではレベル変換を要しない。これに対し、図 13 の例では、高電圧動作形態において信号 121, 122 が採り得るレベルはローレベルに限定されないから、レベル変換回路 112, 113 を必要とする。尚、図 13 の回路構成において図 5 と同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

20

30

40

【0065】

図 14 には図 13 の半導体集積回路における LPC 通信の有効 / 無効と動作電源との対応関係が例示される。動作状態はバーンインと通常動作（バーンイン以外の動作状態）とに大別され、通常動作は LPC 通信有効と無効の状態に大別されることとは、図 7 と同じである。通常動作における低電圧動作形態 ($V_{CC} = V_{CL} = 1.8V$) では LPC 通信有効とされる。この動作形態において、LPC バス HIF 回路 20 を用いるホストインターフェース制御を行なう場合には、制御信号 120 がハイレベル（この場合には V_{CL} レベル）に設定され、制御信号 121, 122 がローレベル（この場合には $0.0V$ ）に設定されることにより、当該インターフェース用のバッファ部 3 では、選択回路 116 のクロックドインバータ 76, 77 がオン、クロックドインバータ 75, 78, 114, 115 がオフ

50

にされ、バイパス経路 70, 71 が選択され、前記高速の L P C バスインターフェースを実現することができる。

【0066】

通常動作における第 1 の高電圧動作形態 ($V_{CC} = 3.3V$, $V_{CL} = 1.8V$) では L P C 通信無効とされる。この動作形態において、この動作形態では前記制御信号 121 がハイレベル、制御信号 120, 122 がローレベルに設定され、バッファ部 3 では、選択回路 116 のクロックドインバータ 76, 77, 114, 115 がオフ、クロックドインバータ 75, 78 がオンにされ、レベル変換回路 54, 55 の出力が選択され、降圧電圧の低振幅信号をレベル変換回路 54, 55 で外部電源の振幅に拡張して、出力バッファ 53 から外部端子 2 の出力させることができる。3.3V のような動作電圧を用いるシステムに適用させて動作させることが可能である。

10

【0067】

通常動作における第 2 の高電圧動作形態 ($V_{CC} = 5.0V$, $V_{CL} = 1.8V$) では L P C 通信無効とされる。この動作形態において、この動作形態では前記制御信号 122 がハイレベル、制御信号 120, 121 がローレベルに設定され、バッファ部 3 では、選択回路 116 のクロックドインバータ 75 ~ 78 がオフ、クロックドインバータ 114, 115 がオンにされ、レベル変換回路 110, 111 の出力が選択され、降圧電圧の低振幅信号をレベル変換回路 110, 111 で外部電源の振幅に拡張して、出力バッファ 53 から外部端子 2 の出力させることができる。5.0V のような動作電圧を用いるシステムに適用させて動作させることが可能である。

20

【0068】

バーンイン時における高電圧動作形態は $V_{CC} = 7.0V$, $V_{CL} = 2.8V$ とし、通常動作における第 2 の高電圧動作形態と同じように制御信号 120, 121 をローレベル、122 をハイレベルに設定し、電圧変換回路 110, 111 による変換機能を有効にしておく。したがって、相対的に耐圧の低い入出力ポート 4 及び内部デジタル部 7 に対しては比較的電圧の低い 2.8V 程度の電圧でバーンインを行なうことができ、耐圧の高いバッファ部 3 などに対しては比較的電圧の高い 7.0V 程度の外部電源電圧でバーンインを行なうことができ、高耐圧回路 3 に対してもバーンインの信頼性を保証することができる。しかも、低電圧動作される入出力ポート 2 はレベル変換回路 110, 111 を介して高電圧動作されるバッファ部 3 と接続するから、入出力ポート 2 からバッファ部 3 のインバータに直接中間レベルの信号が供給され続ける事態を一切生じない。

30

【0069】

図 15 にはマイクロコンピュータ 1 を L P C バスに接続される各種インターフェースコントローラ L S I として用いるデータ処理システムが例示される。ホストプロセッサ 130 に結合された L P C バス 131 には夫々マイクロコンピュータ 1 によって構成された複数のインターフェースコントローラ 1 (A)、1 (B)、1 (C) 等が接続される。インターフェースコントローラ 1 (A) は、キーボードインターフェースを実現し、インターフェースコントローラ 1 (B) はマウスインターフェースを実現し、インターフェースコントローラ 1 (C) はパワーマネージメント情報の交換インターフェースを実現する。夫々のインターフェースコントローラ 1 (A)、1 (B)、1 (C) の L P C バス H I F 回路 (L P C) の構成は図 11 や図 12 で説明された構成と同等とされており、各 L P C バス H I F 回路 (L P C) はホストプロセッサ 130 が出力する P C I クロック信号 100 に同期動作され、出力動作は P C I クロック信号 100 の立ち上りから一定時間内で確定する高速出力が達成される。132 はデータ出力バッファ 53、選択回路 74、レベル変換回路 54, 55、バイパス経路 70, 71、データ入力バッファ、データ出力ラッチ回路等を総称する回路ブロックである。なお、インターフェースコントローラ 1 (A) は、図示のように、外部から供給されたアナログ信号 151 をデジタル信号に変換する A D 変換回路 (A / D) と、中央処理回路 (C P U) と、上記 A D 変換回路 (A / D) と中央処理回路 (C P U) と上記 L P C バス H I F 回路 (L P C) とが結合された上記内部バス 150 と有する。上記中央処理回路 (C P U) は、特に制限されないが、上記 A D 変換回路 (A / D) によって変換

40

50

されたデジタル信号を内部バス 150 を介して上記 L P C バス H I F 回路 (L P C) へ転送するような処理を行う。

【 0 0 7 0 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 7 1 】

例えば、クロック同期で外部インターフェースを行なう回路は L P C バス H I F 回路に限定されず、その他のインターフェース回路モジュールであってもよい。また、レベル変換回路の構成もスタティックラッチ形態に限定されない。以上の説明では出力バッファに対するレベル変換回路とバイパス経路について説明した。入力バッファに関する限りもレベル変換回路を設けることは可能であるが、その場合のレベル変換はレベル低下であり、その意味においてレベル変換回路を設けなくても入力動作には支障はなく、バーンイン動作でも同じく支障はない。半導体集積回路はマイクロコンピュータという名称の回路に限定されず、インターフェースコントローラ或はシステム L S I 等と称する L S I に広く適用することができる。また、半導体集積回路の動作電圧も上記に限定されない。高電圧動作形態で印加可能な外部電源電圧の種類は図 13 及び図 14 で説明した 2 種類に限定されず、3 種類以上の場合は本発明を適用することが可能である。また、 L P C バス H I F 回路の用途は図 15 で説明した用途に限定されない。

【 0 0 7 2 】

【 発明の効果 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 7 3 】

すなわち、第 1 回路及びこれよりも高耐圧の第 2 回路を低電圧動作させる利用形態では所定のレベル変換回路におけるバイパス経路を所定の外部出力バッファの入力に接続するから、バイパス経路に接続された外部出力バッファを利用する外部インターフェースでは、レベル変換による動作遅延の影響を受けず、外部との高速インターフェースを実現することができる。

【 0 0 7 4 】

外部インターフェースに高電圧を利用する利用形態では、第 1 回路を低電圧動作、第 2 回路を高電圧動作させ、前記所定の外部出力バッファにおいてもバイパス経路を選択せずレベル変換回路を介在させ、第 1 回路における低電圧の信号振幅を第 2 回路の高電圧の信号振幅に変換して外部出力バッファに供給可能にされる。

【 0 0 7 5 】

半導体集積回路に上記何れの利用形態を採用する場合でも、バーンインでは、第 1 回路をバーンイン用低電圧動作、第 2 回路をバーンイン用高電圧動作させ、前記所定の外部出力バッファにおいてもバイパス経路を選択せずレベル変換回路を介在させ、第 1 回路におけるバーンイン用低電圧の信号振幅を第 2 回路のバーンイン用高電圧の信号振幅に変換して外部出力バッファに供給可能とされる。第 1 回路の相対的に小さい振幅の中間レベル信号によって第 2 回路に貫通電流が流れることはないから、その貫通電流に起因する第 2 回路の特性劣化や破壊は生じない。したがって、第 1 回路及び第 2 回路をその耐圧に見合った動作電源を用いてバーンインすることが可能であるから、バーンインによる信頼性を保証することができる。

【 0 0 7 6 】

レベル変換回路による出力動作遅延の解消と出力バッファの高耐圧維持という観点より、クロック信号に同期する外部出力動作の高速化を実現することができる。

【 0 0 7 7 】

クロック遅延の抑制という観点より、外部クロック信号に同期する外部出力動作の高速化を実現することができる。

10

20

30

40

50

【0078】

レベル変換回路による出力動作遅延の解消と出力バッファの高耐圧維持という観点よりクロック同期の外部出力動作を高速化した半導体集積回路におけるバーンインによる信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の一例であるマイクロコンピュータを示すブロック図である。

【図2】マイクロコンピュータの高電圧動作時における電源端子接続形態を例示する説明図である。

【図3】マイクロコンピュータの低電圧動作時における電源端子接続形態を例示する説明図である。 10

【図4】バッファ部における出力バッファ及びレベル変換回路を例示する回路図である。

【図5】バッファ部においてLPCバスHIF回路の出力に割当てられる出力バッファ及びレベル変換回路を例示する回路図である。

【図6】図5のバッファ部における信号波形を例示する信号波形図である。

【図7】LPC通信の有効／無効と動作電源との対応関係を例示する説明図である。

【図8】LPCバスインターフェースの為のバイパス経路を採用しないマイクロコンピュータにおいて通常動作時にLPC通信有効として利用する場合を図5との比較例として示す回路図である。

【図9】図5の回路構成とLPCバスHIF回路との接続関係を例示する説明図である。 20

【図10】LPCバスインターフェース用の出力ラッチ回路に対するラッチクロック信号の伝達系を例示するブロック図である。

【図11】クロック遅延及びデータ伝播遅延を更に改善する例を示すブロック図である。

【図12】バッファ部近傍のレイアウトを例示する概略平面図である。

【図13】高電圧動作させる外部電源の電圧を2通りに選択可能とする半導体集積回路の例を示す回路図である。

【図14】図13の半導体集積回路におけるLPC通信の有効／無効と動作電源との対応関係を例示する説明図である。

【図15】マイクロコンピュータをLPCバスに接続される各種インターフェースコントローラLSIとして用いるデータ処理システムを例示するブロック図である。 30

【符号の説明】

1 マイクロコンピュータ

1 (A), 1 (B), 1 (C)

2 外部端子

2 (CK) クロック入力端子

2 (D) データ出力端子

3 バッファ部

4 入出力ポート

6 内部電源降圧回路

7 内部ディジタル部

VCC 電源端子

VCL 低電圧動作用端子

11 CPU

20 LPCバスHIF回路

53 出力バッファ

54, 55 レベル変換回路

61 出力制御回路

70, 71 バイパス経路

74 選択回路

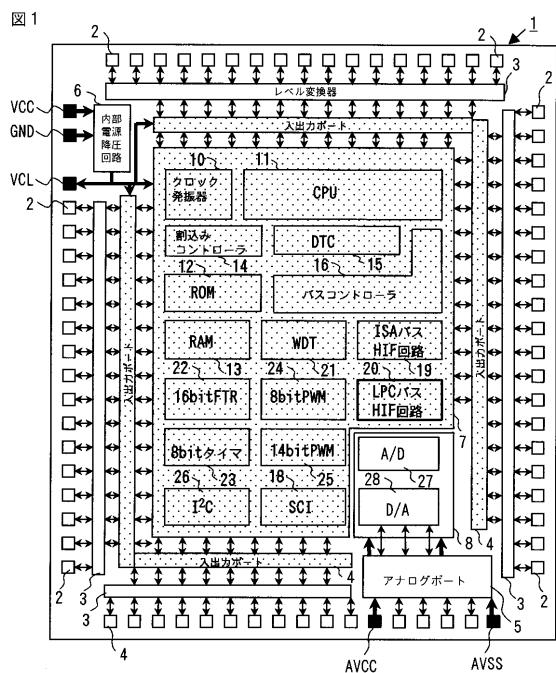
75 ~ 78 クロックドインバータ

40

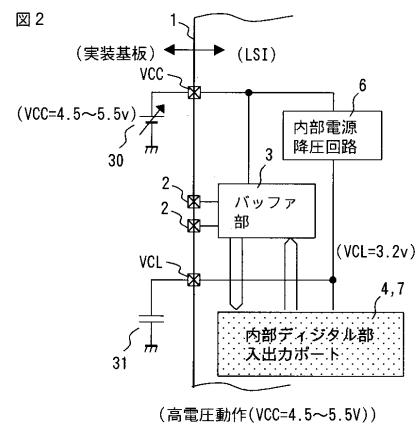
50

8 5 制御信号
 8 6 出力ラッチ回路
 8 7 選択制御信号
 8 8 ラッチ出力データ
 9 0 , 9 2 出力ラッチ回路
 9 1 , 9 3 出力制御回路
 9 4 コントロールレジスタ
 E 1 p c L P C イネーブルビット
 1 0 0 P C I クロック信号 10
 1 0 1 クロック入力バッファ
 1 0 2 クロック入力ポート
 1 0 5 クロック信号
 1 1 0 , 1 1 1 , 1 1 2 , 1 1 3 レベル変換回路
 1 1 6 選択回路
 1 2 0 ~ 1 2 2 選択制御信号
 1 3 0 ホストプロセッサ
 1 3 1 L P C バス

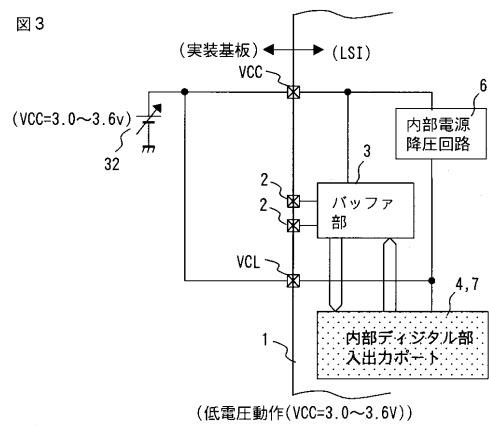
【図1】



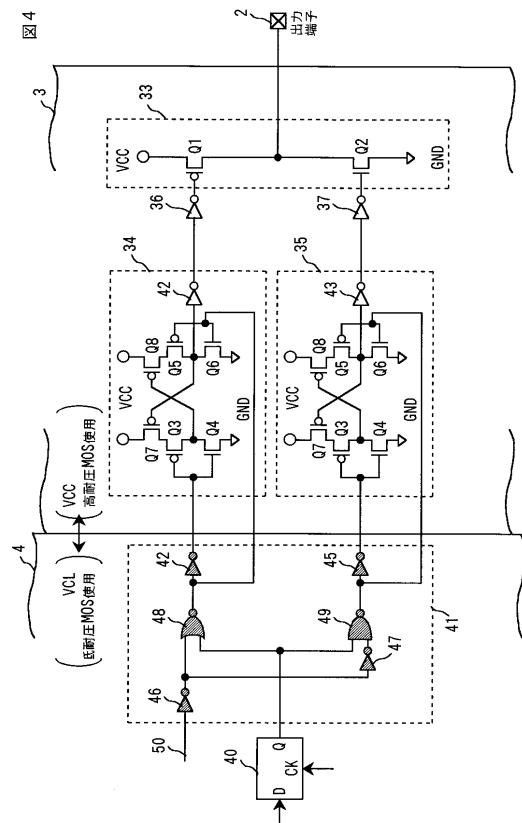
【図2】



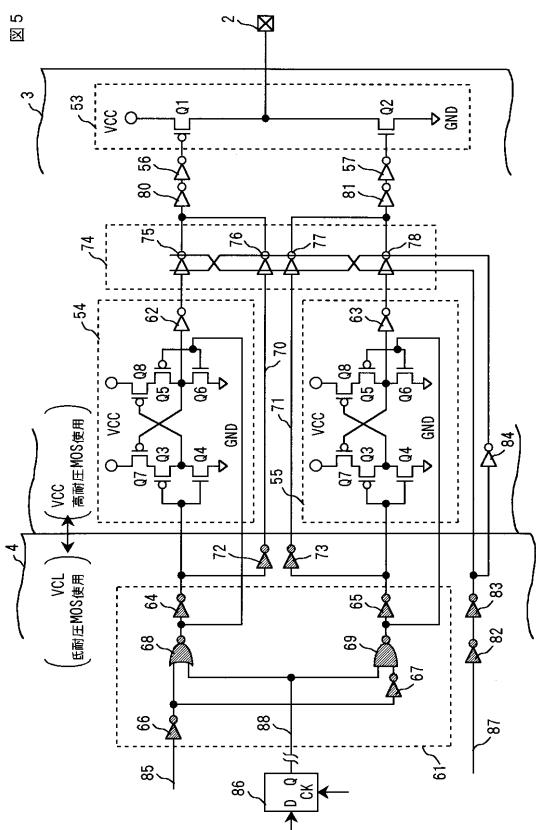
【図3】



【図4】



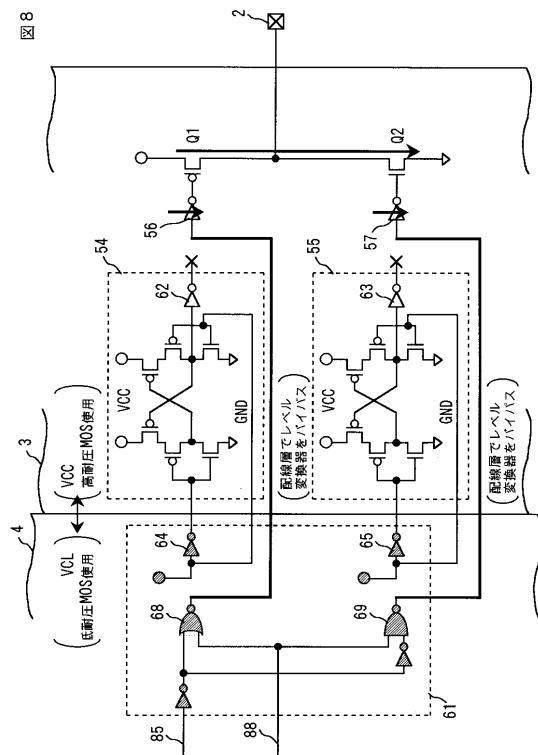
【図5】



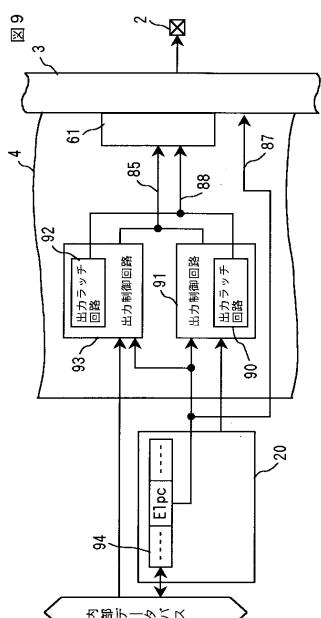
【 図 7 】

動作状態	信号7号	信号8号	84出力	加算器 75,77 76,78	備考
通常動作 VCC=VCL=3.3V	3.3V (VCL)	3.3V (VCL)	0.0V	ON	VCC=VCL時、かか使用でき ないが高速動作可能
通常動作 VCC=5.0V, VCL=3.2V	0.0V	0.0V (VCC)	5.0V (VCC)	OFF	高速動作でないが、 VCC>VCL印加が可能
バーンイン時(LPC通信無効) VCC=7.0V, VCL=4.6V	0.0V	0.0V (VCC)	7.0V (VCC)	OFF	高耐圧MOSに高い ストレス電圧印加可能

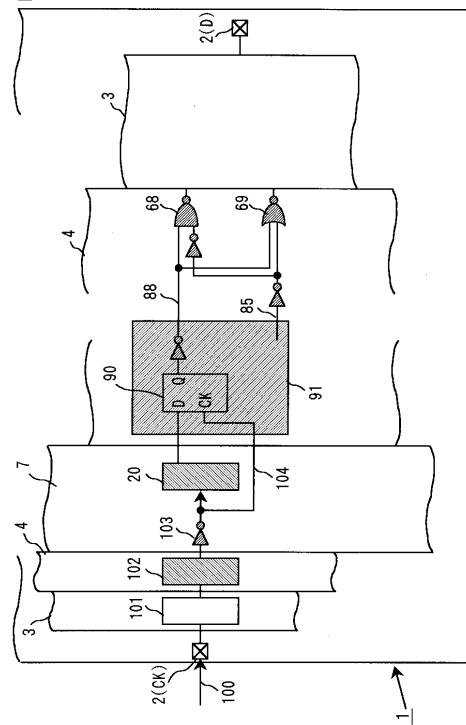
〔 四 8 〕



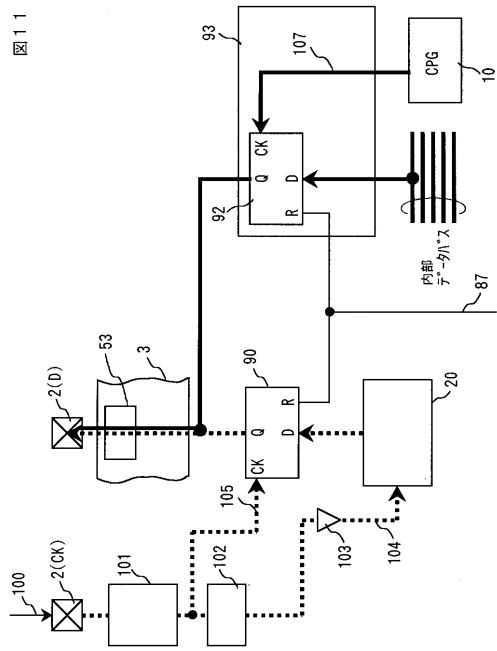
【図9】



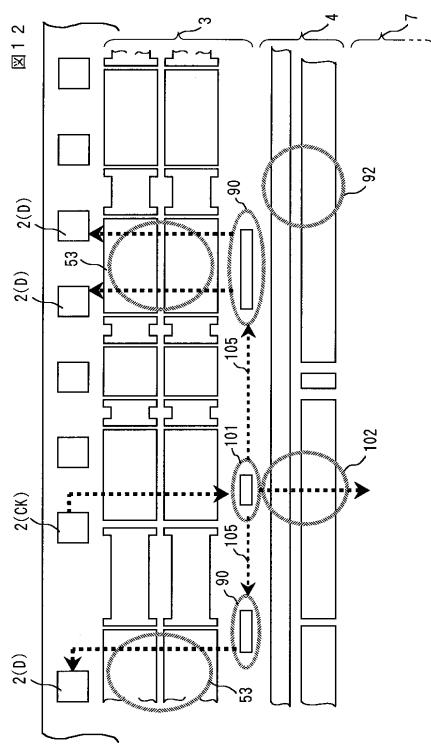
【 10 】



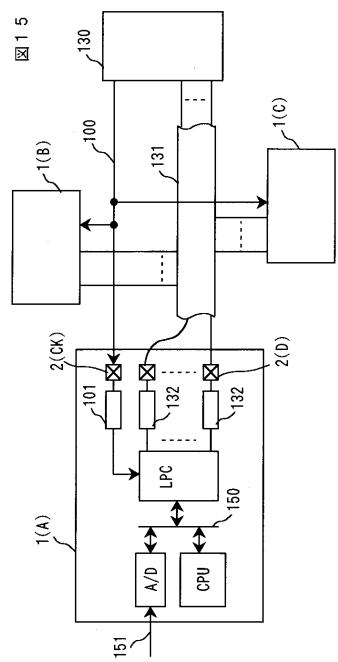
【図11】



【図12】



【図15】



フロントページの続き

(51)Int.Cl.

F I

G 01 R 31/28 (2006.01)

G 01 R 31/28

C

G 01 R 31/316 (2006.01)

H 01 L 27/04

T

(72)発明者 嶋貴 健

山形県米沢市大字花沢字八木橋東3の3274 日立米沢電子株式会社内

(72)発明者 大柴 雅史

北海道亀田郡七飯町字中島145番地 日立北海セミコンダクタ株式会社内

審査官 宮島 郁美

(56)参考文献 特開平09-008632 (JP, A)

特開2000-049584 (JP, A)

特開平10-285013 (JP, A)

特開2000-353947 (JP, A)

特開2003-110418 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096

H01L27/04

G01R31/28-31/30