

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年9月9日(09.09.2011)

PCT

(10) 国際公開番号
WO 2011/108359 A1

- (51) 国際特許分類:
G11C 11/15 (2006.01) H01L 27/105 (2006.01)
H01L 21/8246 (2006.01) H01L 43/08 (2006.01)
- (21) 国際出願番号: PCT/JP2011/053324
- (22) 国際出願日: 2011年2月17日(17.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-049562 2010年3月5日(05.03.2010) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社日立製作所(HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP). 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 大野英男(OHNO Hideo) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 池田正二(IKEDA Shoji) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 三浦勝哉(MIURA Katsuya) [JP/JP]; 〒3500395 埼玉県比企郡鳩山町赤沼2520番地 株式会社日立製作所 基礎研究所内 Saitama (JP). 小埜和夫(ONO Kazuo) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 竹村理

一郎(TAKEMURA Riichiro) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 高橋宏昌(TAKAHASHI Hiromasa) [JP/JP]; 〒3500395 埼玉県比企郡鳩山町赤沼2520番地 株式会社日立製作所 基礎研究所内 Saitama (JP).

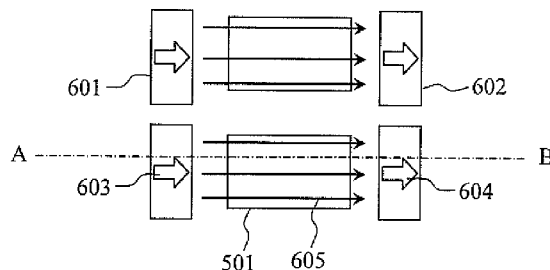
- (74) 代理人: 平木祐輔, 外(HIRAKI Yusuke et al.); 〒1050001 東京都港区虎ノ門4丁目3番20号 神谷町MTビル19階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: MAGNETIC MEMORY CELL AND MAGNETIC RANDOM ACCESS MEMORY

(54) 発明の名称: 磁気メモリセル及び磁気ランダムアクセスメモリ

図6A



(57) Abstract: In order to optimize the relationship between the drive current of a select transistor of a magnetic memory, and the magnetic inversion threshold current of a magnetoresistive effect element (101), the recording layer of the magnetoresistive effect element is provided with mechanisms (601 to 604) which apply a magnetic field inverse to that of a fixed layer, in order to reduce the magnetic inversion threshold current when writing "1".

(57) 要約: 磁気メモリの選択トランジスタの駆動電流と磁気抵抗効果素子の磁化反転閾値電流の関係を最適化する。磁気メモリの選択トランジスタの駆動電流と磁気抵抗効果素子101の磁化反転閾値電流の関係を最適化するため、「1」書き込み時の磁化反転閾値電流を下げるための、磁気抵抗効果素子の記録層に、固定層と逆向きの磁場を印加する機構601～604を備える。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 磁気メモリセル及び磁気ランダムアクセスメモリ 技術分野

[0001] 本発明は、磁気抵抗効果素子を備えた磁気メモリセル及び磁気ランダムアクセスメモリに関する。

背景技術

[0002] 図1は、磁気ランダムアクセスメモリ（MRAM）中の磁気メモリセルの概念図である。磁気メモリセル100は、磁気抵抗効果素子101と選択トランジスタ102が直列に電氣的に接続された構造を有する。選択トランジスタ102のソース電極はソース線103に、ドレイン電極は磁気抵抗効果素子101を介してビット線104に、ゲート電極はワード線105にそれぞれ電氣的に接続されている。磁気抵抗効果素子101は、2つの強磁性層106、107で非磁性層108を挟んだ3層構造を基本構造とする。例えば、第1の強磁性層106は固定層であり、磁化方向が固定されている。第2の強磁性層107は記録層であり、磁化方向が可変である。磁気抵抗効果素子101は、2つの強磁性層106、107の磁化方向が互いに平行（P状態）のとき低抵抗に、反平行（AP状態）のとき高抵抗になる。MRAMでは、この抵抗変化をビット情報の「0」と「1」に対応させる。ビット情報は、磁気抵抗効果素子101を流れる電流によるスピントルク磁化反転によって書込む。電流が固定層から記録層に流れるとき、記録層の磁化は固定層の磁化に対して反平行になり、ビット情報は「1」となる。電流が記録層から固定層に流れるとき、記録層の磁化は固定層の磁化に対して平行になり、ビット情報は「0」となる。電流による磁化反転の速さは1ナノ秒程度であるため、MRAMは非常に高速な書込みが可能である。また、記録層の磁化の向きによってビット情報を記録するため、MRAMは不揮発性を有し、待機時電力消費を抑えることができる。このため、MRAMは次世代のメモリとして期待されている。また、固定層と記録層の位置関係が入れ替わって

、上が固定層で下が記録層になっている磁気抵抗効果素子を用いても、同様にMRAMとして動作する。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-305337号公報

発明の概要

発明が解決しようとする課題

[0004] 磁気メモリセルの有する課題について、図1に示したように、磁気抵抗効果素子101のトランジスタ側が固定層106であり、ビット線側が記録層107である場合を例にとって説明する。

[0005] 図2A及び図2Bは、磁気メモリセルにかかる電圧を示した概念図である。MRAMの「0」書込み動作では、図2Aのように、書込みを行う磁気メモリセルのビット線104に電圧を印加し、ソース線103の電位は0にする。若しくは、ビット線104を高電位、ソース線103をビット線104に対して低電位とする。ここでは、ソース線103の電位を0にした場合を例にして説明する。この状態でワード線105に電圧を加えると、ビット線104から磁気抵抗効果素子及び選択トランジスタを介してソース線103に電流 $I_{w, AP \rightarrow P}$ が流れる。ビット線104に印加する電圧を V_w 、ワード線に加える電圧を V_g とすると、磁気メモリセルに流すことが可能な電流の大きさは、次のようになる。

[数1]

$$I_{w, AP \rightarrow P} = \frac{V_w}{R_{TR} + R_{MTJ}}$$

[0006] ここで、 R_{TR} と R_{MTJ} は、それぞれ選択トランジスタの抵抗値と磁気抵抗効果素子の抵抗値を表す。「1」書込み動作は、図2Bのように書込みを行う磁気メモリセルのソース線103に電圧 V_w を印加し、ビット線104の電位は0にし、ワード線105に電圧 V_g を印加する。ソース線103に印加する電

圧を V_w とすると、ソース線103からビット線104に電流 $I_{w, P \rightarrow AP}$ が流れる。このとき選択トランジスタには電圧 V_d （ドレイン電極の電位）がかかり、磁気抵抗効果素子には電圧 V_{MTJ} がかかる。

[数2]

$$V_d = V_w \times \frac{R_{TR}}{R_{MTJ} + R_{TR}}$$

$$V_{MTJ} = V_w \times \frac{R_{MTJ}}{R_{MTJ} + R_{TR}}$$

[0007] 従って、実効的にゲート電極にかかる電圧は $V_g - V_d$ である。図3は、磁気メモリセルにおける選択トランジスタのソースドレイン電流とゲート電圧の関係を示す図である。選択トランジスタのソースドレイン電流－ゲート電圧特性が図3のとき、

[数3]

$$I_{w, P \rightarrow AP} = I_{w, AP \rightarrow P} \times \frac{V_g - V_d}{V_w}$$

[0008] となる（いわゆるソースフォロアの状態）。従って、図3に示すように、選択トランジスタ102の駆動電流は、「1」書込みの電流 $I_{w, P \rightarrow AP}$ が「0」書込みの電流 $I_{w, AP \rightarrow P}$ より減少する。例として、 $V_w = V_g = 1.8 \text{ V}$ とし、 $R_{MTJ} = R_{TR} = 1 \text{ k}\Omega$ とし、磁気抵抗効果素子の抵抗変化率を100%とする。このとき、 $I_{w, AP \rightarrow P}$ は0.9 mAとなる。しかし、 $I_{w, AP \rightarrow P}$ の場合、 R_{MTJ} の値はAP状態の2 k Ω になるが、実際の動作電圧では実効的な抵抗は低くなる場合が多い。特に非磁性層108が絶縁体の場合、AP状態の抵抗は電圧が大きくなると顕著に低くなる。このため $V_g = 1 \text{ V}$ 程度となり、図3のような選択トランジスタ102の特性では、 $I_{w, AP \rightarrow P}$ は $I_{w, AP \rightarrow P}$ のおよそ半分である0.45 mA程度になる。

[0009] 一方、磁気抵抗効果素子の記録層の磁化反転閾値電流は、磁化反転トルクを与える電子スピンの効率を表す量 $g(\theta) = P / 2 (1 + P^2 \cos \theta)$ に依存する。ここで、 θ は磁気抵抗効果素子の固定層磁化と記録層磁化の相対角度で

あり、P状態では $\theta = 0$ 、AP状態では $\theta = \pi$ である。また、Pはスピン分極率である。従って、「0」書込みに必要な閾値電流 $I_{c, P \rightarrow AP}$ と「1」書込みに必要な閾値電流 $I_{c, AP \rightarrow P}$ の関係は、 $I_{c, P \rightarrow AP} \doteq I_{c, AP \rightarrow P} \times g(0) / g(\pi)$ となり、 $I_{c, P \rightarrow AP}$ は $I_{c, AP \rightarrow P}$ と比べて大きくなる。一般的な例として、 $I_{c, AP \rightarrow P} = 2 \times 10^6 \text{ A} / \text{cm}^2$ とすると、 $I_{c, P \rightarrow AP}$ は 1.5 倍から 2 倍程度になり、 $3 \times 10^6 \text{ A} / \text{cm}^2$ 以上になる。

[0010] 図4Aは、磁気抵抗効果素子の記録層の磁化反転閾値電流と選択トランジスタの駆動電流の関係を示している。磁化反転閾値電流は、選択トランジスタ102の駆動電流より小さくないと磁化反転が起きないが、図4Aから分かるように、この構成の磁気メモリセルは、上述の理由からP状態からAP状態への書込みの方がこの条件を満足することが難しくなる。つまり、書込みを行うには $I_{w, AP \rightarrow P} > I_{c, AP \rightarrow P}$ 、 $I_{w, P \rightarrow AP} > I_{c, P \rightarrow AP}$ の条件を満たす必要があるが、 $I_{w, P \rightarrow AP} < I_{c, P \rightarrow AP}$ となってしまう。このため、 $I_{c, P \rightarrow AP}$ を低減することが求められる。このためには、図4Bの状態になればよい。

[0011] 磁気抵抗効果素子を、垂直磁気異方性材料を用いて作製した場合、固定層106の磁化と記録層107の磁化は、反平行配置のとき不安定になる。これは、固定層106と記録層107の同極性の磁極が接近するため、斥力のはたらくからである。従って、垂直磁気異方性材料を用いた磁気抵抗効果素子の $I_{c, P \rightarrow AP}$ と $I_{c, AP \rightarrow P}$ の差は、面内磁気異方性を用いた磁気抵抗効果素子よりも大きくなる。このため、更なる $I_{c, P \rightarrow AP}$ の低減が必要になる。

課題を解決するための手段

[0012] 本発明の磁気メモリセルは、第1の強磁性層、第2の強磁性層、第1の強磁性層と第2の強磁性層の間に形成された非磁性層を備える磁気抵抗効果素子と、選択トランジスタと、磁気抵抗効果素子と前記選択トランジスタに直列に電圧を印加する機構とを備える。第1の強磁性層と第2の強磁性層の一方は磁化方向が固定されている固定層であり、他方は磁化方向が可変である記録層である。選択トランジスタのドレイン電極は第1の強磁性層と電氣的に接続されている。磁気抵抗効果素子は、第1の強磁性層から第2の強磁性

層に第 1 の閾値電流を超えた電流が流れたとき第 1 の抵抗値状態になり、第 2 の強磁性層から第 1 の強磁性層に第 2 の閾値電流を超えた電流が流れたとき第 2 の抵抗値状態になる。

[0013] ここで、第 2 の強磁性層から第 1 の強磁性層に電流が流れるように電圧が印加されたときと比べ、第 1 の強磁性層から第 2 の強磁性層に電流が流れるように電圧が印加されたときの選択トランジスタの駆動電流が小さくなることに合わせ、第 1 の強磁性層から第 2 の強磁性層へ電流を流すときの第 1 の閾値電流を選択トランジスタの駆動電流以下に減少させるため、固定層の磁化方向と逆向きの有効磁場 H_{ex} を記録層に印加する磁場印加機構を備える。

[0014] 磁気抵抗効果素子が面内磁気異方性を持つ場合、磁気抵抗効果素子は長方形や楕円形状によって形状磁気異方性を付与する場合が多く、この場合は磁気抵抗効果素子の長手方向に有効磁場 H_{ex} を印加する構造となる。

[0015] 有効磁場 H_{ex} が満たすべき条件を以下に記す。磁気抵抗効果素子の記録層に有効磁場 H_{ex} を印加時の $I_{c, P \rightarrow AP}$ は、次式で表される。有効磁場 H_{ex} の印加方向は、固定層の磁化の方向と逆方向である。

[数4]

$$I_{c, P \rightarrow AP} = I_{c0, P \rightarrow AP} \left[1 - \frac{k_B T}{E \left(1 - \frac{H_{ex}}{H_k} \right)^2} \ln \frac{t_p}{t_0} \right]$$

[0016] ここで、 $I_{c0, P \rightarrow AP}$ は書込み速度 1 ナノ秒のときの「1」書込み時の書込み電流、 k_B はボルツマン定数、 T は温度、 E は外部磁場がないときの P 状態と A P 状態の間のポテンシャルバリア、 H_k は記録層の異方性磁場、 t_p は書込み速度、 t_0 は試行速度でおよそ 1 ナノ秒である。

[0017] $I_{w, P \rightarrow AP} > I_{c, P \rightarrow AP}$ の条件から、印加する有効磁場 H_{ex} は、下式のようになる。一方、このときの $I_{c, AP \rightarrow P}$ は、下式で表され、若干増大する。 $I_{c0, AP \rightarrow P}$ は書込み速度 1 ナノ秒のときの「0」書込み時の書込み電流である。

[数5]

$$H_{ex} > H_k \left\{ \left[\left(1 - \frac{I_{w, P \rightarrow AP}}{I_{c0, P \rightarrow AP}} \right) \frac{E}{k_B T} \ln \left(\frac{t_p}{t_0} \right) \right]^{\frac{1}{2}} - 1 \right\}$$

$$I_{c, AP \rightarrow P} = I_{c0, AP \rightarrow P} \left[1 - \frac{k_B T}{E \left(1 - \frac{H_{ex}}{H_k} \right)^2} \ln \frac{t_p}{t_0} \right]$$

[0018] 従って、 $I_{w, AP \rightarrow P} > I_{c, AP \rightarrow P}$ の条件から、印加する有効磁場 H_{ex} は、

[数6]

$$H_{ex} < H_k \left\{ 1 - \left[\left(1 - \frac{I_{w, AP \rightarrow P}}{I_{c0, AP \rightarrow P}} \right) \frac{E}{k_B T} \ln \left(\frac{t_p}{t_0} \right) \right]^{\frac{1}{2}} \right\}$$

[0019] となる。磁気抵抗効果素子の記録層の異方性磁場 H_k や I_{c0} などの特性ばらつきや選択トランジスタの特性ばらつきを考慮すると、上述の有効磁場の条件近傍の磁場を中心値として十分なマージンを取り設計すればよい。

[0020] また、図1において、固定層106がビット線104側に位置し、記録層107が選択トランジスタ102側に位置する場合、 $P \rightarrow AP$ と $AP \rightarrow P$ の磁化反転を引き起こす電流方向が逆になるため、選択トランジスタが供給可能な電流と磁気抵抗効果素子の閾値電流の関係は図4Cのようになり、 $I_{w, AP \rightarrow P} > I_{c, AP \rightarrow P}$ 、 $I_{w, P \rightarrow AP} > I_{c, P \rightarrow AP}$ の条件を満たす場合が考えられる。この場合は、必ずしも上述の磁場は必要ではない。しかし、この場合でも、磁気抵抗効果素子のサイズや選択トランジスタのサイズなどの条件によっては図4Dのようになるため、磁場印加が書込みに効果的に働く。このときも、有効磁場 H_{ex} の条件は上述の式で表すことができるが、実際に印加する磁場は小さくなると予想される。

[0021] また、本発明の特徴は、従来技術と異なり、「0」若しくは「1」という書込む情報に応じて印加する磁場の方向を変える必要がないことである。従

来技術では、「0」書込みの際に固定層の磁化方向と同方向の磁場を印加し、「1」書込みの際には固定層の磁化方向と逆方向の磁場を印加していた。この方法は、磁化反転閾値電流を下げるのに有効であるが、磁場方向を制御するために新たに磁場印加用配線などを必要とし、磁場印加用配線に流れる電流方向を制御する回路も必要としていた。本発明では、磁場方向は常に固定でよいので、このような配線や回路は必ずしも必要ではない。

[0022] また、MRAMの読出し動作は、ビット情報である磁気抵抗効果素子の抵抗値を読出すため、磁気抵抗効果素子に電圧を印加した状態から電圧印加を止める。電圧印加を止めると、磁気抵抗効果素子の電圧レベルが徐々に下がるが、下がる速度が抵抗値に依存する。従って、「0」状態と「1」状態を区別できる程度に電圧レベルに十分な差が生じるためには、ある程度の時間が必要である。この時間は、磁気抵抗効果素子に印加した電圧が大きい方がよいが、電圧が大きすぎると磁化反転閾値電流以上の電流が流れるため誤書込みになる。有効磁場 H_{ex} が印加されている場合、図4Bから分かるように、「0」書込み電流が大きくなるため、読出し時に「0」書込み方向電流が流れるようビット線104に電圧を印加すると、誤書込みの確率を減少することが出来る。

[0023] また、本発明のMRAMは、相互に平行に並べられた複数のビット線と、ビット線と平行に並べられた複数のソース線と、ビット線と交差し且つ互いに平行に並べられた複数のワード線と、ビット線とワード線とが交差する部分に配置された複数の磁気メモリセルとによって構成されたサブアレイを有する磁気ランダムアクセスメモリであり、磁気メモリセルとして、上記の磁気メモリセルを用いる。ビット線は磁気メモリセルの第2の強磁性層と電氣的に接続されており、ソース線は選択トランジスタのソース電極に電氣的に接続されており、ワード線は選択トランジスタのゲート電極に電氣的に接続されている。

発明の効果

[0024] 本発明によれば、条件を満たす有効磁場を印加することにより、MRAM

の磁気メモリセルは、「0」書込み、「1」書込みともに安定した動作が可能になる。さらに、微細化に伴いトランジスタの供給電流は小さくなるが、有効磁場の条件を最適化することにより微細化に対応することが出来る。

図面の簡単な説明

- [0025] [図1] 磁気メモリセルの概念図。
- [図2A] 磁気メモリセルにかかる電圧を示した概念図。
- [図2B] 磁気メモリセルにかかる電圧を示した概念図。
- [図3] 選択トランジスタのソースドレイン電流とゲート電圧の関係を示す図。
- [図4A] 磁気抵抗効果素子の記録層の磁化反転閾値電流と、選択トランジスタの駆動電流の関係を示す概念図。
- [図4B] 磁気抵抗効果素子の記録層の磁化反転閾値電流と、選択トランジスタの駆動電流の関係を示す概念図。
- [図4C] 磁気抵抗効果素子の記録層の磁化反転閾値電流と、選択トランジスタの駆動電流の関係を示す概念図。
- [図4D] 磁気抵抗効果素子の記録層の磁化反転閾値電流と、選択トランジスタの駆動電流の関係を示す概念図。
- [図5] 本発明によるMRAMの一例を示す模式図。
- [図6A] MRAMのサブアレイの平面模式図。
- [図6B] 図6AのA-B断面図。
- [図6C] MRAMのサブアレイの平面模式図。
- [図6D] MRAMのサブアレイの平面模式図。
- [図7] 本発明によるMRAMの一例を示す断面模式図。
- [図8A] 本発明によるMRAMの一例を示す断面模式図。
- [図8B] 本発明によるMRAMの一例を示す斜視図。
- [図9] 本発明によるMRAMの一例を示す断面模式図。
- [図10] 本発明によるMRAMの一例を示す模式図。
- [図11] 本発明によるMRAMの一例を示す模式図。
- [図12] 磁気メモリセルの断面模式図。

[図13]磁気メモリセルの他の例を示す概念図。

[図14A]磁気メモリセルの別の例を示す概念図。

[図14B]磁気メモリセルの別の例を示す概念図。

[図14C]磁気メモリセルの別の例を示す概念図。

[図15A]外部磁場に対する磁気抵抗効果素子の抵抗変化を示す図。

[図15B]磁気抵抗効果素子の記録層の磁化反転閾値電流と、選択トランジスタの駆動電流の関係を示す概念図。

[図15C]外部磁場に対する磁気抵抗効果素子の抵抗変化を示す図。

[図15D]磁気抵抗効果素子の記録層の磁化反転閾値電流と、選択トランジスタの駆動電流の関係を示す概念図。

[図16]本発明によるMRAMの磁気メモリセルの他の実施例を示す概略図。

[図17]本発明によるMRAMの一例を示す断面模式図。

[図18]本発明によるMRAMの一例を示す断面模式図。

発明を実施するための形態

[0026] 以下、本発明を適用した磁気メモリセル及び磁気ランダムアクセスメモリ(MRAM)について、図面を参照して詳細に説明する。

[0027] <実施例1>

図5は、本発明によるMRAMの一例を示す模式図である。本実施例のMRAMは、互いに平行に配置された複数のビット線104と、ビット線104と平行に互いに平行に配置された複数のソース線103と、ビット線104と垂直に配置され互いに平行な複数のワード線105を備え、ビット線104とワード線105の各交点には磁気メモリセル100が配置される。磁気メモリセル100は、磁気抵抗効果素子101と選択トランジスタ102を備えている。これら複数の磁気メモリセルがサブアレイ501を構成しており、MRAMは複数のサブアレイ501で構成されている。磁気抵抗効果素子101は図1に示した構造を有し、固定層106は配線層を介して選択トランジスタ102のドレイン電極に電氣的に接続され、記録層107はビット線104に電氣的に接続され、ソース線103は配線層を介して選択ト

ランジスタ 102 のソース電極に電氣的に接続されている。また、ワード線 105 は選択トランジスタ 102 のゲート電極に電氣的に接続されている。ソース線 103 とビット線 104 の一端は、電圧印加のための書込みドライバ 502 とセンス増幅器 503 に電氣的に接続されている。ワード線 105 の一端はワードドライバ 504 に電氣的に接続されている。

[0028] さらに、図 6 A の平面模式図に示したように、磁気メモリセルの記録層に有効磁場 H_{ex} を印加する機構として、強磁性層 601, 602 を備えている。図 6 B は図 6 A の A-B 断面図である。強磁性層 601, 602 は、図 6 B のようにサブアレイ 501 を挟むように、磁気抵抗効果素子 101 と同じ層に配置されている。

[0029] 以下では、磁気抵抗効果素子 101 の固定層 106 と記録層 107 が図 1 のように位置し、強磁性層 601 の磁化 603 と強磁性層 602 の磁化 604 が矢印の方向に着磁されている場合について説明する。図 6 A、図 6 B 中の実線矢印のように、強磁性層 601 から強磁性層 602 に向かって磁束 605 が発生する。磁場の大きさは、磁気抵抗効果素子の記録層の位置で有効磁場 H_{ex} になるように調整されている。このように構成されたサブアレイ 501 を複数個配置して、MRAM の記憶保持領域は構成される。

[0030] 磁気抵抗効果素子の固定層及び記録層の材料は、全ての強磁性金属が適用可能である。固定層と記録層に挟まれる非磁性層の材料は、全ての非磁性材料が適用可能である。また、非磁性層を、絶縁膜で形成してもよい。非磁性層を絶縁膜で形成した場合には、非磁性層を非磁性金属で形成した場合より、P 状態と AP 状態の抵抗変化率が大きくなる。絶縁膜の材料としては全ての絶縁体が適用可能であるが、抵抗変化率が大きい材料がよく、MgO 等が候補として挙げられる。絶縁膜に MgO を適用した場合、固定層 106 及び記録層 107 の材料として、Fe, CoFe, CoFeB 等を用いると抵抗変化率が大きくなることが知られている。強磁性層 601, 602 の材料は、全ての強磁性金属が適用可能であるが、均一な有効磁場 H_{ex} を安定して発生させるために硬磁性体材料が望ましい。

[0031] 本実施例のMRAMでは、強磁性層601の磁化の向き及び強磁性層602の磁化の向きは、磁気抵抗効果素子101の固定層106の磁化の向きと逆方向である必要がある。磁化方向の制御するために、固定層106、記録層107、強磁性層601及び強磁性層602の異方性磁場 H_k は、

$$\text{強磁性層601} = \text{強磁性層602} > \text{固定層} > \text{記録層}$$

の関係で大きさが異なるよう設計されている。第1の熱処理工程では、磁気抵抗効果素子の固定層及び記録層の磁化容易軸方向に、強磁性層601、602の異方性磁場より強い磁場を印加して熱処理を行い、固定層及び強磁性層601、602の磁化を着磁する。その後、第2の熱処理工程において、強磁性層601、602の異方性磁場より小さく、固定層の異方性磁場より大きい磁場を第1の熱処理工程と逆向きに印加し、固定層の磁化を着磁する。これらの工程を経ることによって磁化方向を制御することができる。

[0032] また、強磁性層601の磁化603と強磁性層602の磁化604が図6Aの矢印の方向に着磁されている場合について述べたが、強磁性層601の磁化603と強磁性層602の磁化604は、磁気抵抗効果素子101の磁化容易軸方向でありかつ固定層106の磁化と逆向きという条件を満たせば、方向は限定されない。

[0033] 図6C及び図6Dの平面模式図に示したように、一对の強磁性層601及び強磁性層602の間に挟まれるサブアレイ501は複数個であってもよい。

[0034] <実施例2>

有効磁場 H_{ex} を発生させる強磁性層は、磁気メモリセルの上方にあってもよい。図7は、強磁性層701をサブアレイ501の上方に配置したMRAMの実施例を示す断面模式図である。

[0035] 本実施例の場合、強磁性層701は、磁気抵抗効果素子101及びビット線104の上に積層した層間絶縁層702の上に形成される。強磁性層701から磁束703が発生し、磁気抵抗効果素子101に磁場が点線矢印の向きに印加される。磁場の大きさは、磁気抵抗効果素子の記録層の位置で有効

磁場 H_{ex} になるように調整されている。この構造では、強磁性層 701 の磁化 704 は固定層 106 の磁化と同じ方向に設計する。このため、本実施例では熱処理を 1 回行えばよいと、メモリ作製工程を簡略化することが可能である。

[0036] また、強磁性層 701 の磁化 704 が図 7 の矢印の方向に着磁されている場合について述べたが、強磁性層 701 の磁化 704 は、磁気抵抗効果素子の磁化容易軸方向でありかつ固定層 106 の磁化と同じ向きという条件を満たせば、方向は限定されない。

[0037] <実施例 3>

有効磁場 H_{ex} を発生させる強磁性層は、磁気メモリセルの上方にあり、磁場を均一に発生させる構造を備えていてもよい。図 8 A は本発明による MRAM の他の実施例の断面模式図、図 8 B はその斜視図である。

[0038] 図 8 A に示すように、サブアレイ上方に積層された層間絶縁層の上に強磁性層 801 が備えられており、強磁性層 801 下部には、磁気抵抗効果素子 101 と同じピッチでワード線 105 と平行に、下向き凸型の局所磁場発生機構 802 を備える。

[0039] 以下では、強磁性層 801 の磁化 803 が図 8 A の矢印方向に着磁している場合について説明する。この構造によると、オレンジピール効果と呼ばれる物理現象と同様に局所磁場発生機構 802 の端部から磁束 804 が発生し、図 8 A の破線矢印方向に磁場が印加される。磁場の大きさは、磁気抵抗効果素子の記録層の位置で有効磁場 H_{ex} になるように調整されている。この構造を採用した場合、局所磁場発生機構 802 の形状により磁場の強さ、均一性などを制御することが出来るので、実施例 1 及び実施例 2 記載の MRAM より製造が容易になる。本実施例の MRAM では、強磁性層 801 の磁化 803 の向きは、固定層 106 の磁化の向きと逆方向である必要がある。従って、固定層 106、記録層 107 及び強磁性層 801 の異方性磁場は、

強磁性層 801 > 固定層 > 記録層

の関係で大きさが異なるよう設計されている。また、強磁性層 801 の磁化

803が図8Aの矢印の方向に着磁されている場合について述べたが、強磁性層801の磁化803は、磁気抵抗効果素子の磁化容易軸方向でありかつ固定層106の磁化と逆向きという条件を満たせば、方向は限定されない。

[0040] また、図9に示すように、強磁性層801の上に非磁性層901と強磁性層902をこの順に積層させた構造としてもよい。この構造を採用する場合、強磁性層801の磁化803と強磁性層902の磁化903の向きは、非磁性層901を介して反平行に結合しており、いわゆる積層フェリ構造となっている。この構造を採用することによって、強磁性層801の端部から発生する磁束を、強磁性層902に吸収させることができ、磁気抵抗効果素子101にかかる磁場をより均一に保つことができる。従って、強磁性層801と強磁性層902の磁化量は等しくなることが望ましい。

[0041] <実施例4>

図10は、本発明によるMRAMの他の実施例を示す模式図である。本実施例では、ビット線に電流を流すことによって発生する電流磁場によって有効磁場 H_{ex} を印加する。本実施例のMRAMは、有効磁場 H_{ex} をビット線104に流れる電流の大きさに制御するため、ビット線104の一端若しくは両端にビット線の電圧を制御する機構（書込みドライバ502）を備えている。

[0042] 以下では、ビット線104の両端に書込みドライバ502を備えた場合について説明する。ビット情報「1」を書込む場合を説明する。ある一つのビット線104の両端にある書込みドライバ502によりビット線104に電圧を印加し、ワード線105に電圧を加えると、その交点にある磁気メモリセル100の磁気抵抗効果素子101及び選択トランジスタ102を介して、ビット線104からソース線103に電流が流れる。このとき、ビット線104の両端にある書込みドライバ502の電位が異なっている場合、ビット線104の一端から他端に電流が流れる。この電流によって磁気抵抗効果素子101の位置に磁場が生じるが、この磁場の大きさは磁気メモリセルの記録層の位置で有効磁場 H_{ex} になる必要がある。このため、ビット線104の

両端の書込みドライバの電圧は、磁気抵抗効果素子 101 及び選択トランジスタ 102 の抵抗値などを考慮して有効磁場 H_{ex} が磁気抵抗効果素子 101 の記録層の位置に生じるように制御される。

[0043] また、ビット線 104 と平行な配線からの磁場であれば、どのような配線であっても、ほぼ同じ構成の磁気メモリセルで同様の効果が得られる。

[0044] <実施例 5>

図 11 は、本発明による MRAM の他の実施例を示す模式図である。本実施例では、ワード線 105 に電流を流すことによって発生する電流磁場によって磁気メモリセルの記録層に有効磁場 H_{ex} を印加する。

[0045] 図 11 では、ビット線 104 とワード線 105 の全ての交点に磁気抵抗効果素子 101 を備えることはせず、ビット線 104 とワード線 105 の、ある 1 つの交点に磁気抵抗効果素子 101 がある場合、隣接する交点のうちビット線 104 を共通とする 2 つの交点のいずれか一方には磁気抵抗効果素子があり、他方の交点には磁気抵抗効果素子がない構成（いわゆる二交点の構成）になっている。また、ワード線 105 の両端には、電圧を調整するワードドライバ 504 が備わっており、ワード線 105 に所望の電流を流すことができる構成になっている。

[0046] 本実施例の MRAM の書込み方式について、ビット情報「1」を書込む場合を、図 11 を使って説明する。図 11 の複数の磁気メモリセルのうち、破線の丸で囲まれた磁気メモリセル 1101 に書込む場合、複数のビット線 104 のうちビット線 1102 の電圧は 0 であり、複数のソース線 103 のうちソース線 1103 に V_w の電圧が印加される。この状態で複数のワード線 105 のうち、ワード線 1104 の一端に電圧 V_g が印加すると、ソース線 1103 からビット線 1102 に電流が流れる。このとき、ワード線 1105 の一方のワード線端にある一定の電圧 V_1 を加え、もう一方のワード線端に V_2 の電圧を加えると、ワード線抵抗 R_{word} に応じた電流 $I_{word} = (V_1 - V_2) / R_{word}$ が流れる。 I_{word} はワード線 1105 の周りに磁場 $H = I_{word} / 2\pi r$ (r は、ワード線 1105 からの距離) を発生させるが、この磁場の大きさは磁気メ

メモリセル 1101 の記録層の位置で有効磁場 H_{ex} になるよう制御されている。この制御は、 V_1 及び V_2 の大きさ、ワード線の長さや材質による R_{word} の大きさなどを調整することによって可能である。ビット線 1102 とワード線 1105 の交点には磁気抵抗効果素子がないので、書込まれる磁気メモリセルはビット線 1102 とワード線 1104 の交点にある磁気メモリセル 1101 のみとなり、誤書込みを防ぐことができる。この構成で磁場を印加する場合、新たに強磁性層を追加する必要がなく、作製工程を簡略化することができる。

[0047] また、図 12 の断面模式図に示したように、ビット線 1102 とワード線 1104 の交点にある磁気メモリセル 1101 の磁気抵抗効果素子 1001 は、ワード線 1105 の直上に作製してもよい。この場合、ワード線 1105 と磁気抵抗効果素子 1001 の距離が近くなり、大きな磁場の印加が容易になる。また、磁束 1201 は図 12 の点線矢印 1201 のように発生するため、磁気抵抗効果素子 1001 には均一な磁場が印加可能という利点もある。

[0048] また、ワード線 105 と平行な配線からの磁場であれば、どのような配線であっても、ほぼ同じ構成の磁気メモリセルで同様の効果が得られる。

[0049] <実施例 6>

実施例 1 から実施例 5 記載の MRAM について、磁気抵抗効果素子 101 の固定層と記録層の位置関係は、図 13 のように固定層 106 がビット線 104 側にあり、記録層 107 が選択トランジスタ 102 側に位置する、いわゆるトップピン構造であってもよい。

[0050] この構成を適用した場合、「0」書込みはソース線 103 からビット線 104 方向に電流を流し、「1」書込みはビット線 104 からソース線 103 に電流を流すことになる。このため、 $I_{G, P \rightarrow AP}$ と $I_{G, AP \rightarrow P}$ の極性が逆になり、磁気抵抗効果素子の磁化反転閾値電流と選択トランジスタの駆動電流の関係は図 4C のようになる。従って、磁気抵抗効果素子に有効磁場 H_{ex} を印加しなくても $I_{W, AP \rightarrow P} > I_{G, AP \rightarrow P}$ 、 $I_{W, P \rightarrow AP} > I_{G, P \rightarrow AP}$ の条件を満たす場合が考えられる。し

かし、この場合も、磁気抵抗効果素子 101 のサイズや選択トランジスタ 102 のサイズなどの条件によっては、図 4D のように $I_{w, AP \rightarrow P} > I_{c, AP \rightarrow P}$ 、 $I_{w, P \rightarrow A} > I_{c, P \rightarrow A}$ の条件を満たさない場合があるため、磁場印加が書込みに効果的に働く。本実施例の磁気抵抗効果素子 101 のようにトップピン構造の場合、いわゆるボトムピン構造に比べて有効磁場 H_{ex} は実質的には小さくなる。

[0051] <実施例 7>

図 14A から図 14C は、磁気メモリセルの別の例を示す概念図である。実施例 1 から実施例 6 で説明した MRAM 中の磁気メモリセルの磁気抵抗効果素子 101 は、図 14A に示すように、固定層 106 の非磁性層 108 と反対側の面に反強磁性層 1401 を適用してもよい。この場合、固定層 106 の磁化は、反強磁性層 1401 によって強く固定される。図 14A は、ボトムピン構造の磁気抵抗効果素子に適用した場合を示し、この場合には固定層 106 の選択トランジスタ 102 側端面に反強磁性層 1401 を適用することになる。

[0052] また、ボトムピン構造の場合、図 14B に示すように、磁気抵抗効果素子 101 の固定層 106 は、強磁性層 1402 と非磁性層 1403 と強磁性層 1404 をこの順に積層した構造としてもよい。強磁性層 1404 の磁化と強磁性層 1402 の磁化は、非磁性層 1403 を介して互いに反平行に結合しており、いわゆる積層フェリ構造となっている。積層フェリ構造を採用することによって、固定層からの漏れ磁場を減少させることができる。さらに強磁性層 1402 の下に反強磁性層を配置してもよい。

[0053] また、図 14C は、ボトムピン構造の場合の磁気メモリセルの例を示すもので、磁気抵抗効果素子 101 の記録層 107 として、強磁性層 1405 と非磁性層 1406 と強磁性層 1407 をこの順に積層した構造としてもよい。強磁性層 1405 の磁化と強磁性層 1407 の磁化は、非磁性層 1406 を介して互いに反平行に結合しており、いわゆる積層フェリ構造となっている。記録層に積層フェリ構造を採用することによって、記録層の異方性磁場 H_k を大きくすることができる。図 14B と図 14C を組み合わせて、固定層

と記録層の両方を積層フェリ構造としてもよい。

- [0054] 図13に示したトップピン構造の磁気抵抗効果素子においても、固定層、記録層の一方あるいは両方に積層フェリ構造を用いることができる。また、トップピン構造の場合はビット線側の強磁性層が固定層として作用するため、反強磁性層は、固定層のビット線側端面に適用する。

[0055] <実施例8>

磁気抵抗効果素子の記録層に有効磁場 H_{ex} を印加する手段として、磁気抵抗効果素子の膜構成を制御すること等による磁気的な結合や固定層等からの漏洩磁場を用いることが出来る。磁気抵抗効果素子は、電流を印加することによって磁化反転し、P状態とAP状態の間を遷移するが、外部磁場によっても同様に遷移する。

- [0056] 図15Aは、外部磁場に対する磁気抵抗効果素子の抵抗変化を示している。図15Aのように、抵抗変化を示す磁場 H_1 と H_2 の関係が $|H_1| = |H_2|$ のとき、磁気抵抗効果素子は、図15Bのように $I_{c, P \rightarrow AP} > I_{c, AP \rightarrow P}$ の関係を示す(図4Aと同じ状態)。しかし、磁気抵抗効果素子の外部磁場に対する抵抗変化が、図15Cのように、 $|H_1| > |H_2|$ の関係にあるとき、磁気抵抗効果素子の電流に対する抵抗変化は、図15Dに示したように $I_{c, P \rightarrow AP} < I_{c, AP \rightarrow P}$ の関係を示す状態にすることが出来る。

- [0057] 磁気抵抗効果素子を図15C及び図15Dに示した状態にするためには、磁気的な結合や漏洩磁場を制御する必要がある。図1に示した磁気抵抗効果素子101を例として、実施例8の磁気メモリセルを説明する。固定層106からの漏洩磁場は、固定層106の膜厚を変化させることによって制御可能である。また、固定層106と記録層107の磁気的な結合は、非磁性層108の膜厚を変化させることによって制御可能である。これらを適切に制御することにより、記録層107にかかる実効的な磁場の大きさを H_{ex} に設定することが出来る。

- [0058] また、図13に示した実施例6のトップピン構造の時期抵抗効果素子であっても同様に、記録層にかかる実効的な磁場の大きさを、固定層及び非磁性

層の膜厚を変化させることで制御可能である。さらに、実施例 7 の磁気抵抗効果素子の場合、積層フェリ構造の膜厚を制御することで、より高精度に磁場の大きさを制御可能となる。

[0059] <実施例 9>

図 16 は、本発明による MRAM の磁気メモリセルの他の実施例を示す概略図である。本実施例は、磁気メモリセルを構成する磁気抵抗効果素子 101 の固定層 106 と記録層 107 を、垂直磁気異方性を持つ強磁性材料で作製した例である。

[0060] 磁気抵抗効果素子 101 を、垂直磁気異方性を持つ材料で作製した場合、前述のように、面内磁気異方性を持つ強磁性材料で作製した場合より $I_{c, P \rightarrow AP}$ を低減する必要がある。本実施例の磁気メモリセルは、固定層 106、絶縁層 1601、記録層 107、非磁性層 1602 及び強磁性層 1603 をこの順に積層した構造である。固定層 106 の磁化と強磁性層 1603 の磁化の向きは互いに反平行になるよう固定されている。従って、固定層 106 と強磁性層 1603 の異方性磁場 H_k は大きさが異なるように設計されており、互いに反平行に着磁できるようになっている。また、強磁性層 1603 から記録層 107 に印加される磁場の大きさ H_A は、固定層 106 から記録層 107 に印加される磁場の大きさ H_B より大きく、 $H_A - H_B = H_{ex}$ となるように設計されている。また、絶縁層 1601 を介した固定層 106 と記録層 107 の磁化配置による抵抗変化は、非磁性層 1602 を介した記録層 107 と強磁性層 1603 の磁化配置による抵抗変化より大きい。このため、絶縁層 1601 を介した固定層 106 と記録層 107 の磁化配置による抵抗変化をビット情報として読出すことができる。

[0061] <実施例 10>

磁気抵抗効果素子の固定層と記録層を、垂直磁気異方性を有する強磁性層で作製した場合、記録層に有効磁場 H_{ex} を印加するための強磁性層は、磁気メモリセルの上方に作製してもよい。

[0062] 図 17 は、本実施例の MRAM の断面模式図である。サブアレイ上方に積

層された層間絶縁層 1701 の上に強磁性層 1702 が備えられている。以下では、強磁性層 1702 の磁化 1703 が図の矢印方向に着磁している場合について説明する。この構造を採用すると、実施例 9 の非磁性層 1602 と強磁性層 1603 はなくてもよい。強磁性層 1702 から磁束 1704 が発生し、破線矢印方向に磁場が印加される。図 18 に示したように、強磁性層 1702 の上方にはリターンヨーク 1801 を備えてもよい。リターンヨーク 1801 を備えた場合、磁束 1704 はリターンヨークに吸収されるため、均一な磁場がかかる。また、MRAM が形成される基板の裏面に磁束が吸収される磁性層を作製してもよい。

[0063] 磁場の大きさは、磁気抵抗効果素子の記録層の位置で有効磁場 H_{ex} になるように調整されている。本実施例の MRAM では、強磁性層 1702 の磁化 1703 の向きは、磁気メモリセルの磁気抵抗効果素子の固定層の磁化の向きと逆である必要がある。従って、固定層及び記録層及び強磁性層 1702 の異方性磁場 H_k は、

$$\text{強磁性層 1702} > \text{固定層} > \text{記録層}$$

の関係で大きさが異なるよう設計されている。

[0064] また、強磁性層 1702 の磁化 1703 が図 17 の矢印の方向に着磁されている場合について述べたが、強磁性層 1702 の磁化 1703 は、磁気抵抗効果素子の磁化容易軸方向でありかつ固定層の磁化と逆向きという条件を満たせば、方向は限定されない。また、強磁性層 1702 から発生する磁場の大きさ H_C は、固定層から発生する磁場の大きさ H_B より大きく、 $H_C - H_B = H_{ex}$ となるように設計されている。

符号の説明

- [0065] 100 磁気メモリセル
101 磁気抵抗効果素子
102 選択トランジスタ
103 ソース線
104 ビット線

- 1 0 5 ワード線
- 1 0 6 固定層
- 1 0 7 記録層
- 1 0 8 非磁性層
- 5 0 1 サブアレイ
- 5 0 2 書込みドライバ
- 5 0 3 センス増幅器
- 5 0 4 ワードドライバ
- 6 0 1 強磁性層
- 6 0 2 強磁性層
- 7 0 1 強磁性層
- 7 0 2 層間絶縁層
- 8 0 1 強磁性層
- 8 0 2 局所磁場発生機構
- 9 0 1 非磁性層
- 9 0 2 強磁性層
- 1 4 0 1 反強磁性層
- 1 4 0 2 強磁性層
- 1 4 0 3 非磁性層
- 1 4 0 4 強磁性層
- 1 4 0 5 強磁性層
- 1 4 0 6 非磁性層
- 1 4 0 7 強磁性層
- 1 6 0 1 絶縁層
- 1 6 0 2 非磁性層
- 1 6 0 3 強磁性層
- 1 7 0 1 層間絶縁層
- 1 7 0 2 強磁性層

1 8 0 1 リターンヨーク

請求の範囲

[請求項1]

第1の強磁性層と、第2の強磁性層と、前記第1の強磁性層と前記第2の強磁性層の間に形成された非磁性層とを備え、前記第1の強磁性層と前記第2の強磁性層の一方は磁化方向が固定されている固定層であり他方は磁化方向が可変である記録層である磁気抵抗効果素子と、

選択トランジスタと、

前記磁気抵抗効果素子と前記選択トランジスタに直列に電圧を印加する機構とを備え、

前記選択トランジスタのドレイン電極は前記第1の強磁性層と電気的に接続されており、

前記磁気抵抗効果素子は、前記第1の強磁性層から前記第2の強磁性層に第1の閾値電流を超えた電流が流れたとき第1の抵抗値状態になり、前記第2の強磁性層から前記第1の強磁性層に第2の閾値電流を超えた電流が流れたとき第2の抵抗値状態になり、

前記第2の強磁性層から前記第1の強磁性層に電流が流れるように電圧が印加されたときと比べ、前記第1の強磁性層から前記第2の強磁性層に電流が流れるように電圧が印加されたときの前記選択トランジスタの駆動電流が小さくなることに合わせ、前記第1の強磁性層から前記第2の強磁性層へ電流を流すときの前記第1の閾値電流を前記選択トランジスタの駆動電流以下に減少させるため、前記固定層の磁化方向と逆向きの磁場を前記記録層に印加する磁場印加機構を備えることを特徴とする磁気メモリセル。

[請求項2]

請求項1記載の磁気メモリセルにおいて、前記第1の強磁性層が固定層で前記第2の強磁性層が記録層であり、前記第1の抵抗値状態は高抵抗状態で前記第2の抵抗値状態は低抵抗状態であり、前記磁場印加機構によって前記記録層に印加される有効磁場 H_{ex} の大きさが、次の条件を満たすことを特徴とする磁気メモリセル。

[数1]

$$H_{ex} > H_k \left\{ \left[\left(1 - \frac{I_{w,P \rightarrow AP}}{I_{c0,P \rightarrow AP}} \right) \frac{E}{k_B T} \ln \left(\frac{t_p}{t_0} \right) \right]^{\frac{1}{2}} - 1 \right\}$$

かつ

$$H_{ex} < H_k \left\{ 1 - \left[\left(1 - \frac{I_{w,AP \rightarrow P}}{I_{c0,AP \rightarrow P}} \right) \frac{E}{k_B T} \ln \left(\frac{t_p}{t_0} \right) \right]^{\frac{1}{2}} \right\}$$

(H_k は前記記録層の異方性磁場、 $I_{w,AP \rightarrow P}$ は前記記録層から前記固定層へ電流を流すときの前記選択トランジスタの駆動電流、 $I_{w,P \rightarrow AP}$ は前記固定層から前記記録層へ電流を流すときの前記トランジスタの駆動電流、 $I_{c0,AP \rightarrow P}$ は書き込み速度を1 nsに換算したときの前記第2の閾値電流、 $I_{c0,P \rightarrow AP}$ は書き込み速度を1 nsに換算したときの前記第1の閾値電流、 E はポテンシャルバリア、 k_B はボルツマン定数、 T は温度、 t_p は書き込み速度、 t_0 は1 ns)

[請求項3]

請求項1記載の磁気メモリセルにおいて、前記第1の強磁性層が記録層で前記第2の強磁性層が固定層であり、前記第1の抵抗値状態は低抵抗状態で前記第2の抵抗値状態は高抵抗状態であり、前記磁場印加機構によって前記記録層に印加される有効磁場 H_{ex} の大きさが、次の条件を満たすことを特徴とする磁気メモリセル。

[数2]

$$H_{ex} > H_k \left\{ \left[\left(1 - \frac{I_{w,P \rightarrow AP}}{I_{c0,P \rightarrow AP}} \right) \frac{E}{k_B T} \ln \left(\frac{t_p}{t_0} \right) \right]^{\frac{1}{2}} - 1 \right\}$$

かつ

$$H_{ex} < H_k \left\{ 1 - \left[\left(1 - \frac{I_{w,AP \rightarrow P}}{I_{c0,AP \rightarrow P}} \right) \frac{E}{k_B T} \ln \left(\frac{t_p}{t_0} \right) \right]^{\frac{1}{2}} \right\}$$

(H_k は前記記録層の異方性磁場、 $I_{w,AP \rightarrow P}$ は前記記録層から前記固定

層へ電流を流すときの前記選択トランジスタの駆動電流、 $I_{w, P \rightarrow AP}$ は前記固定層から前記記録層へ電流を流すときの前記トランジスタの駆動電流、 $I_{c0, AP \rightarrow P}$ は書き込み速度を 1 ns に換算したときの前記第 1 の閾値電流、 $I_{c0, P \rightarrow AP}$ は書き込み速度を 1 ns に換算したときの前記第 2 の閾値電流、 E はポテンシャルバリア、 k_B はボルツマン定数、 T は温度、 t_p は書き込み速度、 t_0 は 1 ns)

[請求項4] 請求項 1 ～ 3 のいずれか 1 項記載の磁気メモリセルにおいて、前記固定層の前記非磁性層と反対側の面に反強磁性層が設けられていることを特徴とする磁気メモリセル。

[請求項5] 請求項 4 記載の磁気メモリセルにおいて、前記固定層は、磁化の向きが互いに反平行な 2 層の強磁性層で非磁性層を挟んだ積層フェリ構造を有することを特徴とする磁気メモリセル。

[請求項6] 請求項 1 ～ 5 のいずれか 1 項記載の磁気メモリセルにおいて、前記記録層は、磁化の向きが互いに反平行な 2 層の強磁性層で非磁性層を挟んだ積層フェリ構造を有することを特徴とする磁気メモリセル。

[請求項7] 請求項 1 ～ 6 のいずれか 1 項記載の磁気メモリセルにおいて、前記第 1 の強磁性層と前記第 2 の強磁性層との間に形成された非磁性層は絶縁層であることを特徴とする磁気メモリセル。

[請求項8] 請求項 2 又は 3 記載の磁気メモリセルにおいて、前記記録層に前記有効磁場 H_{ex} として前記固定層からの漏洩磁場を印加することを特徴とする磁気メモリセル。

[請求項9] 請求項 1 ～ 4 のいずれか 1 項記載の磁気メモリセルにおいて、
前記第 1 の強磁性層及び前記第 2 の強磁性層は垂直磁気異方性を有し、前記第 1 の強磁性層と前記第 2 の強磁性層との間に形成された非磁性層は絶縁層であり、

前記記録層の前記絶縁層と反対側の面に第 2 の非磁性層を介して第 3 の強磁性層が積層され、前記固定層の磁化と前記第 3 の強磁性層の磁化は互いに反平行に固定されていることを特徴とする磁気メモリセル

ル。

[請求項10]

相互に平行に並べられた複数のビット線と、

前記ビット線と平行に並べられた複数のソース線と、

前記ビット線と交差し且つ互いに平行に並べられた複数のワード線と、

前記ビット線と前記ワード線とが交差する部分に配置された複数の磁気メモリセルとによって構成されたサブアレイを有する磁気ランダムアクセスメモリにおいて、

前記磁気メモリセルは請求項 1 ～ 7 のいずれか 1 項記載の磁気メモリセルであり、

前記ビット線は前記第 2 の強磁性層と電氣的に接続されており、

前記ソース線は前記選択トランジスタのソース電極に電氣的に接続されており、

前記ワード線は前記選択トランジスタのゲート電極に電氣的に接続されていることを特徴とする磁気ランダムアクセスメモリ。

[請求項11]

請求項 10 記載の磁気ランダムアクセスメモリにおいて、

前記サブアレイを挟むように前記磁気抵抗効果素子と同じ層に作製された一対の強磁性層を備え、

前記一対の強磁性層の磁化方向は前記固定層の磁化方向と逆向きであることを特徴とする磁気ランダムアクセスメモリ。

[請求項12]

請求項 10 記載の磁気ランダムアクセスメモリにおいて、

前記サブアレイの上方に層間絶縁層を介して形成され、磁化が前記固定層の磁化と同じ方向に固定された第 3 の強磁性層を備えることを特徴とする磁気ランダムアクセスメモリ。

[請求項13]

請求項 10 記載の磁気ランダムアクセスメモリにおいて、

前記サブアレイの上方に層間絶縁層を介して形成され、磁化が前記固定層の磁化と逆方向に固定された第 3 の強磁性層を有し、前記第 3 の強磁性層は下部に前記ワード線と平行に設けられた凹凸形状の局所

磁場発生機構を備えることを特徴とする磁気ランダムアクセスメモリ。
。

[請求項14] 請求項13記載の磁気ランダムアクセスメモリにおいて、
前記第3の強磁性層の上に非磁性層を介して第4の強磁性層を備え、
前記第4の強磁性層の磁化は前記第3の強磁性層の磁化と逆向きに
固定されていることを特徴とする磁気ランダムアクセスメモリ。

[請求項15] 請求項10記載の磁気ランダムアクセスメモリにおいて、
前記磁場印加機構は、前記ビット線の一端若しくは両端に電圧を制御する機構を備え、
所望の磁気メモリセルに書込む際、当該磁気メモリセルに接続されたビット線に電流を流すことで発生する磁場を前記
所望の磁気メモリセルの記録層に印加することを特徴とする磁気ランダムアクセスメモリ。

[請求項16] 請求項10記載の磁気ランダムアクセスメモリにおいて、
前記ビット線と前記ワード線の1つの交点に前記磁気メモリセルが配置されているとき、
前記ビット線を共通とし当該交点に隣接する2つの交点のうちいずれか一方のみに前記磁気メモリセルが配置され、
前記ワード線の両端に電圧を制御する機構を備え、
選択された磁気メモリセルに書込む際、
前記選択された磁気メモリセルが配置された交点を形成するワード線に電圧を印加し、
前記選択された磁気メモリセルが配置された交点に隣接する交点のうち前記ビット線を共通とする2つの交点のうち磁気メモリセルが配置されていない交点を形成するワード線に電流を流すことで発生する磁場を前記選択された磁気メモリセルの記録層に印加することを特徴とする磁気ランダムアクセスメモリ。

[請求項17] 請求項10記載の磁気ランダムアクセスメモリにおいて、
前記磁気メモリセルの第1の強磁性層及び前記第2の強磁性層は垂直磁気異方性を有し、

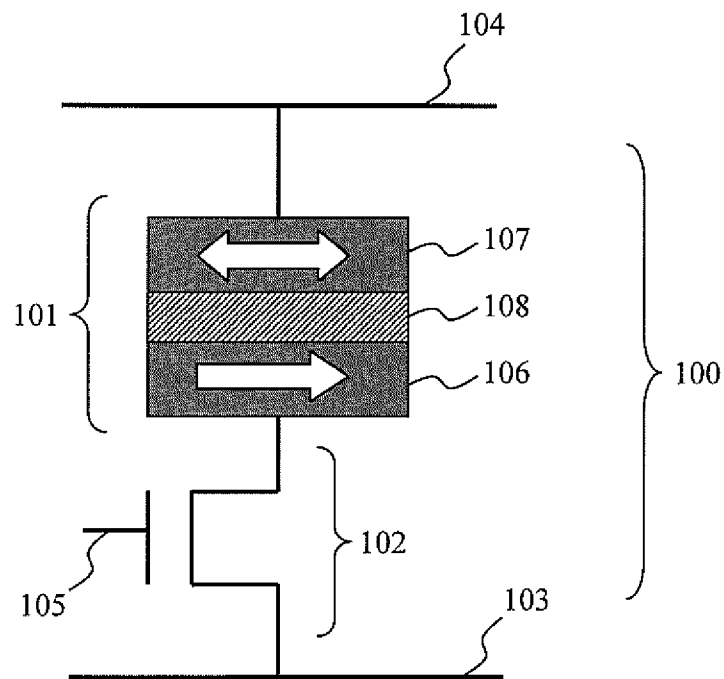
前記サブアレイの上方に層間絶縁層を介して形成され、磁化が前記固定層の磁化と反平行に固定された第3の強磁性層を備えることを特徴とする磁気ランダムアクセスメモリ。

[請求項18] 請求項17記載の磁気ランダムアクセスメモリにおいて、前記第3の強磁性層の上方にリターンヨークを備えることを特徴とする磁気ランダムアクセスメモリ。

[請求項19] 請求項17記載の磁気ランダムアクセスメモリにおいて、前記サブアレイを形成した基板の裏面に前記第3の強磁性層から発生された磁束を吸収するための第4の強磁性層を備えることを特徴とする磁気ランダムアクセスメモリ。

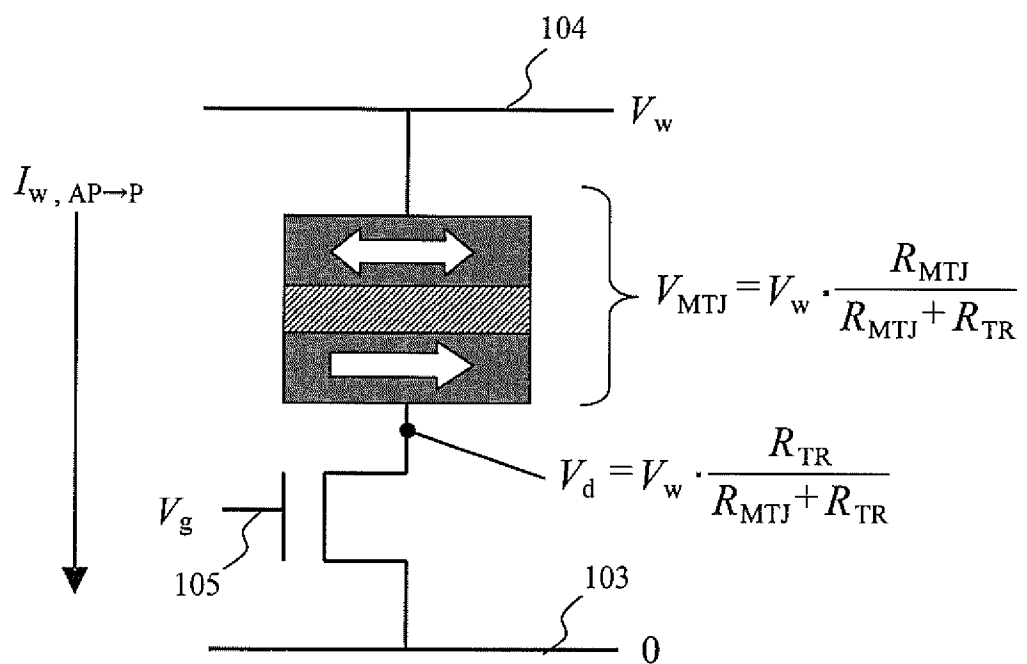
[図1]

図 1



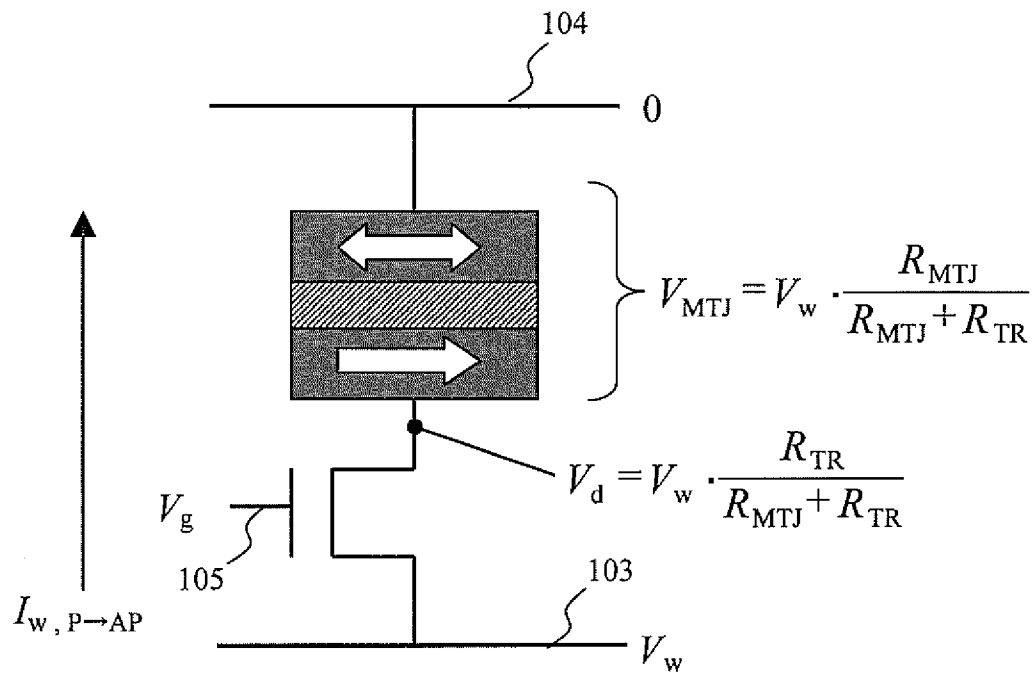
[図2A]

図 2 A



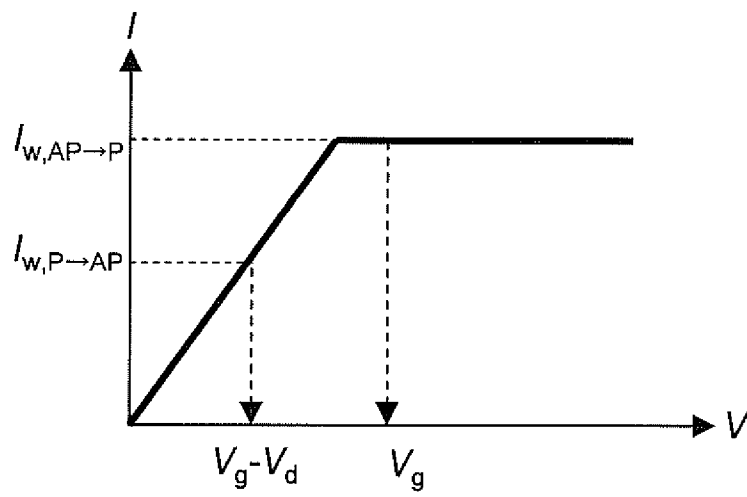
[図2B]

図 2 B



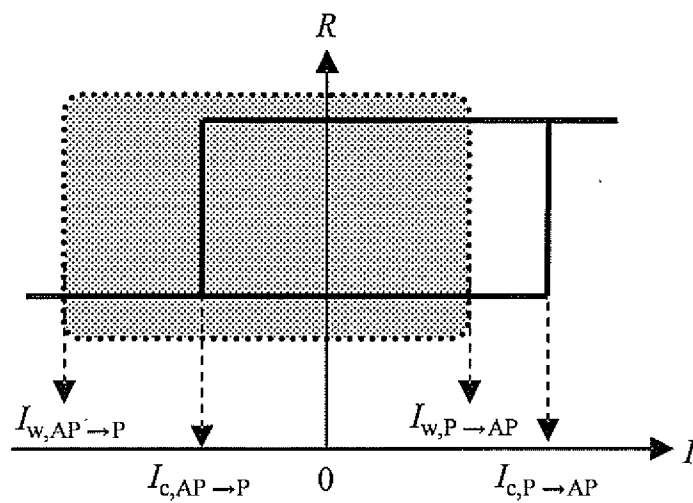
[図3]

図 3



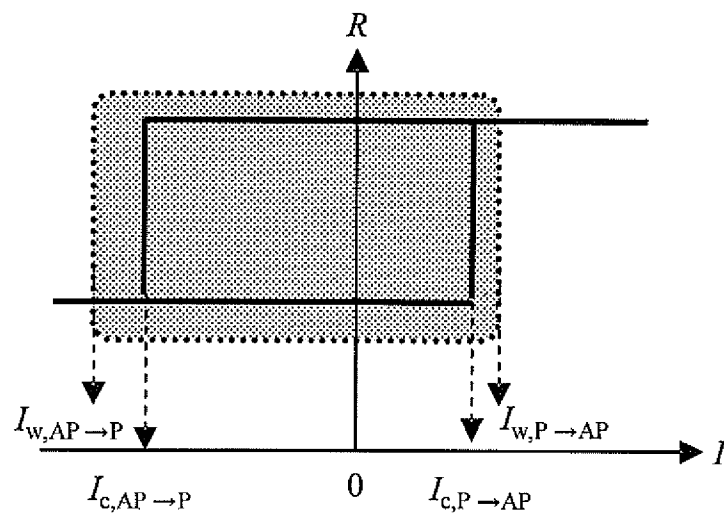
[図4A]

図 4 A



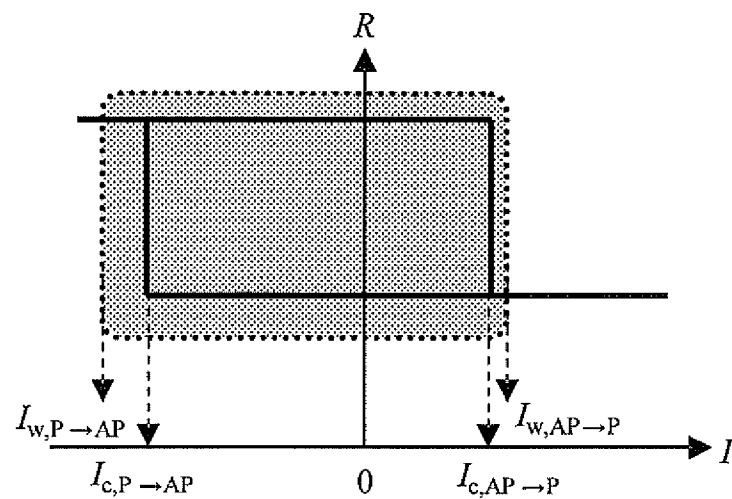
[図4B]

図 4 B



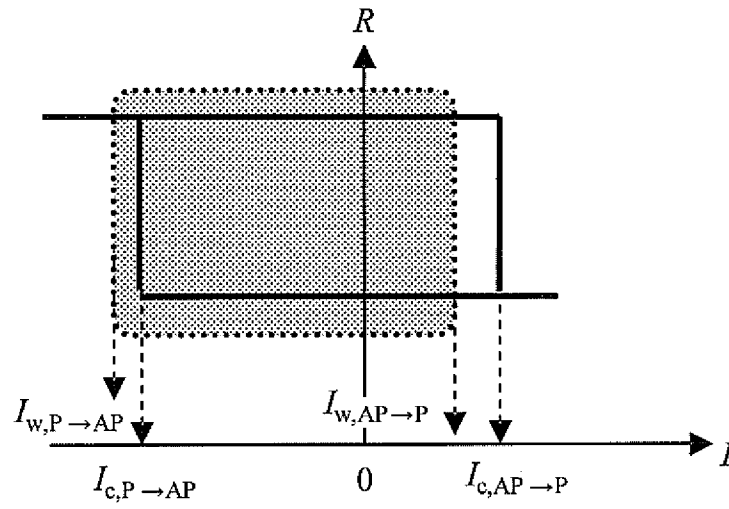
[図4C]

図 4 C



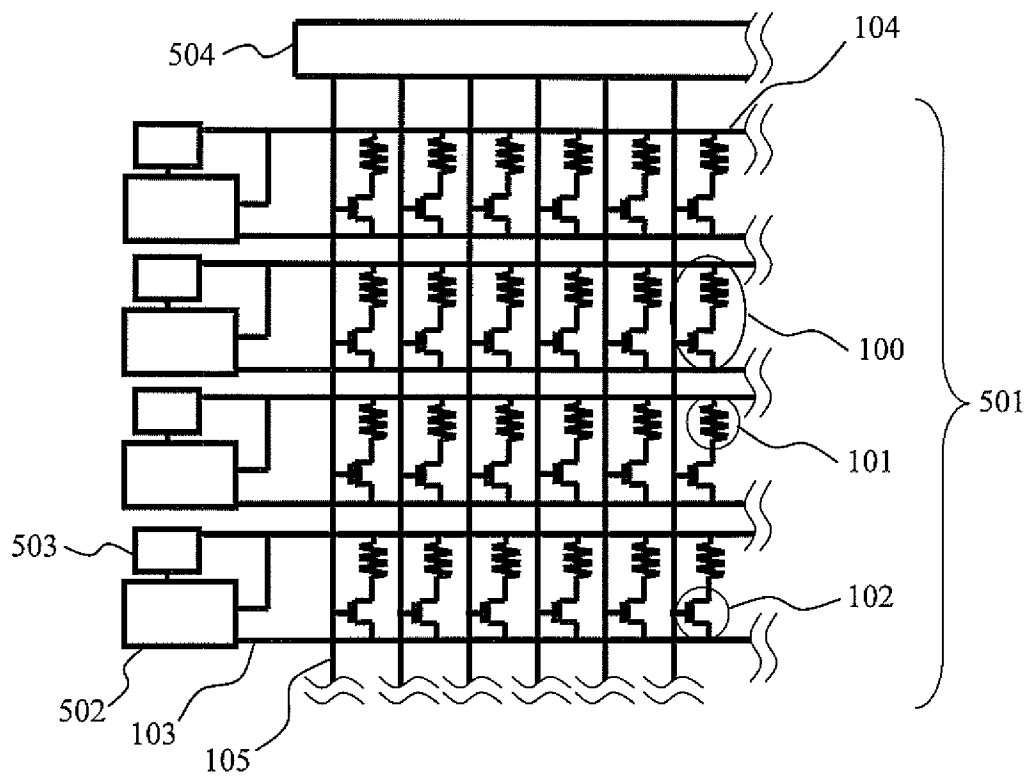
[図4D]

図 4 D



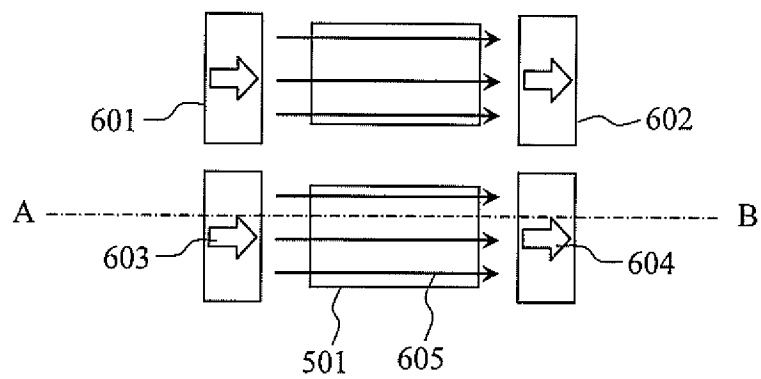
[図5]

図 5



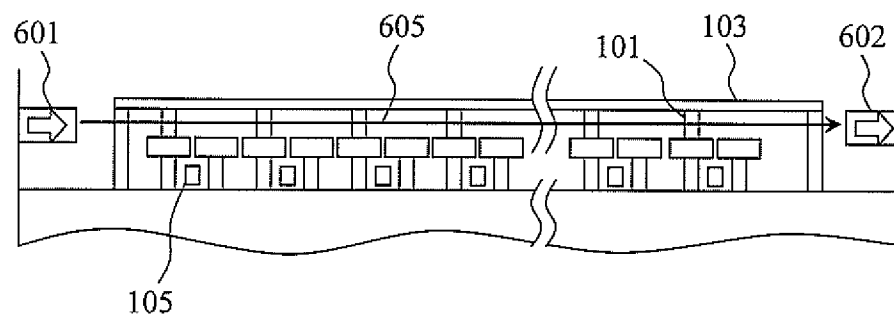
[図6A]

図 6 A



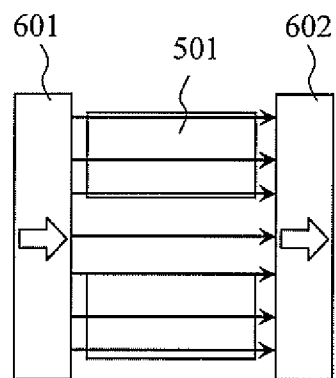
[図6B]

図 6 B



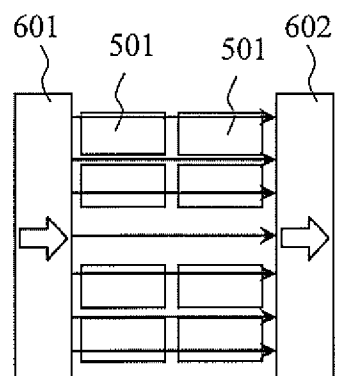
[図6C]

図 6 C



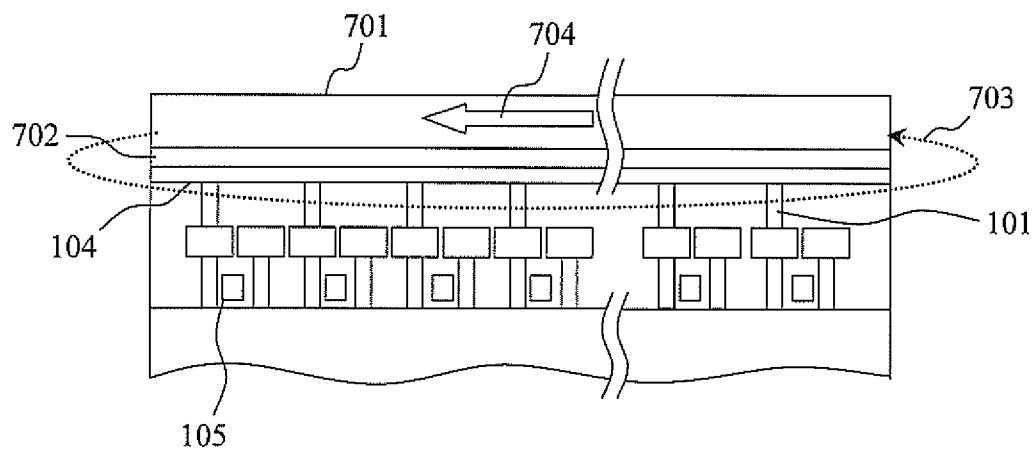
[図6D]

図 6 D



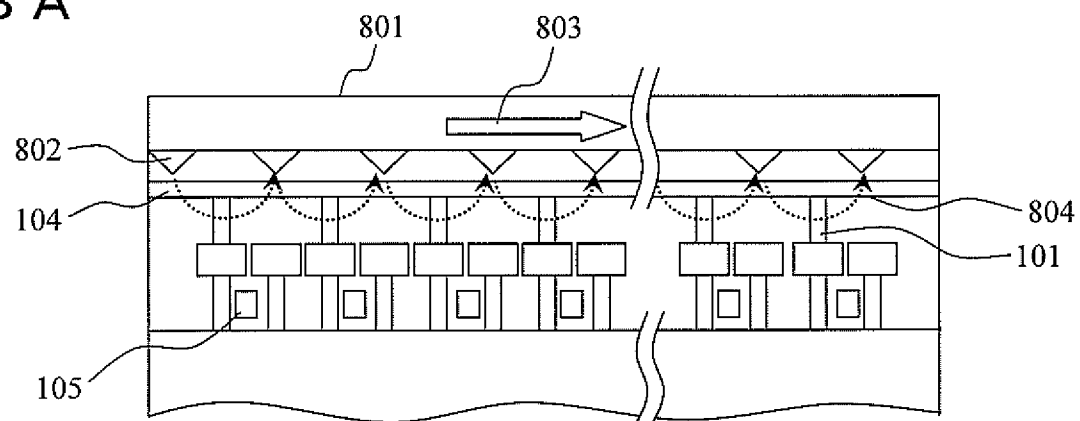
[図7]

図 7



[図8A]

図 8 A



[図8B]

図 8 B

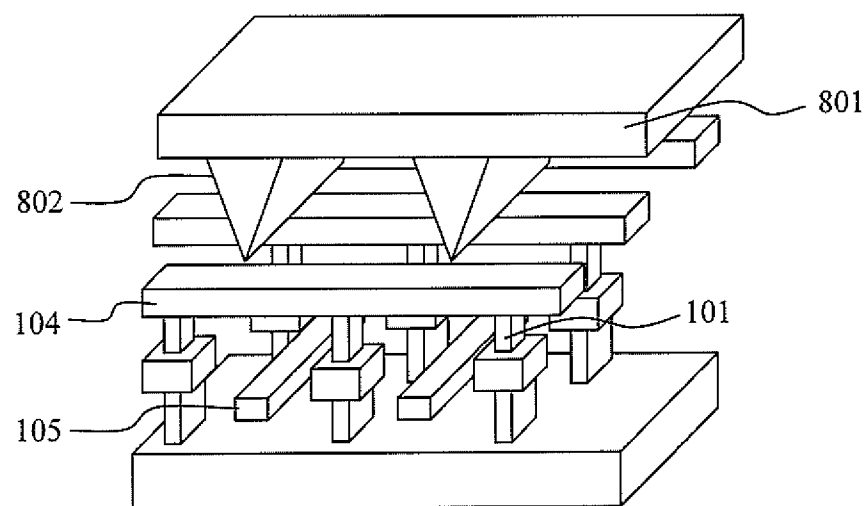
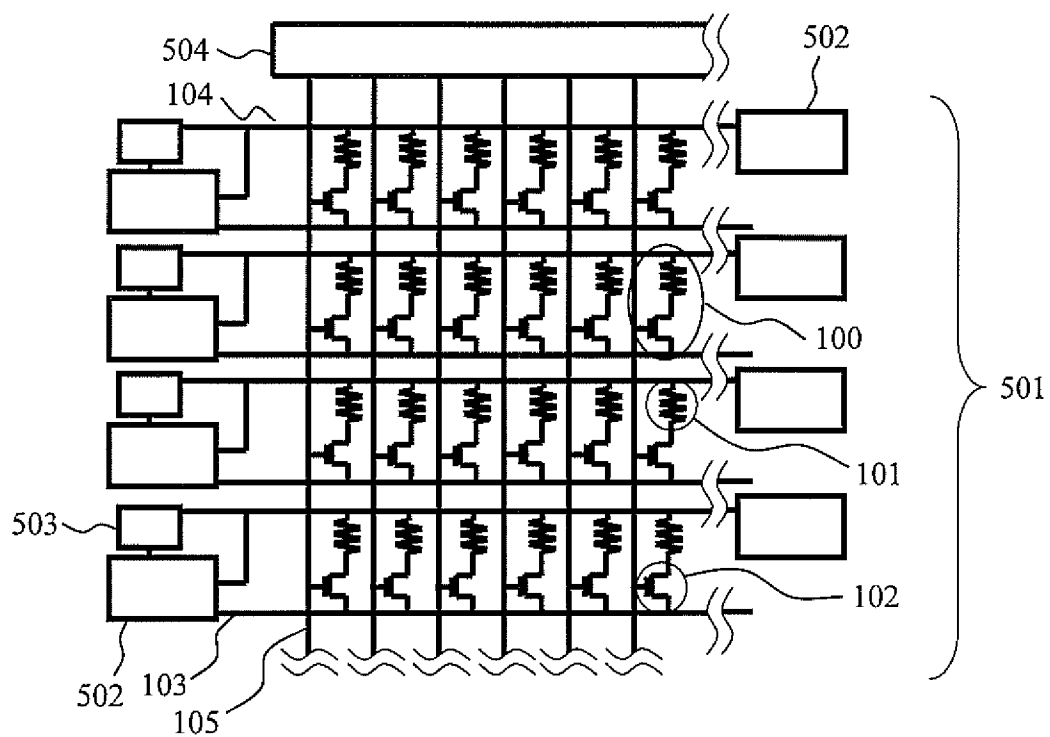
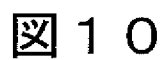
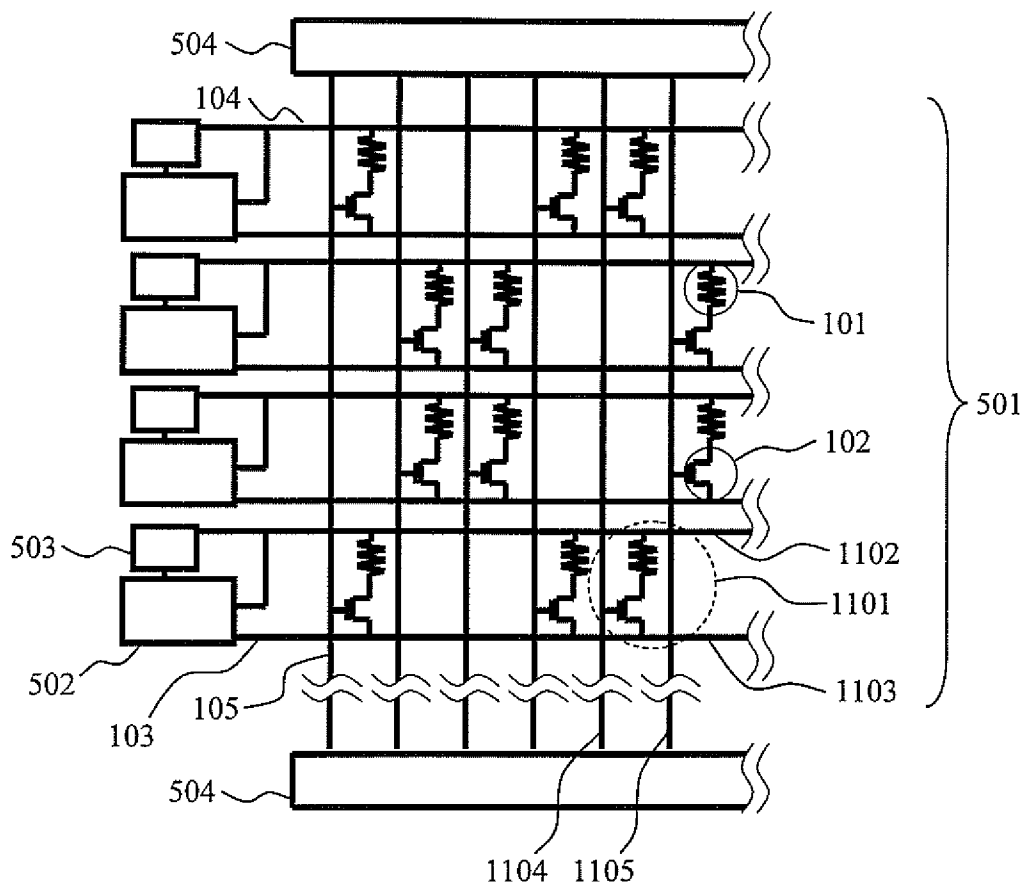


图 9



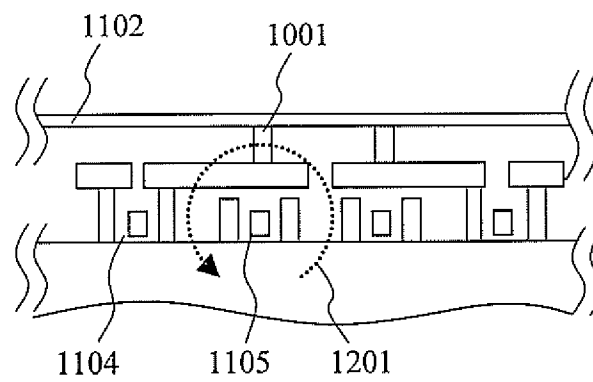
[図11]

図 1 1



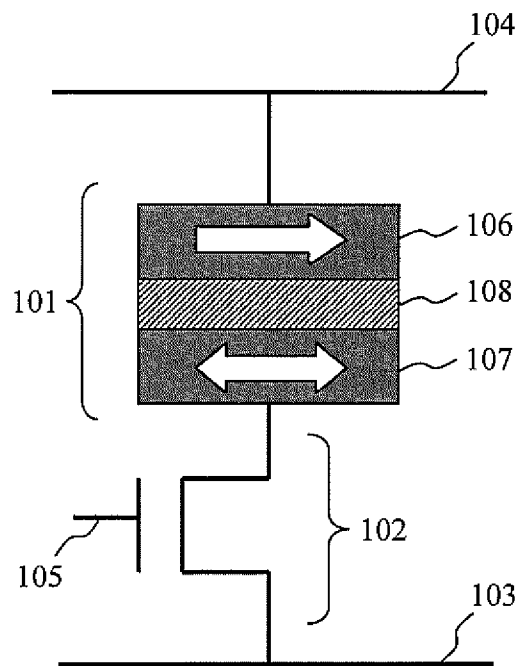
[図12]

図 1 2



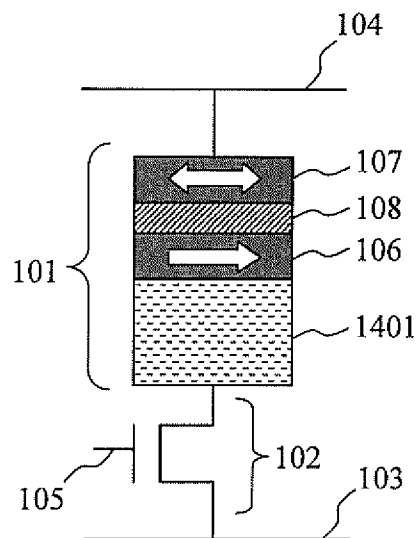
[図13]

図 1 3



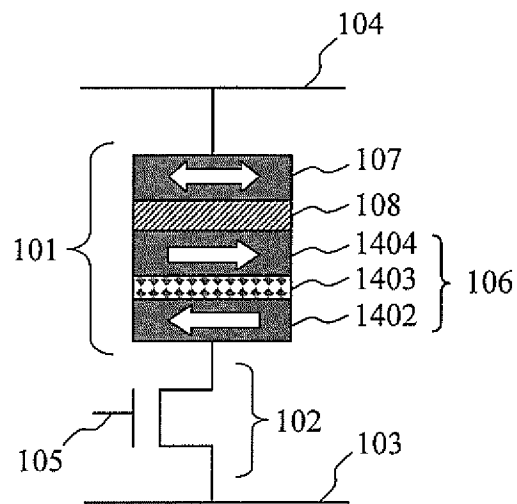
[図14A]

図 1 4 A



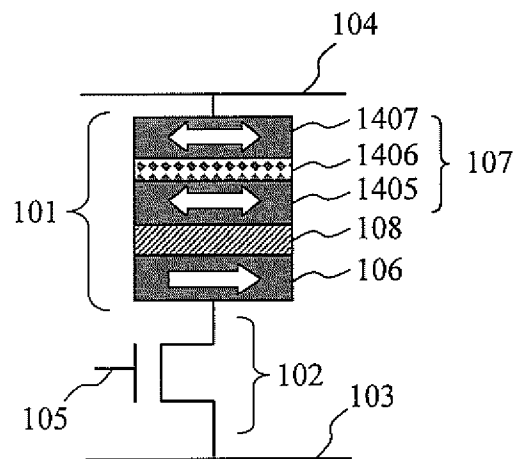
[図14B]

図 1 4 B



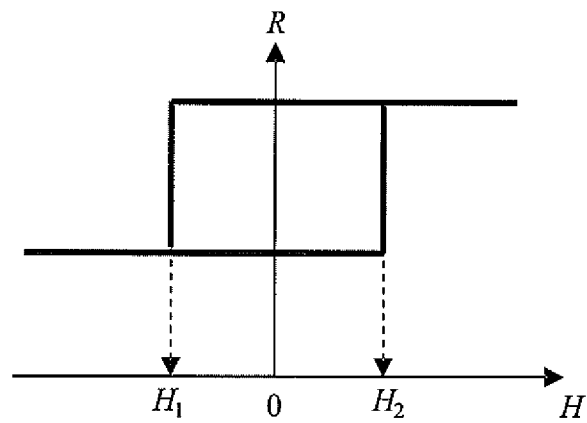
[図14C]

図 1 4 C



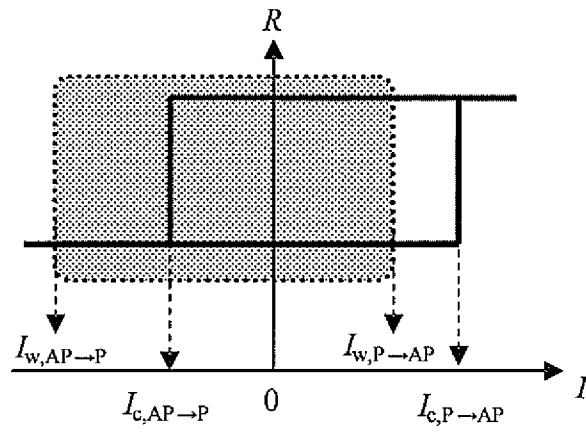
[図15A]

図 1 5 A



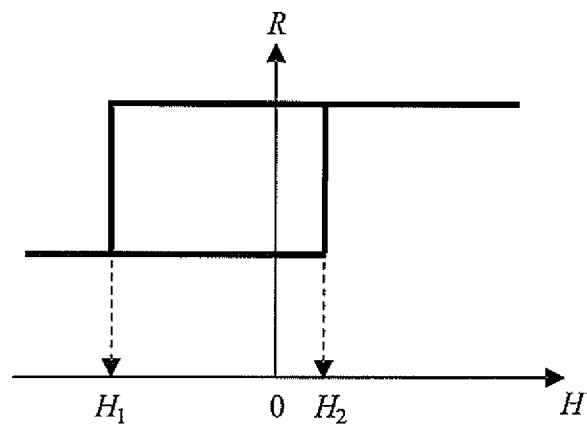
[図15B]

図 1 5 B



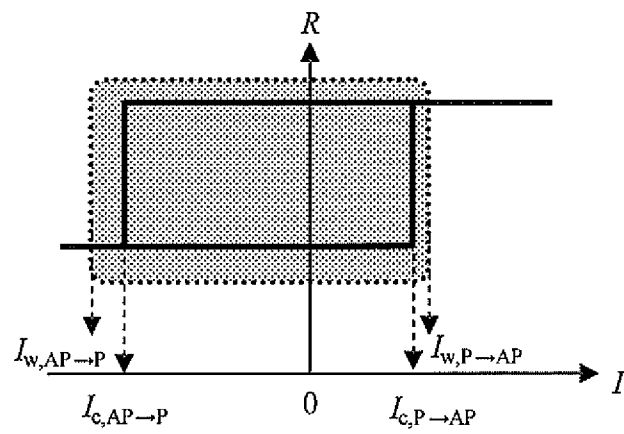
[図15C]

図 1 5 C



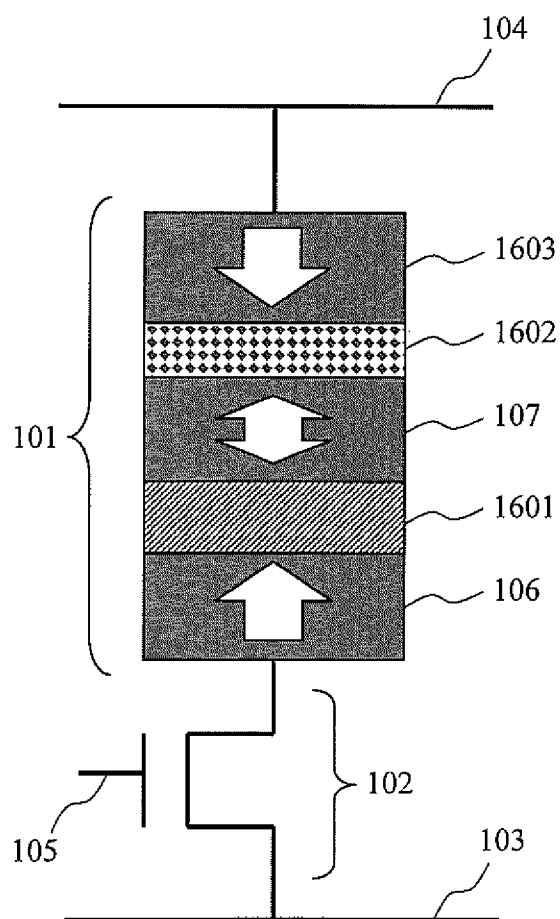
[図15D]

図 1 5 D



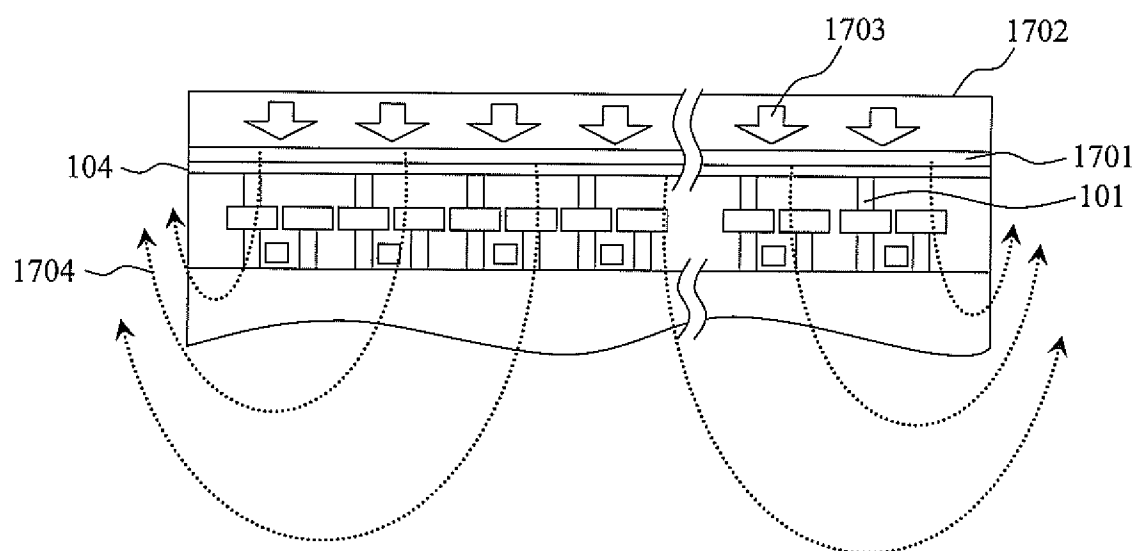
[図16]

図 1 6



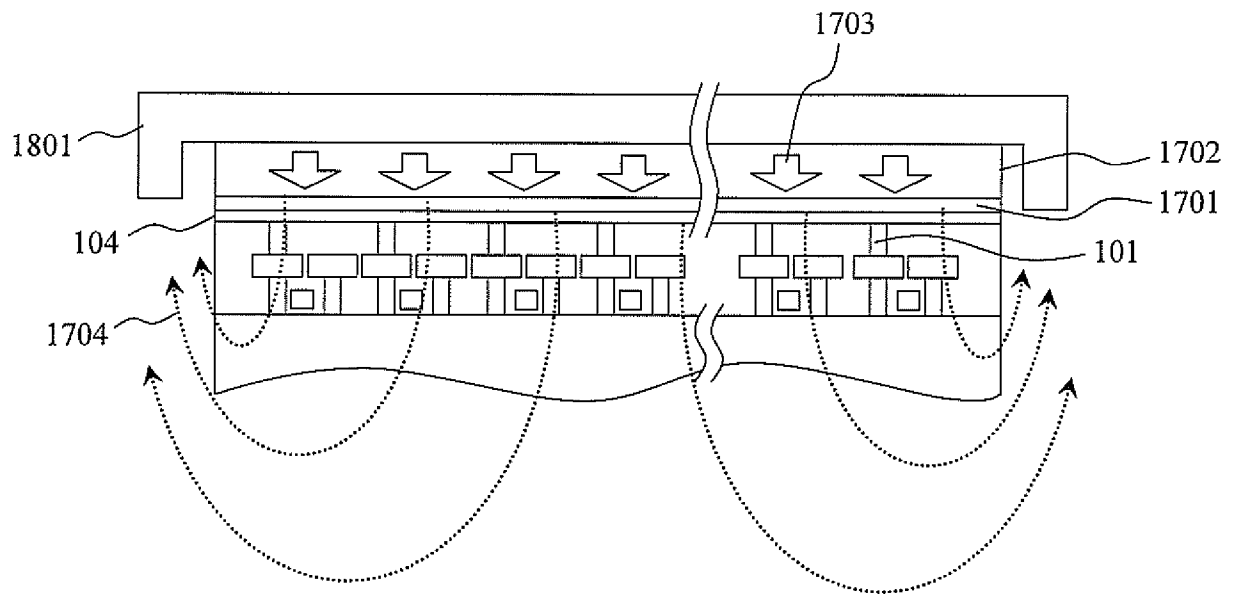
[図17]

図 1 7



[図18]

図 18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/053324

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/15(2006.01) i, H01L21/8246(2006.01) i, H01L27/105(2006.01) i,
H01L43/08(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/15, H01L21/8246, H01L27/105, H01L43/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-305337 A (Commissariat A L'energie Atomique), 18 October 2002 (18.10.2002), fig. 2, 3 & US 2002/0105827 A1 & EP 1223585 A1 & FR 2817999 A1	1-19
A	JP 2005-277147 A (Tohoku University), 06 October 2005 (06.10.2005), claim 1 (Family: none)	1-19
A	JP 2007-123637 A (Toshiba Corp.), 17 May 2007 (17.05.2007), claim 1 & US 2007/0097736 A1 & US 2008/0247223 A1 & CN 1956207 A	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

05 April, 2011 (05.04.11)

Date of mailing of the international search report

19 April, 2011 (19.04.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/053324

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-250206 A (Fujitsu Ltd.), 14 September 2001 (14.09.2001), paragraphs [0041] to [0042]; fig. 6 & US 2001/0025978 A1	1-19

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C11/15(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C11/15, H01L21/8246, H01L27/105, H01L43/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-305337 A（コミツサリア タ レネルジー アトミック） 2002.10.18, 第2,3図 & US 2002/0105827 A1 & EP 1223585 A1 & FR 2817999 A1	1-19
A	JP 2005-277147 A（国立大学法人東北大学）2005.10.06, 請求項1 （ファミリーなし）	1-19
A	JP 2007-123637 A（株式会社東芝）2007.05.17, 請求項1 & US 2007/0097736 A1 & US 2008/0247223 A1 & CN 1956207 A	1-19

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 4 . 2 0 1 1

国際調査報告の発送日

1 9 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

高瀬 勤

5 N

9 0 6 9

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-250206 A (富士通株式会社) 2001.09.14, 段落 [0041]-[0042], 第 6 図 & US 2001/0025978 A1	1-19