

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008 年 4 月 10 日 (10.04.2008)

PCT

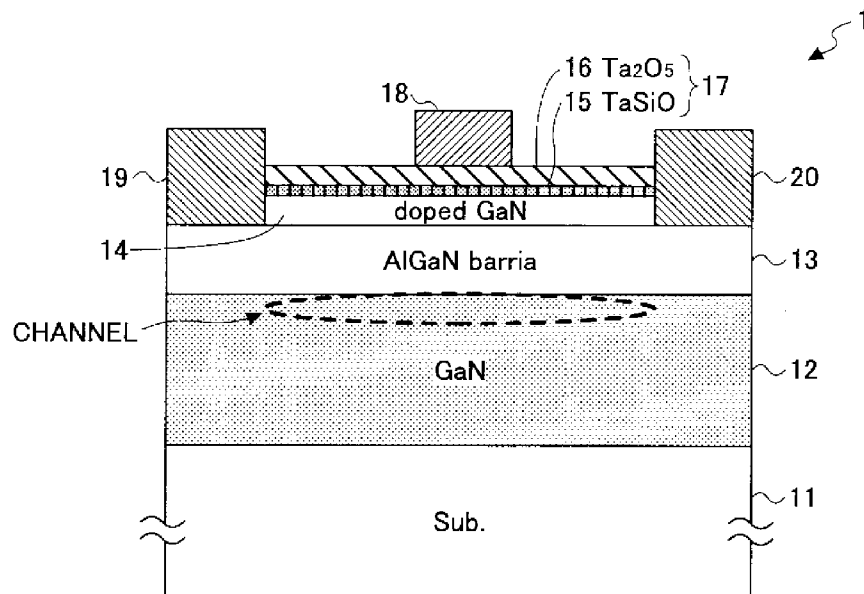
(10) 国際公開番号
WO 2008/041277 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/78 (2006.01)
H01L 29/778 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2006/319466
- (22) 国際出願日: 2006 年 9 月 29 日 (29.09.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 金村 雅仁 (KANAMURA, Masahito) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿 4 丁目 20 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: COMPOUND SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 化合物半導体装置およびその製造方法



(57) Abstract: A compound semiconductor device comprising a substrate; electron traveling layer (12) of Group III-V nitride compound semiconductor superimposed on the substrate; gate insulating film (17) positioned above the compound semiconductor layer; and gate electrode (18) positioned on the gate insulating film, wherein the gate insulating film includes first insulating film (15,26) composed of oxygen, at least one metal element selected from among metals capable of binding with the oxygen so as to form a metal oxide of 10 or higher specific inductive capacity and at least one metal element selected from among Si and Al.

(57) 要約: 化合物半導体装置は、基板上に形成され、III-V 族窒化物系化合物半導体で構成される電子走行層 (12) と、前記化合物半導体層の上方に位置するゲート絶縁膜 (17)

[続葉有]

WO 2008/041277 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

と、前記ゲート絶縁膜上に位置するゲート電極（１８）とを備え、前記ゲート絶縁膜は、酸素と、前記酸素と結合して比誘電率が１０以上の金属酸化物を構成する金属から選ばれる少なくとも１つの金属元素と、ＳｉおよびＡｌから選ばれる少なくとも１つの金属元素と、で構成される第１絶縁膜（１５，２６）を含む。

明 細 書

化合物半導体装置およびその製造方法

技術分野

[0001] 本発明は、化合物半導体装置に関し、特にGaN電界効果トランジスタ(FET)の絶縁ゲート構造と、その製造方法に関する。

背景技術

[0002] 近年、AlGa_{0.25}N/GaNヘテロ接合を利用し、窒化ガリウム(GaN)を電子走行層とするGaN-FETの開発が活発である。GaNは、ワイドバンドギャップ、高い破壊電界強度、大きい飽和電子速度を持つ材料であり、高電圧動作、高出力デバイス材料として極めて有望である。現在、携帯電話基地局用のパワーデバイスにおいては、高い送信出力電力を実現するために40V以上の高電圧動作が求められており、GaN-FETは、そのような耐圧動作が可能なパワーデバイスとして有望視されている。

[0003] 高電圧動作デバイスにおいては、ゲートリークの低減が必須である。現在のところGaN-FETのゲート電極としては、ニッケル(Ni)、白金(Pt)のようなショットキー電極が用いられている。しかしこの構成では、ゲート電圧を正方向へ大きくした場合に、ゲートリーク電流が発生してしまう。

[0004] これを解決するために、図1Aに示すように、SiO₂やSi₃N₄、Al₂O₃などの絶縁膜をゲートに用いた絶縁ゲート構造が考えられる。図1Aの例では、サファイア基板101上に通常のMOVPE法を用いて、膜厚3 μmのアンインテンシヨナリ・ドープ(又はノンインテンシヨナリ・ドープ)GaN電子走行層(uid-GaN) 102と、膜厚20nmのアンインテンシヨナリ・ドープAl_{0.25}Ga_{0.75}N層を順次堆積させる。ソース電極104およびドレイン電極105を、例えばTi/Alを用いて形成した後、SiO₂膜106を堆積する。その上にリフトオフ法を用いてゲート電極108を形成することで絶縁ゲートFETが完成する。

[0005] しかし、SiO₂やSi₃N₄、Al₂O₃は比誘電率がそれほど大きくないため、負方向へのしきい値のシフトや相互コンダクタンスの減少といった問題が生じ、アンプの増幅能力が悪くなる。

[0006] そこで、図1Bに示すように、Ta、Hf、Zrなどの金属の酸化物(たとえばTa₂O₅) 107をゲートに適用することが考えられる。Ta₂O₅やHfO₂などの金属酸化物は、比較的高い比誘電率を持つからである。

[0007] なお、絶縁ゲート構成として、リーク電流を低減するために、III-V化合物半導体基板とゲート電極の間にX₂O₃構造の希土類酸化物の層を挿入する構成(たとえば、特許文献1参照)や、high-k材料を用いた電界効果トランジスタにおいて、High-kゲート誘電体膜とポリシリコンゲート電極の間に、閾値電圧およびフラットバンド電圧のシフト防止のための中間絶縁層として、金属窒化物または金属酸窒化物の層を挿入する構成(たとえば、特許文献2参照)が知られている。

特許文献1:特開2000-150503号公報

特許文献2:特開2005-328059号公報

発明の開示

発明が解決しようとする課題

[0008] しかし、高誘電率の金属酸化物は、SiO₂やAl₂O₃と比べてバンドギャップが狭いため、破壊耐圧の点で劣ることが懸念される。このため高耐圧と高誘電率を両立することが困難である。

[0009] そこで、本発明は、高耐圧と高誘電率を両立することのできる絶縁ゲート構造と、その作製方法を提供することを課題とする。

課題を解決するための手段

[0010] 上記課題を解決するために、絶縁ゲート構造として、酸素と、前記酸素と結合して比誘電率が10以上の金属酸化物を構成する金属から選ばれる少なくとも1つの金属元素と、SiおよびAlから選ばれる少なくとも1つの金属元素と、とで構成される第1絶縁膜を少なくとも含む構成を採用する。

[0011] 具体的には、第1の側面において、化合物半導体装置は、

- (a) 基板上に形成され、III-V族窒化物系化合物半導体で構成される電子走行層と、
- (b) 前記化合物半導体層の上方に位置するゲート絶縁膜と、
- (c) 前記ゲート絶縁膜上に位置するゲート電極と

を備え、前記ゲート絶縁膜は、酸素と、前記酸素と結合して比誘電率が10以上の金属酸化物を構成する金属から選ばれる少なくとも1つの金属元素と、SiおよびAlから選ばれる少なくとも1つの金属元素と、とで構成される第1絶縁膜を含む。

[0012] 好ましい構成例では、前記ゲート絶縁膜は、前記第1絶縁膜上に位置し、比誘電率が10以上の金属酸化物から成る第2絶縁膜をさらに含む。

[0013] たとえば、電子走行層は、GaN層である。この場合、GaN電子走行層上に設けられ、所定の濃度に不純物がドーピングされた $\text{Al Ga}_x \text{N}_{1-x}$ ($0 \leq x \leq 1$) 電子供給層と、前記 $\text{Al Ga}_x \text{N}_{1-x}$ ($0 \leq x \leq 1$) 電子供給層と、前記ゲート絶縁膜との間に設けられ、所定の濃度に不純物がドーピングされたGaN層とをさらに含む。

[0014] 本発明の第2の側面において、化合物半導体装置の製造方法を提供する。この製造方法は、

- (a) 基板上に、III-V族窒化物系化合物半導体で構成される電子走行層を形成し、
- (b) 前記電子走行層の上方に、酸素と、前記酸素と結合して比誘電率が10以上の金属酸化物を構成する金属から選ばれる少なくとも1つの金属元素と、SiおよびAlから選ばれる少なくとも1つの金属元素と、とで構成される第1絶縁膜を形成し、
- (c) 前記第1絶縁膜の上方に、ゲート電極を形成する工程を含む。

[0015] 良好な例では、前記第1絶縁膜は、電子走行層の上方にシリコン膜を堆積し、前記シリコン膜上に、比誘電率が10以上の金属酸化物の層を形成し、前記シリコン膜および金属酸化膜の層をアニールする、ことによって形成される。

[0016] この場合、アニール工程によって、前記シリコン膜の少なくとも一部を、第1絶縁膜に変化させる。

発明の効果

[0017] 上述した構成および方法によれば、化合物半導体装置の絶縁ゲート構造で、高耐圧性と高誘電率を両立させることができる。

図面の簡単な説明

[0018] [図1A]課題解決のために考えられ得る構成例を示す図である。

[図1B]課題解決のために考えられ得る構成例を示す図である。

[図2]本発明の一実施形態の化合物半導体装置の概略断面図である。

[図3A]本発明の第1実施形態に係る化合物半導体装置の製造工程図である。

[図3B]本発明の第1実施形態に係る化合物半導体装置の製造工程図である。

[図3C]本発明の第1実施形態に係る化合物半導体装置の製造工程図である。

[図3D]本発明の第1実施形態に係る化合物半導体装置の製造工程図である。

[図3E]本発明の第1実施形態に係る化合物半導体装置の製造工程図である。

[図3F]本発明の第1実施形態に係る化合物半導体装置の製造工程図である。

[図4A]本発明の第2実施形態に係る化合物半導体装置の製造工程図である。

[図4B]本発明の第2実施形態に係る化合物半導体装置の製造工程図である。

[図4C]本発明の第2実施形態に係る化合物半導体装置の製造工程図である。

[図4D]本発明の第2実施形態に係る化合物半導体装置の製造工程図である。

[図4E]本発明の第2実施形態に係る化合物半導体装置の製造工程図である。

[図5A]本発明の第3実施形態に係る化合物半導体装置の製造工程図である。

[図5B]本発明の第3実施形態に係る化合物半導体装置の製造工程図である。

[図5C]本発明の第3実施形態に係る化合物半導体装置の製造工程図である。

[図5D]本発明の第3実施形態に係る化合物半導体装置の製造工程図である。

[図5E]本発明の第3実施形態に係る化合物半導体装置の製造工程図である。

[図5F]本発明の第3実施形態に係る化合物半導体装置の製造工程図である。

[図6]本発明の効果を示すグラフである。

[図7A]ソース電極およびドレイン電極の形成工程のバリエーションを示す図である。

[図7B]ソース電極およびドレイン電極の形成工程のバリエーションを示す図である。

符号の説明

- [0019] 1 化合物半導体装置
- 11 基板
 - 12 GaN層(電子走行層)
 - 13 AlGaN バリア層
 - 13a アンインテンシヨナリ・ドープAlGaN層
 - 13b n-AlGaN層(電子供給層)

14 n-GaN層

15、26 TaSiO(第1絶縁膜)

16、27 Ta₂O₅(第2絶縁膜)

17 ゲート絶縁膜

18、28 ゲート電極

19 ソース電極

20 ドレイン電極

発明を実施するための最良の形態

[0020] 以下、本発明の実施の形態について、図面を参照して説明する。

[0021] 図2は、本発明の一実施形態に係る化合物半導体装置の概略断面図である。化合物半導体装置1は、基板11上に形成される、III-V族窒化物系化合物半導体である窒化ガリウム(GaN)の電子走行層12と、AlGaNバリア層13と、ドープGaN層14を含む。AlGaNバリア層13の一部は、電子供給層として機能する。

[0022] AlGaNバリア層13とGaN電子走行層12のバンドギャップの相違により、これらの層の界面に発生する電子層(二次元電子ガス)が高い移動度で動作し、チャネルを構成する。

[0023] ドープGaN層14上に、2層構造のゲート絶縁膜17を介して、ゲート電極18が位置する。ゲート絶縁膜17は、第1絶縁膜15と、第1絶縁膜15上の第2絶縁膜16とで構成される。第1絶縁膜15は、酸素と、前記酸素と結合して比誘電率が10以上の金属酸化物を構成する金属から選ばれる少なくとも1つの元素(第1金属元素)と、SiおよびAlから選ばれる少なくとも1つの金属元素(第2金属元素)と、酸素とから成る金属酸化物である。第1金属元素は、比誘電率を高くするためのものであり、第2金属元素は、バンドギャップを広くするためのものである。図2の例では、第1金属元素としてTaを用い、第2金属元素としてSiを用いる。したがって、第1絶縁膜15はTaSiOとなる。第2絶縁膜16は、比誘電率が10以上の金属酸化物である。図2の例ではTa₂O₅である。

[0024] 第2絶縁膜16は、ゲート絶縁膜17全体としての誘電率をより高くするためのものであり、第2絶縁膜16の存在は好ましいが、第1絶縁膜15の組成によって、適性動作

に必要な誘電率とバンドギャップが達成される場合は、第1絶縁膜のみを用いてもよい。第2絶縁膜16は、ゲート絶縁膜17の耐圧向上のために必要であるが(換言すると、第1絶縁膜15+第2絶縁膜16の膜厚を稼ぐことに対応する)、第2絶縁膜16の誘電率が低いと、結果として全体の誘電率が低下してしまう。このために、第2絶縁膜16の誘電率は高いことが望ましい。

[0025] このように、ゲート絶縁膜17の少なくとも一部に、比誘電率を高めるための第1金属元素と、バンドギャップを広くするための第2金属元素を含む酸化物を用いることで、高誘電率とワイドバンドギャップの双方を併せ持つ絶縁ゲート構造が実現する。

[0026] 図2の例では、高誘電率かつワイドバンドギャップの第1絶縁膜15は、ソース電極19とドレイン電極20の間に延びる全領域をカバーしているが、第1絶縁膜15は少なくともゲート電極18の直下に位置すればよい。

[0027] 以下で、図2を参照して説明した絶縁ゲート構造を備える化合物半導体装置の製造方法について説明する。

[0028] 図3A～図3Fは、本発明の第1実施形態に係る化合物半導体装置の製造工程図である。まず、図3Aに示すように、SiC基板11上に、通常のMOVPE法を用いて、たとえば膜厚3 μ mのアンインテンシヨナリ・ドーパGaN電子走行層(uid-GaN)12、膜厚3nmのアンインテンシヨナリ・ドーパ $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ 層(uid-AlGa_{0.25}N)13a、膜厚20nmのn-Al_{0.25}Ga_{0.75}N電子供給層13bを順次堆積させる。電子供給層13bのn型ドーパントとして、たとえばシリコン(Si)をドーピング濃度 $2 \times 10^{18} \text{ cm}^{-3}$ でドーパする。アンインテンシヨナリ・ドーパAlGa層13と、n-AlGa_{0.25}N電子供給層13bとで、AlGa_{0.25}Nバッファ層13を構成する。AlGa_{0.25}Nバッファ層13上に、膜厚10nm以下、たとえば5nmのn-GaN層14をさらに堆積する。n型ドーパントとして、たとえばSiを $2 \times 10^{18} \text{ cm}^{-3}$ でドーパする。

[0029] 次に、図3Bに示すように、全面にレジスト(不図示)を塗布し、ソース電極およびドレイン電極が形成されるべき個所に開口を設けて、対応する領域のn-GaN層14を所定の膜厚まで低減する。図3Bの例では、対応する領域のn-GaN層14をすべて除去している。n-GaN層14の加工は、塩素系ガスや不活性ガス、例えば Cl_2 ガスを用いたドライエッチング法で行う。その後、蒸着リフトオフ法を用いて、ソース電極19お

よびドレイン電極20を、Ti／Alで形成し、550℃でアニールしてオーミック電極とする。

[0030] 次に、図3Cに示すように、ウエハの全面に表面パッシベーション膜（例えばSi₃N₄膜）14を堆積した後、レジスト22を全面に塗布し、ゲート形成領域にたとえば幅0.8 μ mの開口23を形成する。この開口パターンを用いて、フッ素系ガスを用いたドライエッチングなどで、ゲート領域のSi₃N₄パッシベーション膜14を除去する。除去後した個所のn-GaN層14の界面に、蒸着、スパッタ法などにより、Si膜25を形成する。なお、パッシベーション膜14の除去後に、レジスト22を除去して、その後、全面にSi膜25を形成してもよい。

[0031] 次に、図3Dに示すように、ウエハ全面に、比誘電率が10以上の金属酸化物の層、例えばTa₂O₅層27を堆積し、200℃～900℃の範囲で熱処理を行う。この熱処理により、図3Eに示すように、n-GaN層14の界面のゲート形成領域に位置するSi層25が、TaSiO層26に変化する。なお、図示の便宜上、図3D以降の工程図では、ソース電極19およびドレイン電極20上のパッシベーション膜21とTa₂O₅膜27は省略してある。

[0032] 次に、図3Fに示すように、レジスト（不図示）を全面に塗布し、ゲート形成領域にたとえば幅1.2 μ mの開口を持つようにパターンニングし、Ni（30nm）、Au（300nm）を順次体積して、リフトオフ法などでゲート電極28を形成する。このようにして、第1実施形態のGaN FET（化合物半導体装置）が完成する。

[0033] 図4A～図4Eは、本発明の第2実施形態の化合物半導体装置の製造工程図である。ソース電極19およびドレイン電極20を形成するまでの工程、すなわち図4A、図4Bは、第1実施形態の図3A、図3Bと同一であり、その説明を省略する。

[0034] 図4Cに示すように、蒸着、スパッタ法などにより、ウエハ全面にSi膜25を形成する。引き続き、全面に比誘電率が10以上の金属酸化物の層、例えばTa₂O₅層27を堆積する。そして、200℃～900℃の範囲で熱処理を行う。その結果、図4Dに示すように、n-GaN層14の界面に、TaSiO層26が形成される。

[0035] 次に、図4Eに示すように、レジスト（不図示）を全面に塗布し、ゲート形成領域に例えば1.2 μ mの開口を有するようにパターンニングする。パターンニングされたレジストを

マスクとして、Ni (30nm)、Au (300nm)を順次堆積し、リフトオフ法などでゲート電極28を形成して、第2実施形態のGaN FETが完成する。

[0036] 図5A～図5Fは、本発明の第3実施形態の化合物半導体装置の製造工程図である。ソース電極19およびドレイン電極20を形成するまでの工程、すなわち図5A、図5Bは、第1実施形態の図3A、図3Bと同一であり、その説明を省略する。

[0037] 図5Cに示すように、ウエハの全体にレジスト(不図示)を塗布し、ゲート形成領域に例えば $0.8\mu\text{m}$ の開口を設けて、対応する領域のn-GaN層14を露出する。蒸着、スパッタ法などにより、開口内にSiを堆積し、リフトオフ法で所定の領域にSi膜25を形成する。

[0038] 次に、図5Dに示すように、全面に比誘電率が10以上の金属酸化物の層、例えばTa₂O₅層27を堆積し、平坦化して、Si膜25に対応する個所をリセス状に浅くする。この状態で、200℃～900℃の範囲で熱処理を行う。その結果、図5Eに示すように、n-GaN層14の界面のゲート形成領域にTaSiO層26が形成される。

[0039] 次に、図5Fに示すように、レジストを全面に塗布し、ゲート形成領域に例えば $1.2\mu\text{m}$ の開口パターンを形成して、対応する領域のn-GaN層14を露出する。露出したn-GaN層14上に、Ni (30nm) / Au (300nm)を堆積し、リフトオフ法などでゲート電極28を形成して、第3実施形態のGaN FETが完成する。

[0040] 図6は、本発明の効果を示すグラフである。横軸がゲートへの印加電圧(V)、縦軸がゲートリーク電流(A/mm)を表わす。白丸のプロットは、III-V化合物半導体層に直接ゲート電極をつけた場合の順方向ゲートリーク電流を、正方形のプロットは、図1Bに示すTa₂O₅絶縁膜を挿入したMISFETのゲートリーク電流を、菱形のプロットは、本発明の実施形態のように、TaSiO_xを絶縁ゲート構造に適用したFETのゲートリーク電流を示す。

[0041] グラフから明らかなように、実施形態の絶縁ゲート構造は、ショットキーゲートや、Ta₂O₅絶縁膜を挿入した場合と比較して、順方向の電圧印加に対して高い耐圧特性を示す。さらに、誘電率の比較的高い(たとえば10以上の)金属酸化物を構成する金属元素を含むので、高誘電率も確保される。

[0042] 以上、良好な実施形態に基づいて本発明を説明したが、本発明はこれらの例に限

定されるものではなく、当業者にとって多様な変更が可能である。たとえば、図3B、図4B、図5Bにおいて、ソース電極19およびドレイン電極20の形成領域の n -Ga N 層14をすべて除去する必要は必ずしもなく、図7Aに示すように、ソース電極19およびドレイン電極20に対応する個所の n -Ga N 層14を薄くして残しても良い。さらに、図7Bに示すように、ソース電極19およびドレイン電極20に対応する個所の n -AlGa N 電子供給層13bを薄くする構成を採用してもよい。いずれの場合も、高耐圧かつ高誘電率の絶縁ゲート構造を有する化合物半導体装置が実現される。

請求の範囲

- [1] 基板上に形成され、III-V族窒化物系化合物半導体で構成される電子走行層と、
前記化合物半導体層の上方に位置するゲート絶縁膜と、
前記ゲート絶縁膜上に位置するゲート電極と
を備え、前記ゲート絶縁膜は、
酸素と、前記酸素と結合して比誘電率が10以上の金属酸化物を構成する金属から
選ばれる少なくとも1つの金属元素と、SiおよびAlから選ばれる少なくとも1つの金属
元素と、で構成される第1絶縁膜
を含むことを特徴とする化合物半導体装置。
- [2] 前記ゲート絶縁膜は、
前記第1絶縁膜上に位置し、比誘電率が10以上の金属酸化物から成る第2絶縁膜
をさらに含む
ことを特徴とする請求項1に記載の化合物半導体装置。
- [3] 前記電子走行層上に設けられるIII-V族窒化物系化合物半導体の電子供給層と、
前記電子供給層と、前記ゲート絶縁膜との間に設けられ、所定の濃度に不純物が
ドーピングされたIII-V族窒化物系化合物半導体層と
をさらに含むことを特徴とする請求項1に記載の化合物半導体装置。
- [4] 前記電子走行層は、GaN層であり、
前記GaN電子走行層上に設けられ、所定の濃度に不純物がドーピングされた $\text{Al Ga}_x\text{N}_{1-x}$
 N ($0 \leq x \leq 1$) 電子供給層と、
前記 $\text{Al Ga}_x\text{N}_{1-x}$ ($0 \leq x \leq 1$) 電子供給層と、前記ゲート絶縁膜との間に設けられ、所
定の濃度に不純物がドーピングされたGaN層と
をさらに含むことを特徴とする請求項1に記載の化合物半導体装置。
- [5] 前記電子走行層の上方で、前記ゲート電極の両側にそれぞれ位置するソース電極
およびドレイン電極をさらに有し、
前記ドーピングされたGaN層は、前記ソース電極およびドレイン電極が設けられる位置
で薄くなっている
ことを特徴とする請求項4に記載の化合物半導体装置。

- [6] 前記電子走行層の上方で、前記ゲート電極の両側にそれぞれ位置するソース電極およびドレイン電極をさらに有し、
前記ドーパされたGa_{0.9}N_{0.1}層は、前記ソース電極およびドレイン電極が設けられる位置で完全に除去されている
ことを特徴とする請求項4に記載の化合物半導体装置。
- [7] 前記電子走行層の上方で、前記ゲート電極の両側にそれぞれ位置するソース電極およびドレイン電極をさらに有し、
前記ドーパされたGa_{0.9}N_{0.1}層は、前記ソース電極およびドレイン電極が設けられる位置で完全に除去され、かつ当該位置で、前記Al_{0.1}Ga_{0.9}N_{0.1}電子供給層が薄くなっている
ことを特徴とする請求項4に記載の化合物半導体装置。
- [8] 前記ドーパされたGa_{0.9}N_{0.1}膜は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上のn型にドーパされている
ことを特徴とする請求項4に記載の化合物半導体装置。
- [9] 基板上に、III-V族窒化物系化合物半導体で構成される電子走行層を形成し、
前記電子走行層の上方に、酸素と、前記酸素と結合して比誘電率が10以上の金属酸化物を構成する金属から選ばれる少なくとも1つの金属元素と、SiおよびAlから選ばれる少なくとも1つの金属元素と、で構成される第1絶縁膜を形成し、
前記第1絶縁膜の上方に、ゲート電極を形成する
工程を含むことを特徴とする化合物半導体装置の製造方法
- [10] 前記ゲート電極の形成に先立って、前記第1の絶縁膜上に、比誘電率が10以上の金属酸化物から成る第2絶縁膜を形成する工程
をさらに含むことを特徴とする請求項9に記載の化合物半導体装置の製造方法。
- [11] 前記第1絶縁膜は、
前記電子走行層の上方に、シリコン膜を堆積し、
前記シリコン膜上に、比誘電率が10以上の金属酸化物の層を形成し、
前記シリコン膜および金属酸化膜の層をアニールする
ことによって形成される
ことを特徴とする請求項9に記載の化合物半導体装置の製造方法。
- [12] 前記アニール工程により、前記シリコン膜の少なくとも一部を、前記第1絶縁膜に変

化させることを特徴とする請求項11に記載の化合物半導体装置の製造方法。

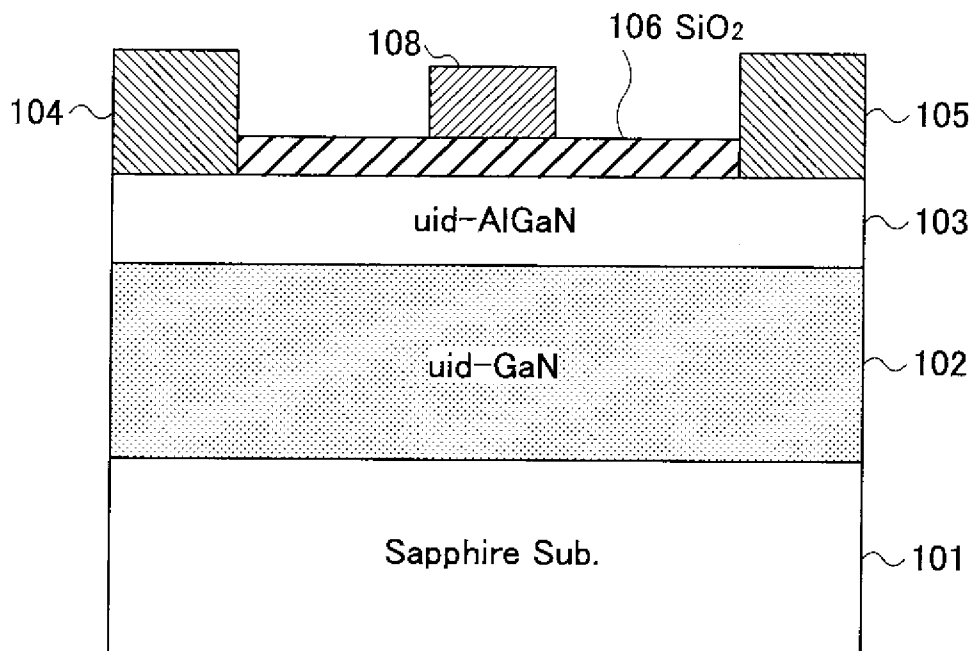
- [13] 前記電子走行層上に、III-V族窒化物系化合物半導体の電子供給層を形成し、
前記電子供給層上に、所定の濃度に不純物がドーピングされたIII-V族窒化系化合物半導体層を形成する
工程をさらに含み、前記第1絶縁膜は、前記ドーピングされたIII-V族窒化系化合物半導体層上に形成される

ことを特徴とする請求項9に記載の化合物半導体装置の製造方法。

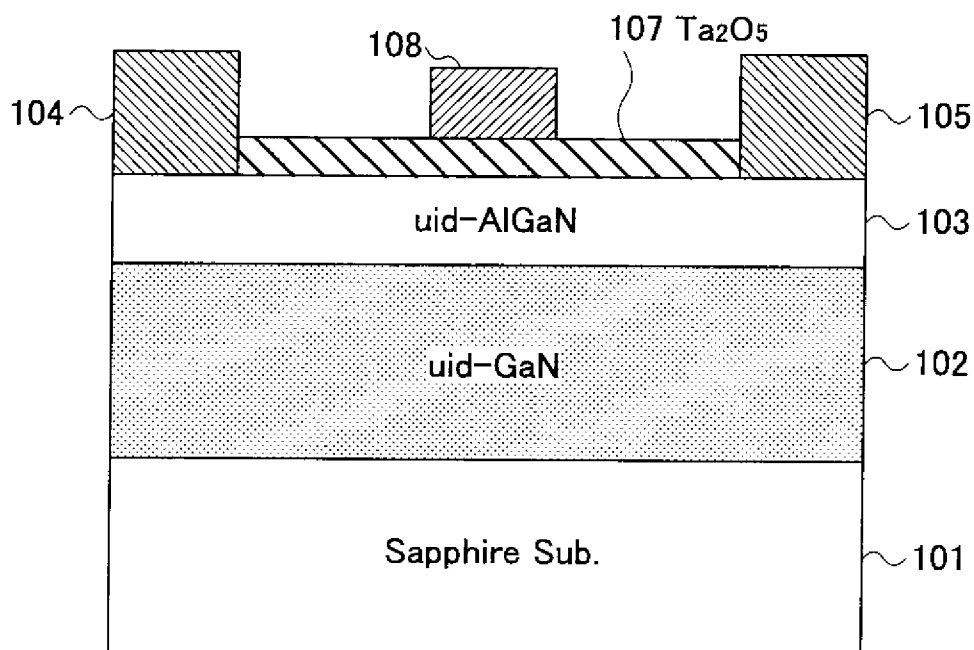
- [14] 前記電子走行層を、GaN層として形成し、
前記GaN電子走行層上に、所定の濃度に不純物がドーピングされた $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 電子供給層を形成し、
前記電子供給層上に、所定の濃度に不純物がドーピングされたGaN層を形成し、
前記第1絶縁膜を前記ドーピングされたGaN層上に形成する
工程をさらに含むことを特徴とする請求項9に記載の化合物半導体装置の製造方法

。

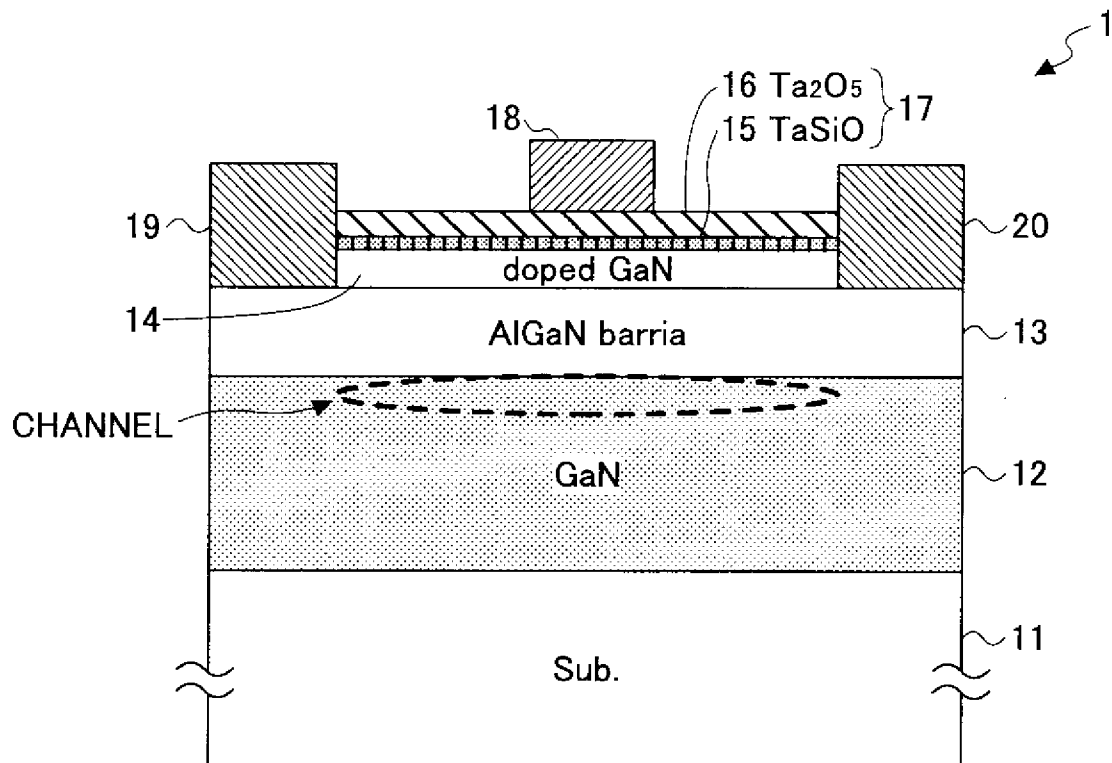
[図1A]



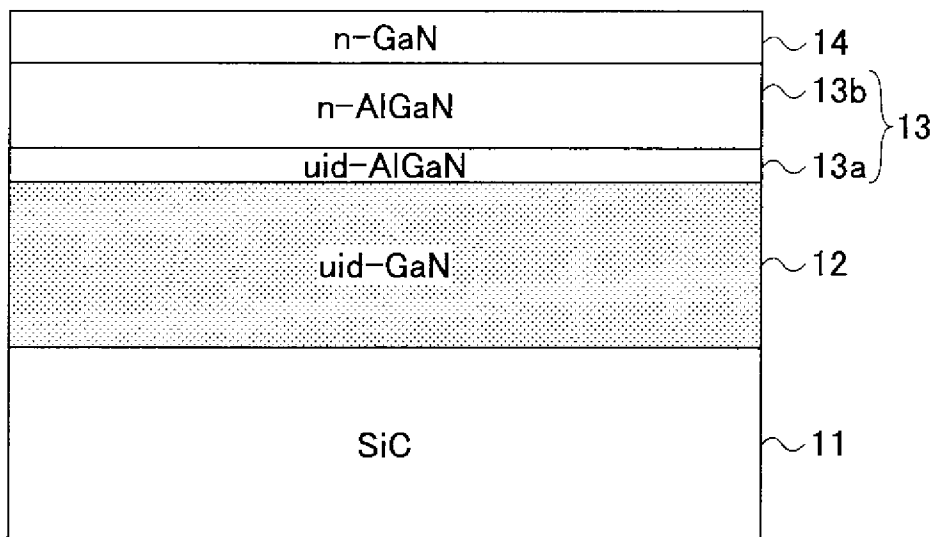
[図1B]



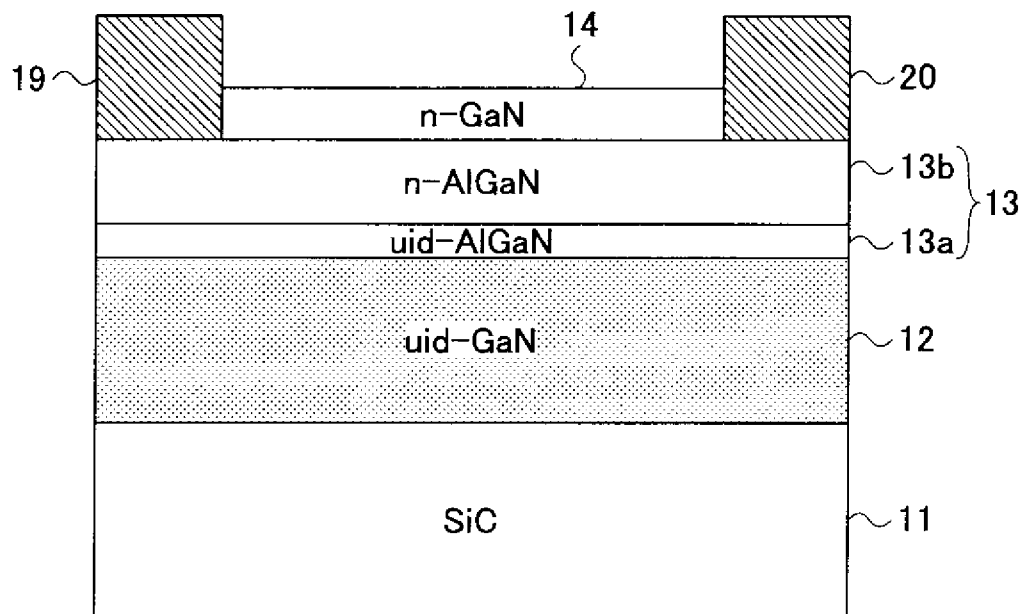
[図2]



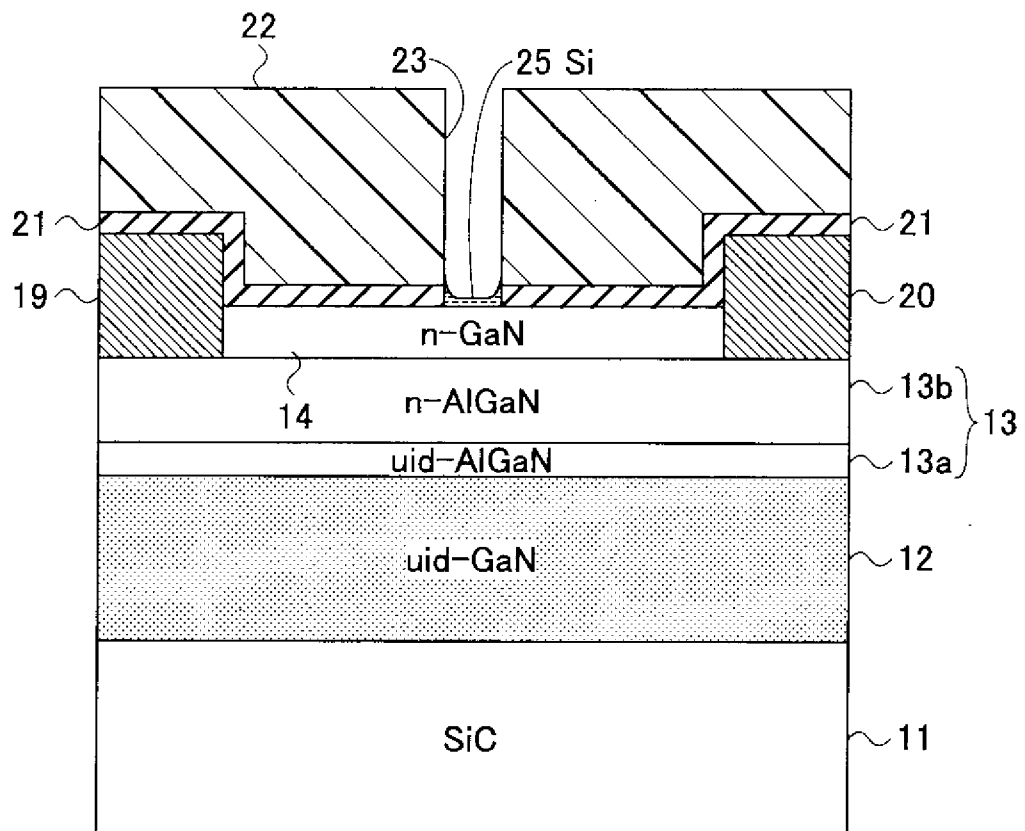
[図3A]



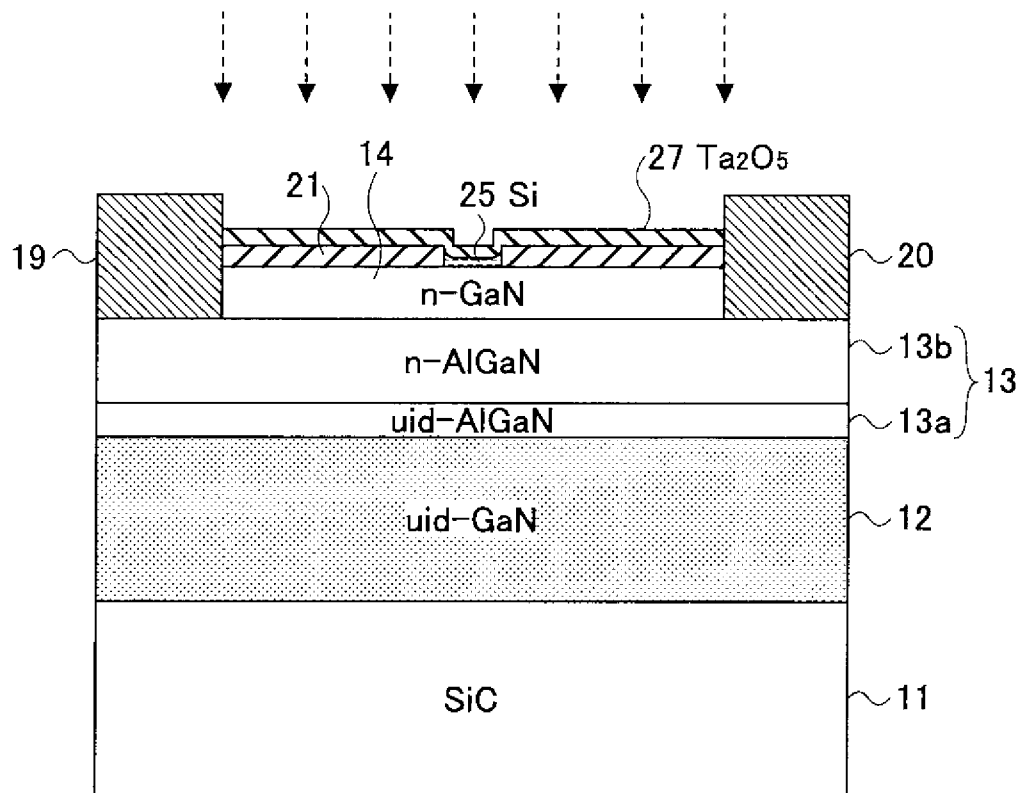
[図3B]



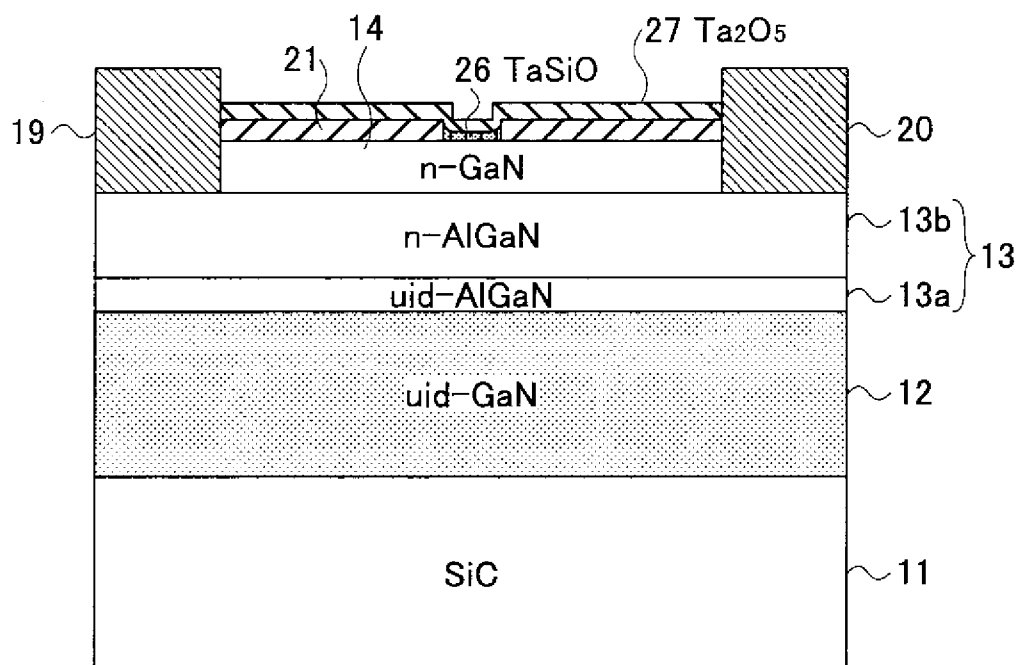
[図3C]



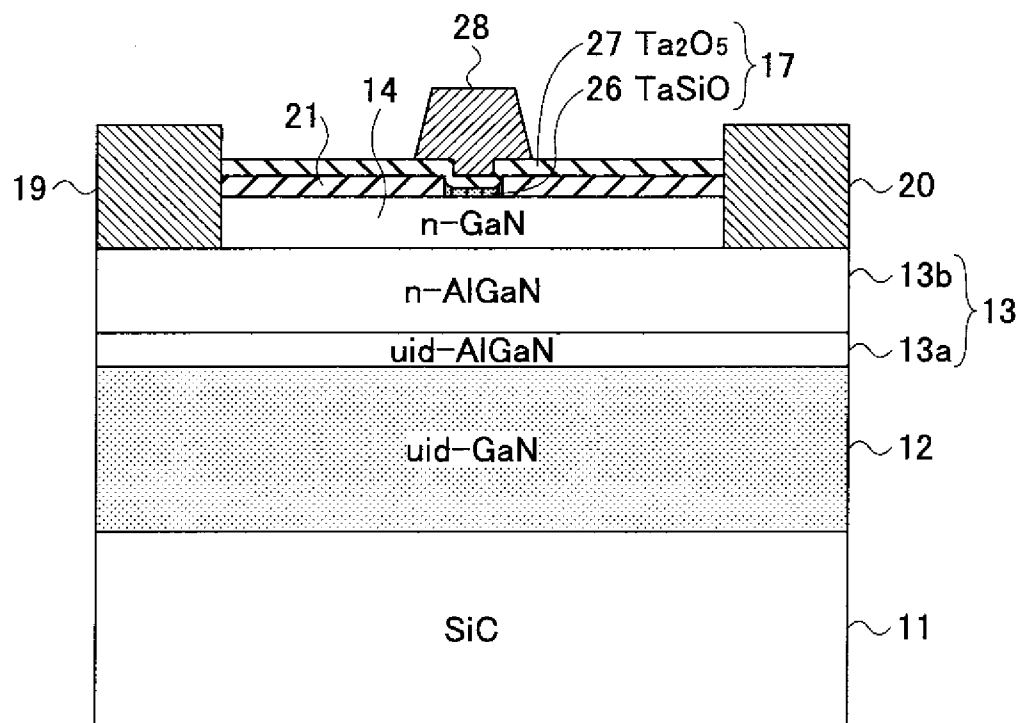
[図3D]



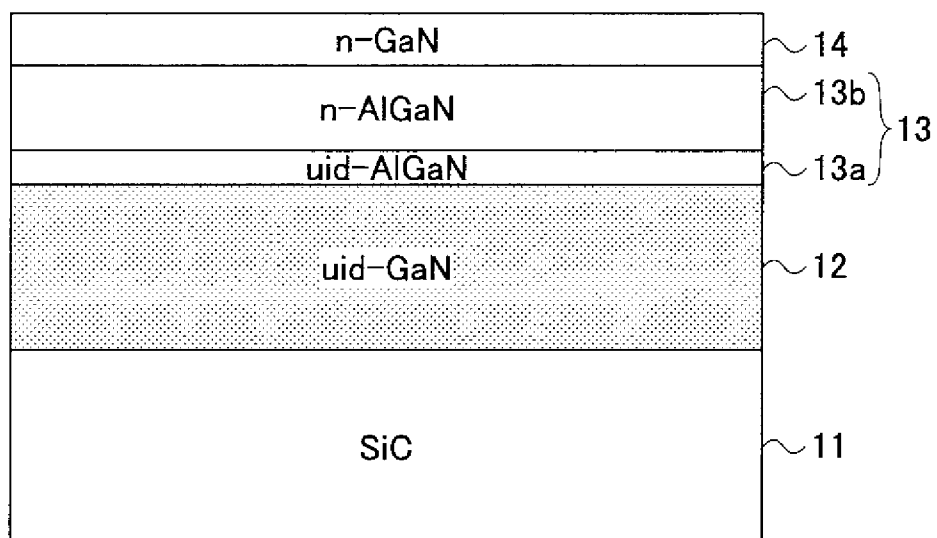
[図3E]



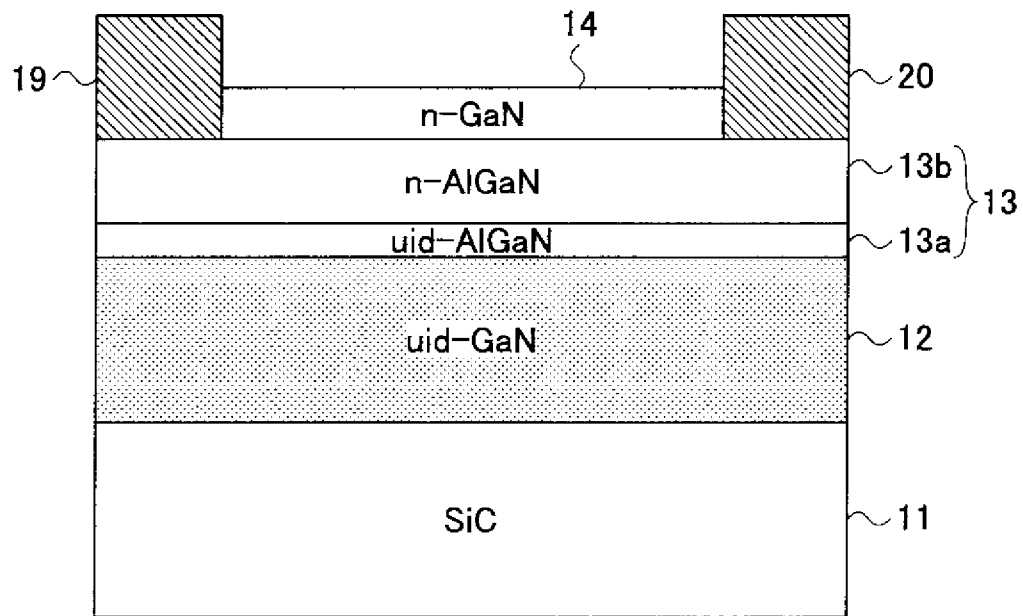
[図3F]



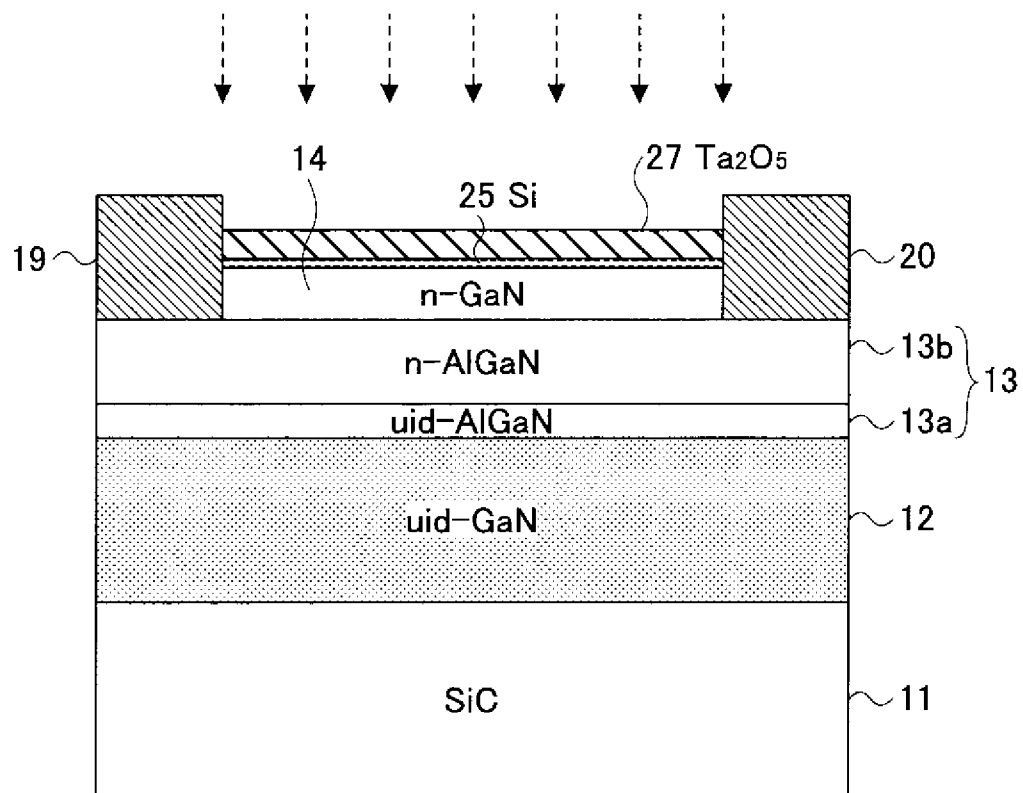
[図4A]



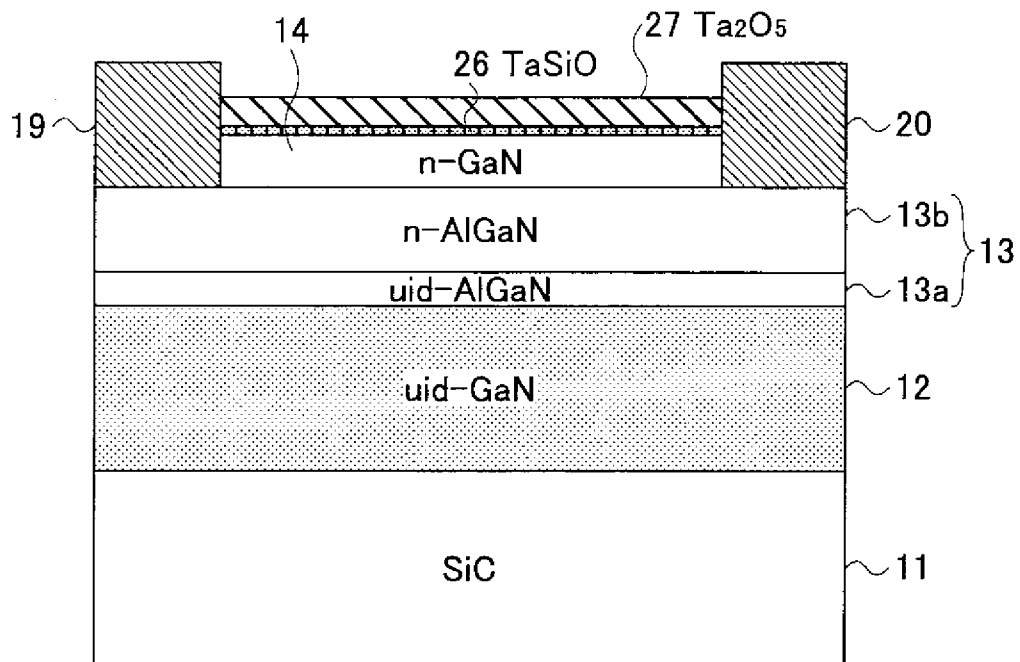
[図4B]



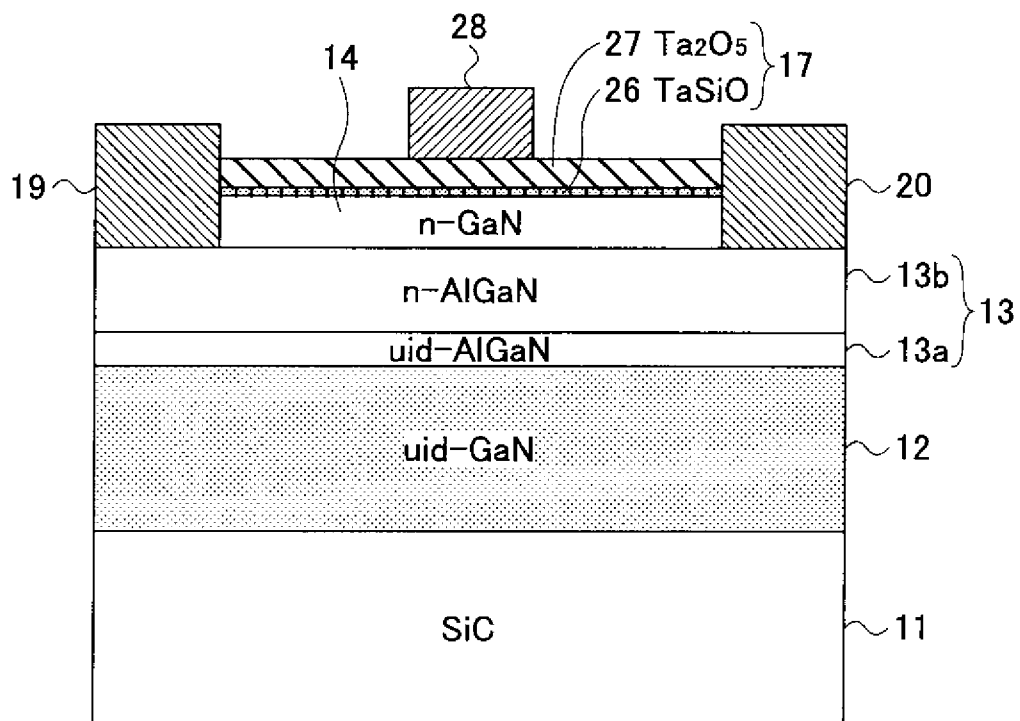
[図4C]



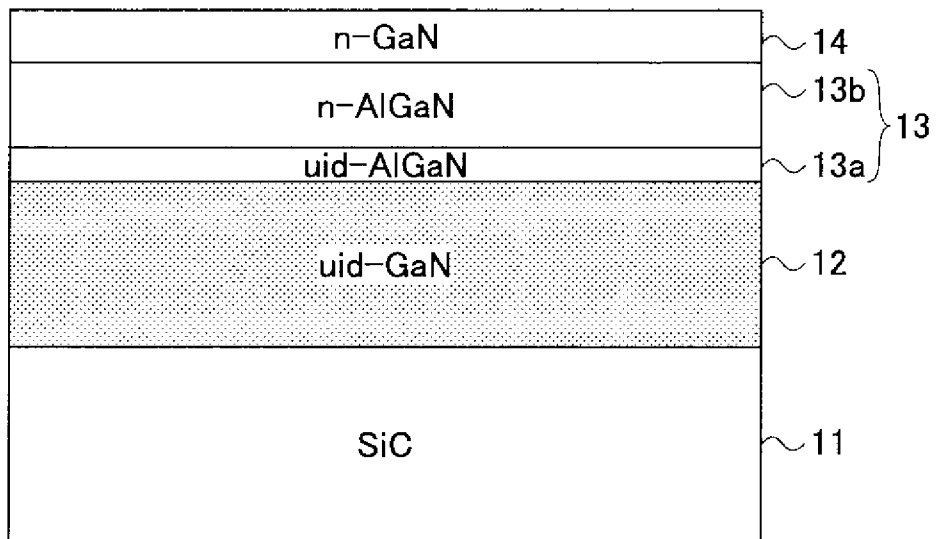
[図4D]



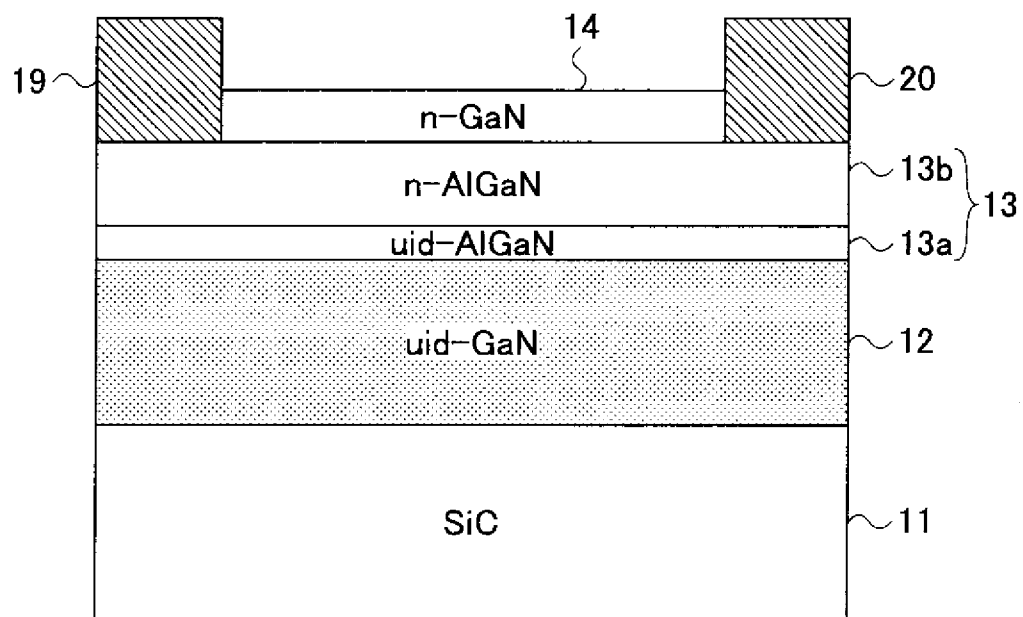
[図4E]



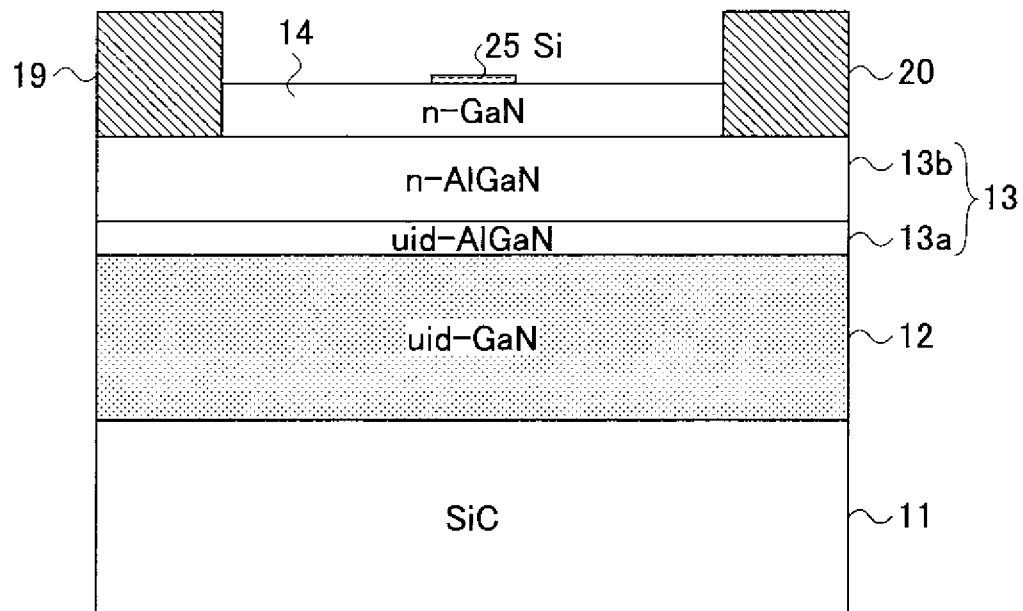
[図5A]



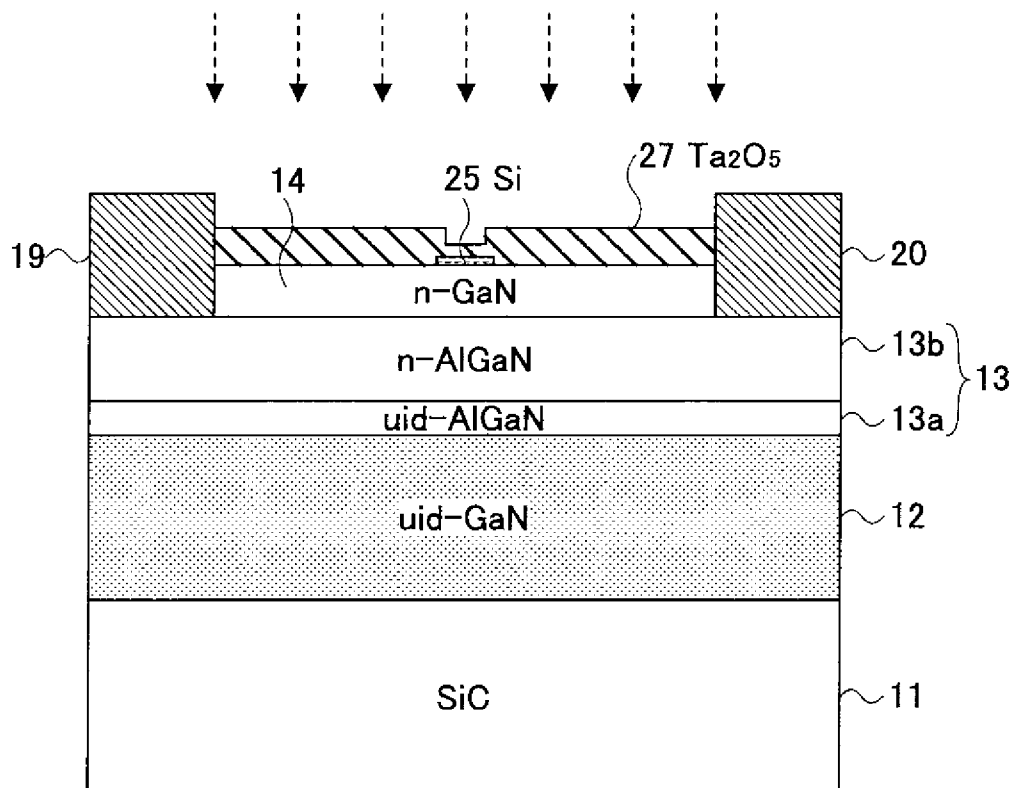
[図5B]



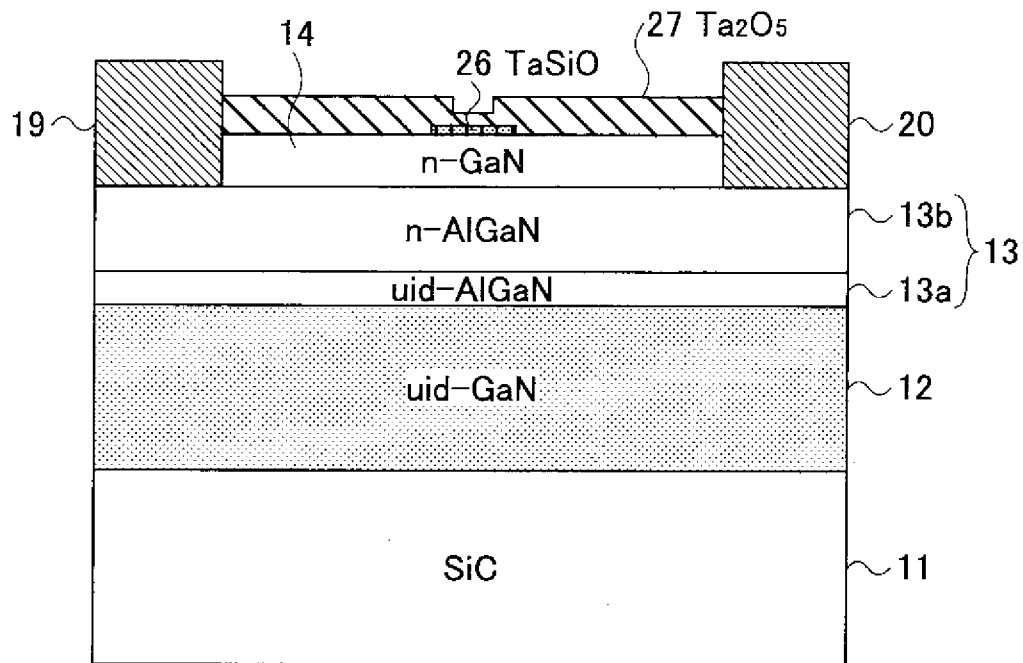
[図5C]



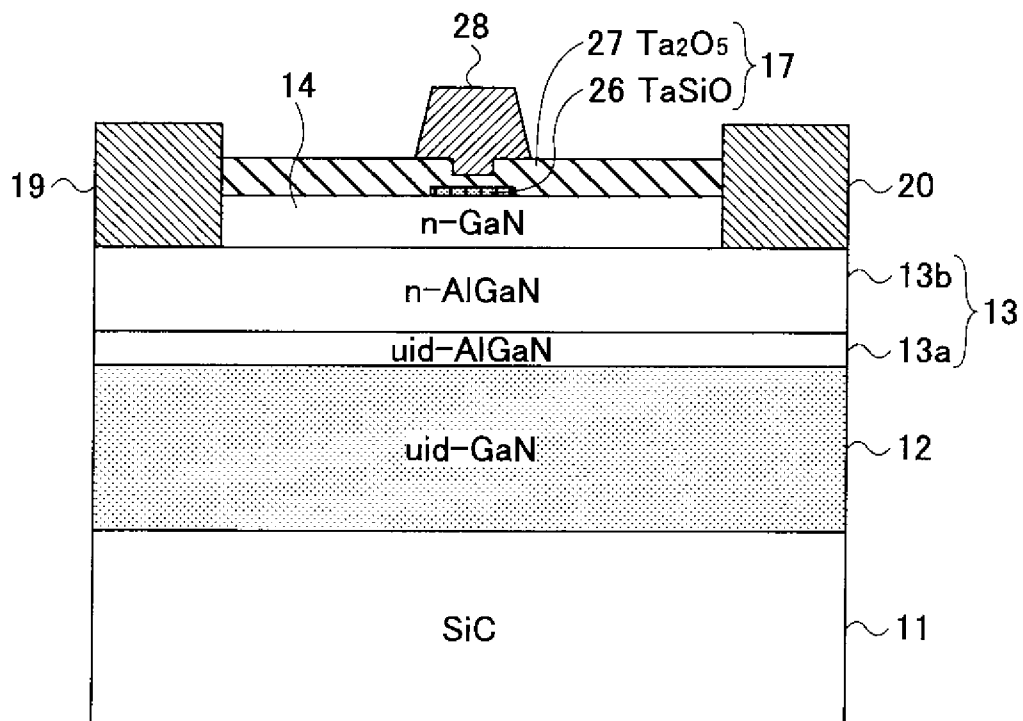
[図5D]



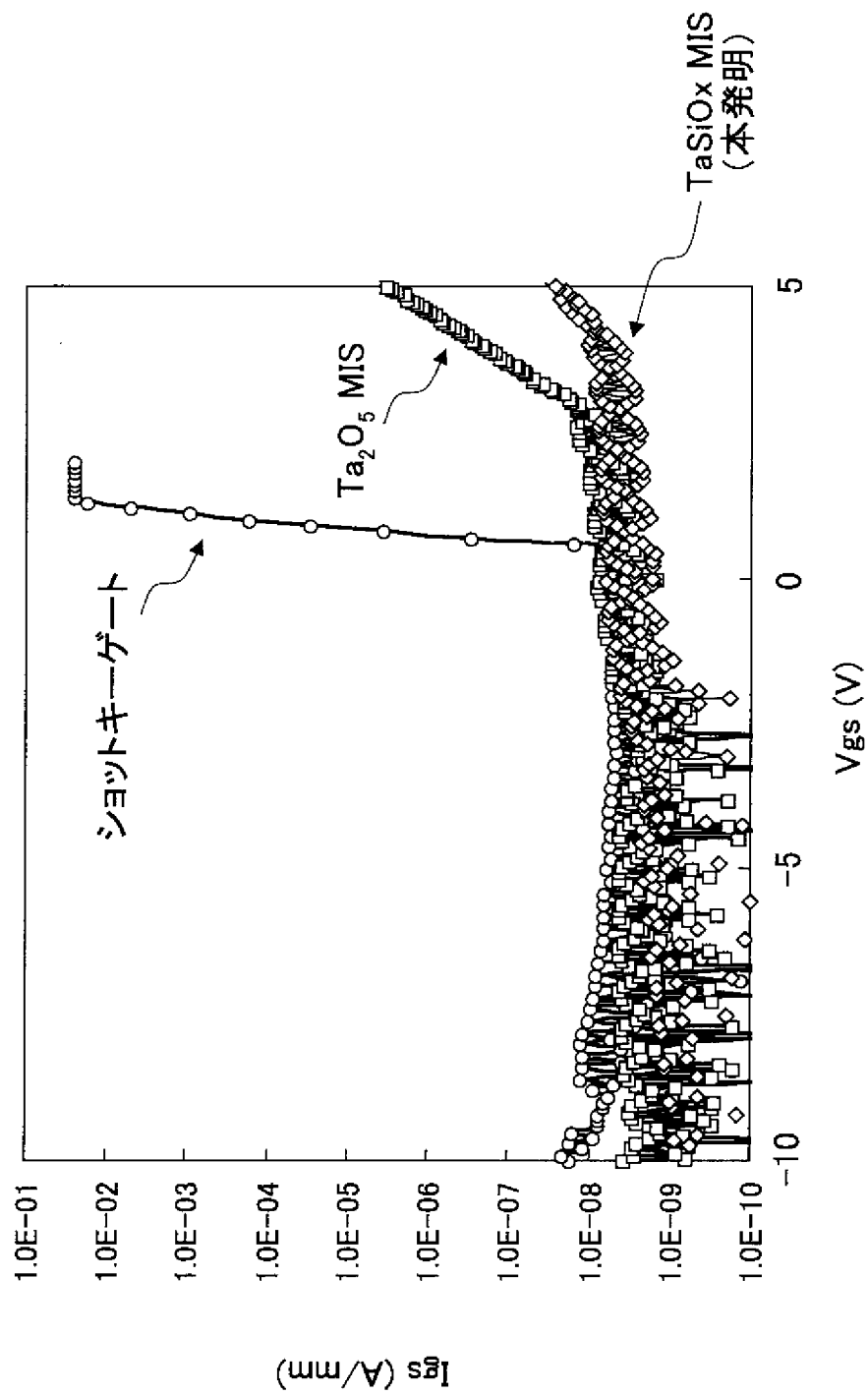
[図5E]



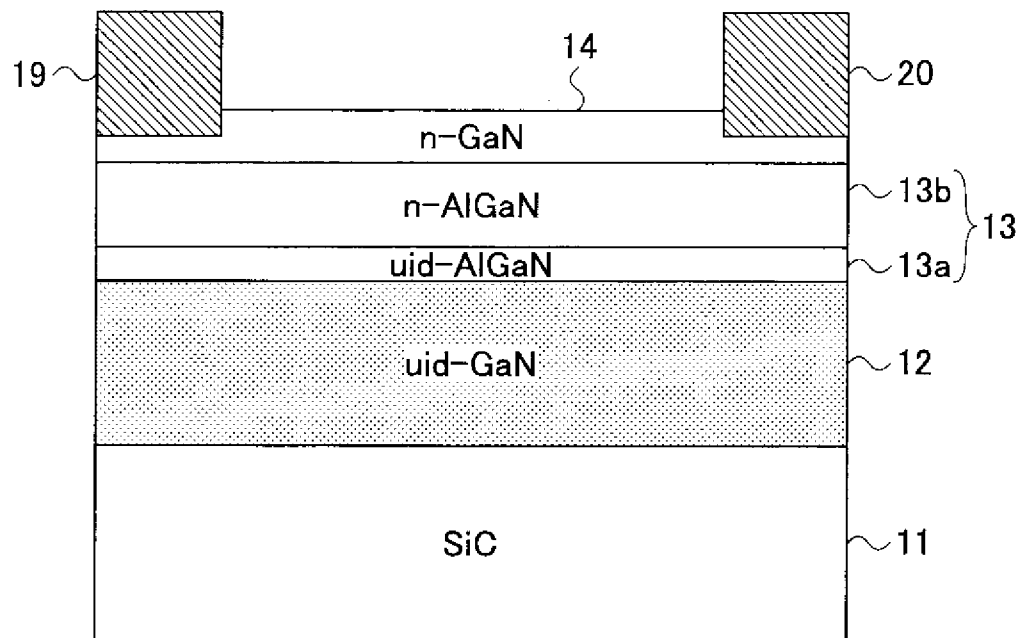
[図5F]



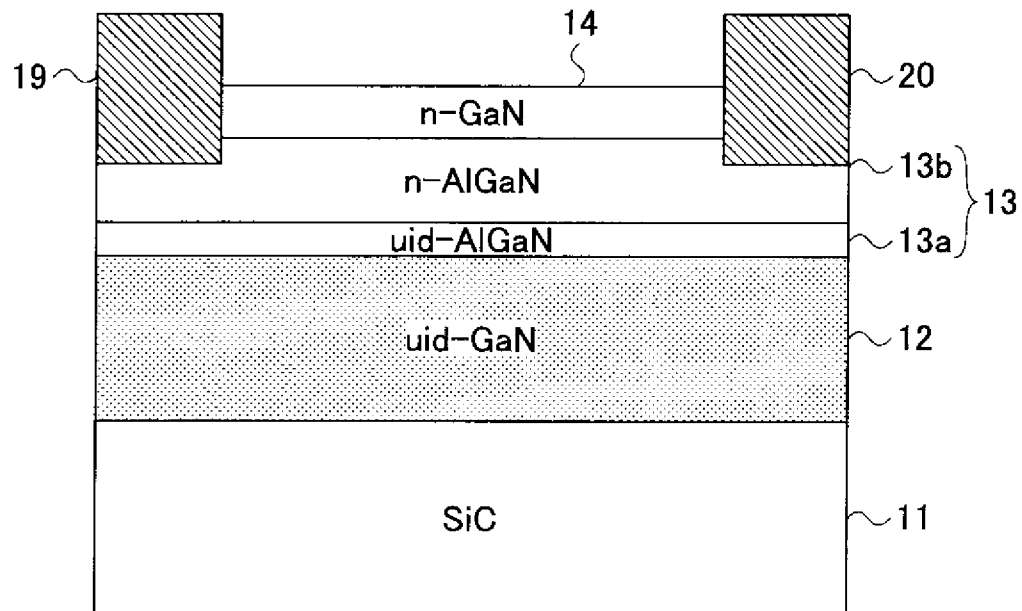
[図6]



[図7A]



[図7B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/319466

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L29/778, H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-324813 A (Nippon Telegraph And Telephone Corp.), 08 November, 2002 (08.11.02), Par. Nos. [0050] to [0055], [0075]; Fig. 3 (Family: none)	1, 9 3-8, 13-14 2, 10-12
Y	JP 2006-196764 A (Fujitsu Ltd.), 27 July, 2006 (27.07.06), Par. Nos. [0025] to [0036]; Figs. 4 to 5 & US 2006/0157735 A1	3-4, 6, 8, 13-14
Y	JP 2006-165207 A (Fujitsu Ltd.), 22 June, 2006 (22.06.06), Par. Nos. [0045], [0051] to [0053]; Fig. 9 (Family: none)	5-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 December, 2006 (06.12.06)

Date of mailing of the international search report
19 December, 2006 (19.12.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/319466

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-173294 A (Nippon Telegraph And Telephone Corp.), 29 June, 2006 (29.06.06), Full text; all drawings (Family: none)	2, 10
A	JP 2003-158262 A (Toshiba Corp.), 30 May, 2003 (30.05.03), Full text; all drawings (Family: none)	11-12

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/338 (2006.01)i, H01L29/778 (2006.01)i, H01L29/78 (2006.01)i, H01L29/812 (2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/338, H01L29/778, H01L29/78, H01L29/812			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2－1 9 9 6年 1 9 7 1－2 0 0 6年 1 9 9 6－2 0 0 6年 1 9 9 4－2 0 0 6年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X Y A	J P 2 0 0 2－3 2 4 8 1 3 A（日本電信電話株式会社）2 0 0 2. 1 1. 0 8, 段落【0 0 5 0】－【0 0 5 5】, 段落【0 0 7 5】, 図3（ファミリーなし）	1, 9 3-8, 13-14 2, 10-12	
Y	J P 2 0 0 6－1 9 6 7 6 4 A（富士通株式会社）2 0 0 6. 0 7. 2 7, 段落【0 0 2 5】－【0 0 3 6】, 図4－5 & U S 2 0 0 6 / 0 1 5 7 7 3 5 A 1	3-4, 6, 8, 13-1 4	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 0 6. 1 2. 2 0 0 6		国際調査報告の発送日 1 9. 1 2. 2 0 0 6	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号1 0 0－8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 小川 将之 電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 4 6 2	4 M 9 6 3 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 6 - 1 6 5 2 0 7 A (富士通株式会社) 2 0 0 6 . 0 6 . 2 2 , 段落【0 0 4 5】 , 段落【0 0 5 1】 - 【0 0 5 3】 , 図9 (ファミリーなし)	5-8
A	J P 2 0 0 6 - 1 7 3 2 9 4 A (日本電信電話株式会社) 2 0 0 6 . 0 6 . 2 9 , 全文, 全図 (ファミリーなし)	2, 10
A	J P 2 0 0 3 - 1 5 8 2 6 2 A (株式会社東芝) 2 0 0 3 . 0 5 . 3 0 , 全文, 全図 (ファミリーなし)	11-12