

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6454065号
(P6454065)

(45) 発行日 平成31年1月16日(2019.1.16)

(24) 登録日 平成30年12月21日(2018.12.21)

(51) Int.Cl. F I
H03K 5/08 (2006.01) H03K 5/08 T

請求項の数 4 (全 19 頁)

<p>(21) 出願番号 特願2013-233408 (P2013-233408) (22) 出願日 平成25年11月11日(2013.11.11) (65) 公開番号 特開2015-95727 (P2015-95727A) (43) 公開日 平成27年5月18日(2015.5.18) 審査請求日 平成28年9月16日(2016.9.16)</p> <p>前置審査</p>	<p>(73) 特許権者 715010864 エイブリック株式会社 千葉県千葉市美浜区中瀬一丁目8番地 (72) 発明者 有山 稔 千葉県千葉市美浜区中瀬1丁目8番地 セ イコーインスツル株式会社内</p> <p>審査官 白井 亮</p>
---	--

最終頁に続く

(54) 【発明の名称】 比較回路

(57) 【特許請求の範囲】

【請求項1】

第一容量及び第二容量と、

第一入力電圧が前記第一容量を介して入力される第一入力端子と、第二入力電圧が前記第二容量を介して入力される第二入力端子と、出力端子とを備えた比較器と、

基準電圧が入力される基準電圧端子と、

一端が前記第一入力端子に接続され、サンプルフェーズでオンして前記第一入力端子の電圧を前記出力端子の電圧にする第一スイッチと、

一端が前記第二入力端子に接続され、前記サンプルフェーズでオンして前記第二入力端子の電圧を前記基準電圧にする第二スイッチと、

前記第一スイッチの他端と前記第二スイッチの他端の間に設けられ、比較フェーズでオンして前記第一スイッチの他端と前記第二スイッチの他端の電圧を等しくする第三スイッチと、

を備えたことを特徴とする比較回路。

【請求項2】

前記第二スイッチの他端と前記基準電圧端子の間に設けられ、サンプルフェーズでオンする第四スイッチを備え、

前記第三スイッチは、前記第一スイッチの他端と前記第二スイッチの他端の電圧を前記出力端子の電圧にする、

ことを特徴とする請求項1に記載の比較回路。

【請求項 3】

前記第一スイッチの他端と前記出力端子の間に設けられ、サンプルフェーズでオンする第四スイッチを備え、

前記第三スイッチは、前記第一スイッチの他端と前記第二スイッチの他端の電圧を前記基準電圧にする、

ことを特徴とする請求項 1 に記載の比較回路。

【請求項 4】

前記比較器は、

前記第一入力端子と前記第二入力端子に接続された第一増幅器と、

第三入力端子と第四入力端子に接続された第二増幅器と、

前記第一増幅器の出力端子と前記第二増幅器の出力端子に接続され、出力端子が前記比較器の出力端子に接続された加算器と、を備え、

前記第三入力端子に第二の基準電圧が入力され、前記第四入力端子に第三の基準電圧が入力された、

ことを特徴とする請求項 1 から 3 のいずれかに記載の比較回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電圧の大小を比較する比較回路に関し、特に高温時の回路素子のリーク電流やノイズによる影響を抑え、高精度な電圧比較を行う回路に関する。

【背景技術】

【0002】

電子回路一般において、複数の電圧を比較し、その大小を判定する回路として比較回路が用いられている（例えば、特許文献 1 参照）。

【0003】

従来の比較回路の一例の回路図を図 9 に示す。従来の比較回路は、比較器（コンパレータ）を用い、2つの入力電圧の差分の電圧が所定の電圧よりも大きいかまたは小さいかを判定している。この比較において、比較器が持つオフセット電圧（入力オフセット電圧）やノイズが誤差の要因となり、精度が低下するという問題がある。上記の入力オフセット電圧は、一例としては比較器の入力回路を構成する素子の特性ばらつきにより発生する。また上記のノイズは、回路を構成する単体トランジスタが持つフリッカ雑音や、単体トランジスタや抵抗素子が持つ熱雑音により発生する。

【0004】

前述の比較器が持つオフセット電圧の影響を低減するため、図 9 に示した比較回路は以下の構成となっている。比較器 5 と、比較器 5 の反転入力端子 N 3 と出力端子との間に接続されるスイッチ S 3 と、比較器 5 の反転入力端子 N 3 と入力端子 N 1 との間に接続される容量 3 と、比較器 5 の非反転入力端子 N 4 と比較電圧入力端子 N r e f との間に接続されるスイッチ S 4 と、比較器 5 の非反転入力端子 N 4 と接続点 N 4 1 との間に接続されるスイッチ S 1 と、入力端子 N 2 と接続点 N 4 1 との間に接続される容量 4 と、接続点 N 4 1 と比較電圧入力端子 N 0 との間に接続されるスイッチ S 2 とを有する。ここで、比較電圧入力端子 N 0 の電圧を V 0、比較電圧入力端子 N r e f の電圧を V r e f、入力端子 N 1 の電圧を V 1、入力端子 N 2 の電圧を V 2、比較器 5 の反転入力端子 N 3 の電圧を V 3、比較器 5 の非反転入力端子 N 4 の電圧を V 4、比較器 5 の出力端子の電圧を V o とする。また、比較器 5 の入力オフセット電圧を V o a とする。

【0005】

図 9 の比較回路は、図 10 に示すようにスイッチ S 1 ~ S 4 が制御されて動作する。動作の一周期は、サンプルフェーズ 1 と比較フェーズ 2 からなる。サンプルフェーズ 1 では、スイッチ S 1 がオフ、スイッチ S 2 ~ S 4 がオンする。比較フェーズ 2 では、スイッチ S 1 がオン、スイッチ S 2 ~ S 4 がオフする。また、各接続点や端子の電圧の末尾に付する 1 または 2 は、それぞれサンプルフェーズ 1 または比較フェーズ 2 に

10

20

30

40

50

おける電圧を表すものとする。

【0006】

サンプルフェーズ 1では、スイッチS1がオフ、スイッチS2がオンし、容量4に $V_{C4\ 1} = V_0 - V_{2\ 1}$ が充電される。スイッチS4がオンしているので $V_{4\ 1} = V_{ref}$ となる。比較器5は、スイッチS3がオンしているため、ボルテージフォロワ回路として動作し、入力オフセット電圧 V_{oa} を有するため $V_{o\ 1} = V_{4\ 1} + V_{oa}$ となる。また、スイッチS3がオンしているため $V_{3\ 1} = V_{o\ 1}$ であり、すなわち $V_{3\ 1} = V_{ref} + V_{oa}$ となり、容量3に $V_{C3\ 1} = V_{3\ 1} - V_{1\ 1} = V_{ref} + V_{oa} - V_{1\ 1}$ が充電される。サンプルフェーズ 1での容量3と容量4に蓄積される電荷をまとめると次のようになる。

【0007】

$$V_{C3\ 1} = V_{ref} + V_{oa} - V_{1\ 1} \dots (43)$$

$$V_{C4\ 1} = V_0 - V_{2\ 1} \dots (44)$$

比較フェーズ 2では、スイッチS2~S4がオフし、スイッチS1がオンする。容量3には式(43)で示す $V_{C3\ 1}$ が保持されているので、電圧 V_3 は次のようになる。

【0008】

$$V_{3\ 2} = V_{1\ 2} + V_{C3\ 1} \dots (45)$$

一方、容量4には式(44)で示す $V_{C4\ 1}$ が保持されているので、電圧 V_4 は次のようになる。

【0009】

$$V_{4\ 2} = V_{2\ 2} + V_{C4\ 1} \dots (46)$$

最終的に、式(45)で表される電圧 V_3 と式(46)で表される電圧 V_4 が比較器5において比較され、出力端子からハイレベルまたはローレベルが出力される。比較器5の入力オフセット電圧 V_{oa} を考慮すると、比較器5で比較される電圧は次のようになる。

【0010】

$$(V_{4\ 2} + V_{oa}) - V_{3\ 2} = \{ (V_{2\ 2} - V_{1\ 2}) - (V_{2\ 1} - V_{1\ 1}) \} - (V_{ref} - V_0) \dots (47)$$

式(47)には、比較器5の入力オフセット電圧 V_{oa} が含まれておらず、オフセット電圧が相殺されていることが示されている。従って、比較フェーズ 2で比較器5において、入力電圧成分 $\{ (V_{2\ 2} - V_{1\ 2}) - (V_{2\ 1} - V_{1\ 1}) \}$ と基準電圧成分 $(V_{ref} - V_0)$ が比較される。以上により、誤差要因となる比較器のオフセット電圧成分の影響が取り除かれ、誤差の少ない高精度な出力の比較回路を実現することができる。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2008-236737号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、自動車等に搭載される回路においては、近年、より高温での動作が求められ、また更なる高精度化が求められる傾向にある。前述したような従来の比較回路では、比較フェーズにおいて、高温時に顕著になるスイッチのオフリーク電流により容量に電荷が注入され、比較の結果に誤差を生じるという課題があった。具体的には、図9の比較回路においては、比較フェーズ 2にて、容量3にはスイッチS3のみのリーク電流が流れ込むのに対して、容量4にはスイッチS2およびS4のリーク電流が流れ込むため、比較器の入力における電圧の変動量が反転入力端子N3側と非反転入力端子N4側で異なり、比較結果に誤差を生じていた。一般的に、スイッチを構成するトランジスタのリーク電流は高温になるに従い増加するため、誤差は高温になるほど顕著になる。また、トランジ

10

20

30

40

50

スタがMOSトランジスタの場合、チャネル間のリーク電流はドレイン - ソース間の電圧差に依存するため、オフしているスイッチにおいて容量に接続されていない側の電圧により、スイッチのリーク電流の流れる向きや大きさが異なり、比較結果に誤差を生じていた。

【0013】

また、従来の比較回路では、スイッチを構成するトランジスタ素子がオンからオフに移る際に発生するノイズ成分（例えば、チャネルチャージインジェクションやクロックフィードスルー）の影響についても、各容量へのスイッチの接続が非対称であるために、スイッチのノイズ成分による比較器の入力における電圧の変動量が反転入力端子N3側と非反転入力端子N4側で異なっており、誤差発生の要因であるという課題があった。

10

【0014】

本発明はこのような点に鑑みてなされたものであり、簡便な回路構成で比較器の入力オフセット電圧の影響を取り除くと共に、スイッチのオフリーク電流やノイズ成分による誤差の影響を抑制し、高精度な比較判定結果を得ることが可能な比較回路を提供することを目的とする。

【課題を解決するための手段】

【0015】

従来のこのような問題点を解決するために、本発明の比較回路は以下のような構成とした。

【0016】

20

第一入力電圧が第一容量を介して入力される第一入力端子と、第二入力電圧が第二容量を介して入力される第二入力端子と、出力端子とを備えた比較器と、一端が第一入力端子に接続され、サンプルフェーズでオンして第一入力端子の電圧を出力端子の電圧にする第一スイッチと、一端が第二入力端子に接続され、サンプルフェーズでオンして第二入力端子の電圧を基準電圧にする第二スイッチと、比較フェーズでオンして第一スイッチの他端と第二スイッチの他端の電圧を等しくする第三スイッチを備えた比較回路。

【発明の効果】

【0017】

本発明の比較回路によれば、スイッチと容量と比較器を有効的に活用することにより、比較器において発生するオフセット成分やスイッチのオフリーク電流成分やスイッチのノイズ成分によって生じる誤差を簡便な回路構成で取り除き、広範な温度領域にわたって高精度な比較を行うことが可能となる。

30

【図面の簡単な説明】

【0018】

【図1】第1の実施形態の比較回路の回路図である。

【図2】第1の実施形態の各スイッチの動作を示す図である。

【図3】本発明の比較回路に用いる比較器の一例を示す回路図である。

【図4】本発明の比較回路に用いる比較器の他の例を示す回路図である。

【図5】第2の実施形態の比較回路の回路図である。

【図6】第2の実施形態の各スイッチの動作を示す図である。

40

【図7】第3の実施形態の比較回路の回路図である。

【図8】第4の実施形態の比較回路の回路図である。

【図9】従来の比較回路の回路図である。

【図10】従来の比較回路の各スイッチの動作を示す図である。

【発明を実施するための形態】

【0019】

本発明の比較回路は、半導体回路における高精度な比較回路として幅広く利用されうる。以下、本発明の比較回路について図面を参照して説明する。

<第1の実施形態>

図1は、第1の実施形態の比較回路の回路図である。第1の実施形態の比較回路は、比

50

較器 1 1 と、容量 C 1、C 2 と、スイッチ S 1 1、S 1 2、S 1 3、S 2 1 を備える。

【 0 0 2 0 】

比較器 1 1 は、4 つの入力端子と 1 つの出力端子とを有し、詳しくは、第一差動入力対の第一入力端子 N 3 と、第一差動入力対の第二入力端子 N 4 と、第二差動入力対の第一入力端子 N 5 と、第二差動入力対の第二入力端子 N 6 と出力端子 O U T を有する。容量 C 1 は、2 つの端子を有し、一方の端子は比較器 1 1 の第一差動入力対の第一入力端子 N 3 に接続され、他方の端子は入力端子 N 1 に接続される。容量 C 2 は、2 つの端子を有し、一方の端子は比較器 1 1 の第一差動入力対の第二入力端子 N 4 に接続され、他方の端子は入力端子 N 2 に接続される。スイッチ S 1 1 は、2 つの端子を有し、一方の端子は比較器 1 1 の第一差動入力対の第一入力端子 N 3 に接続され、他方の端子は比較器 1 1 の出力端子 O U T に接続される。スイッチ S 1 2 は、2 つの端子を有し、一方の端子は比較器 1 1 の第一差動入力対の第二入力端子 N 4 に接続される。スイッチ S 1 3 は、2 つの端子を有し、一方の端子は基準電圧入力端子 N r e f 0 に接続される。スイッチ S 2 1 は、2 つの端子を有し、一方の端子は比較器 1 1 の出力端子 O U T に接続される。スイッチ S 1 2、S 1 3、S 2 1 のそれぞれの他方の端子は共通に接続される。スイッチ S 1 1、S 1 2、S 1 3、S 2 1 は、スイッチ制御信号（回路図には図示しない）により、オンまたはオフが制御される。比較器 1 1 の第二差動入力対の第一入力端子 N 5 には第一基準電圧入力端子 N r e f 1 が接続され、比較器 1 1 の第二差動入力対の第二入力端子 N 6 には第二基準電圧入力端子 N r e f 2 が接続される。

10

【 0 0 2 1 】

次に、第 1 の実施形態の比較回路の動作を説明する。

まず、比較器 1 1 の動作を説明する。比較器 1 1 は、一对の入力電圧の差を増幅した値と、もう一对の入力電圧の差を増幅した値と、の和を出力する機能を有する。この増幅機能を概念的に表した図を図 3 に示す。

20

【 0 0 2 2 】

図 3 は、比較器 1 1 の機能を表す概念図である。

図 3 の比較器 1 1 は、差動増幅器 1 1 1、1 1 2 と加算器 1 1 3 を有し、以下のように接続されて構成される。比較器 1 1 の第一差動入力対の第一入力端子 N 3 が差動増幅器 1 1 1 の反転入力端子に接続され、第一差動入力対の第二入力端子 N 4 が差動増幅器 1 1 1 の非反転入力端子に接続され、第二差動入力対の第一入力端子 N 5 が差動増幅器 1 1 2 の反転入力端子に接続され、第二差動入力対の第二入力端子 N 6 が差動増幅器 1 1 2 の非反転入力端子に接続される。差動増幅器 1 1 1 の出力と差動増幅器 1 1 2 の出力は加算器 1 1 3 の入力にそれぞれ接続され、加算器 1 1 3 の出力が比較器 1 1 の出力端子 O U T に接続される。

30

【 0 0 2 3 】

比較器 1 1 は以上のように接続されており、次のように動作する。

差動増幅器 1 1 1 は 2 つの入力端子 N 3 と N 4 の電圧の差を増幅して加算器 1 1 3 に入力し、差動増幅器 1 1 2 は 2 つの入力端子 N 5 と N 6 の電圧の差を増幅して加算器 1 1 3 に入力する。加算器 1 1 3 は差動増幅器 1 1 1 と差動増幅器 1 1 2 の出力の和を出力する。この増幅機能を式で表すと、

$$V_o = A_1 \times (V_4 - V_3) + A_2 \times (V_6 - V_5) \cdots (1)$$

となる。ここに A 1 および A 2 はそれぞれ差動増幅器 1 1 1 および 1 1 2 の増幅率である。また、各端子 N 3 ~ N 6 および O U T の電圧をそれぞれ V 3 ~ V 6 および V o とした。

40

【 0 0 2 4 】

図 1 の比較回路では、図 3 に示した比較器 1 1 の第一差動入力対の第一入力端子 N 3 と出力端子 O U T はスイッチ S 1 1 の両端に接続されている。スイッチ S 1 1 がオンしている状態では、V o と V 3 は概等しい電圧になるから、V o は式 (1) から次のように表される。

$$V_o = A_1 / (1 + A_1) \times V_4 + A_2 / (1 + A_1) \times (V_6 - V_5) \cdots (2)$$

説明の便宜上、増幅率 A 1 および A 2 は十分に大きいとすると、次式を得る。

50

【 0 0 2 5 】

$$V_o = V_4 + (A_2 / A_1) \times (V_6 - V_5) \cdots (3)$$

すなわちスイッチ S 1 1 がオンしている状態では、比較器 1 1 の出力端子 O U T と、第一差動入力対の第一入力端子 N 3 すなわち差動比較器 1 1 1 の反転入力端子が電氣的に接続されており、フィードバックループが形成され、出力電圧 V o は入力電圧 V 4 に追従するだけでなく、入力 V 6 と V 5 の電圧の差分を増幅率 A 2 と A 1 の比で増幅した電圧との和をも出力する、一種のボルテージフォロワのような動作をする。

【 0 0 2 6 】

一方、スイッチ S 1 1 がオフしている状態では比較器 1 1 にフィードバックループが形成されないことから、比較器 1 1 は比較器 (コンパレータ) そのものとして動作する。式 (1) から

$$V_o = A_1 \times \{ (V_4 - V_3) + (A_2 / A_1) \times (V_6 - V_5) \} \cdots (4)$$

であるから、すなわち比較器 1 1 は、スイッチ S 1 1 がオフしている状態では、V 4 と V 3 の差分の電圧と、V 6 と V 5 の差分を増幅率 A 2 と A 1 の比で増幅した電圧と、の和の電圧を、十分に大きな増幅率 A 1 で増幅して、出力端子 O U T からハイレベル信号 (一般に正の電源電圧レベル) またはローレベル信号 (一般に負の電源電圧レベル、または G N D レベル) を出力する比較動作を行う。

【 0 0 2 7 】

ここで、比較器 1 1 の入力オフセット電圧を第一差動入力対の第二入力端子 N 4 において V o a 1、第二差動入力対の第二入力端子 N 6 において V o a 2 とすると、入力オフセット電圧を考慮した比較器 1 1 の動作を表す式は、スイッチ S 1 1 がオンしているときとオフしているときで、それぞれ式 (3)、式 (4) から次のようになる。

【 0 0 2 8 】

スイッチ S 1 1 がオンしているとき

$$V_o = (V_4 + V_{oa1}) + (A_2 / A_1) \times (V_6 + V_{oa2} - V_5) \cdots (5)$$

スイッチ S 1 1 がオフしているとき

$$V_o = A_1 \times \{ (V_4 + V_{oa1} - V_3) + (A_2 / A_1) \times (V_6 + V_{oa2} - V_5) \} \cdots (6)$$

以上が図 3 に示した比較器 1 1 の動作説明である。

【 0 0 2 9 】

図 2 は各スイッチの動作を示す図である。

比較動作の一周期は、サンプルフェーズ 1 と比較フェーズ 2 の 2 つのフェーズからなる。スイッチ S 1 1、S 1 2、S 1 3、S 2 1 は、図 2 のスイッチ制御信号により制御される。スイッチ S 1 1、S 1 2、S 1 3 は、サンプルフェーズ 1 でオンし、比較フェーズ 2 でオフする。また、スイッチ S 2 1 は、サンプルフェーズ 1 でオフし、比較フェーズ 2 でオンする。

【 0 0 3 0 】

図 1 の比較回路の各フェーズでの動作の概略を説明する。サンプルフェーズ 1 は、入力端子 N 1 の電圧 V 1、入力端子 N 2 の電圧 V 2、第一基準電圧入力端子 N r e f 1 の電圧 V r e f 1、第二基準電圧入力端子 N r e f 2 の電圧 V r e f 2 と、比較器 1 1 のオフセット電圧とを容量 C 1 および C 2 に記憶するフェーズである。比較フェーズ 2 は、サンプルフェーズ 1 における比較器 1 1 のオフセット成分を相殺しつつ、入力端子 N 1 と入力端子 N 2 の間の電圧差と、第一基準電圧 V r e f 1 と第二基準電圧 V r e f 2 の間の電圧差の比較を行うフェーズである。

【 0 0 3 1 】

以下に、サンプルフェーズ 1 と比較フェーズ 2 について、詳細に説明する。

サンプルフェーズ 1 では、スイッチ S 1 1、S 1 2、S 1 3 はオンしており、スイッチ S 2 1 はオフする。従って、比較器 1 1 の各入力端子には、次の電圧が供給される。比較器 1 1 の第一差動入力対の第一入力端子 N 3 には出力端子 O U T の電圧 V o が与えられ、第一差動入力対の第二入力端子 N 4 には基準電圧 V r e f 0 が与えられ、第二差動入力

10

20

30

40

50

対の第一入力端子N5には第一基準電圧Vref1が与えられ、第二差動入力対の第二入力端子N6には第二基準電圧Vref2が与えられる。スイッチS11がオンしているとき、比較器11は式(5)で示したように動作するから、第一差動入力対の第一入力端子N3の電圧は次のように表される。

【0032】

$$V_{3-1} = V_{ref0-1} + V_{oa1-1} + (A_2/A_1) \times (V_{ref2-1} + V_{oa2-1} - V_{ref1-1}) \cdots (7)$$

各電圧の末尾の1は、サンプルフェーズ1における電圧であることを示す。これ以降では、他の電圧、また比較フェーズ2についても同様に表記する。

【0033】

容量C1には電圧V3と電圧V1の差分VC1-1が充電される

$$V_{C1-1} = V_{3-1} - V_{1-1} \cdots (8)$$

上式に式(7)を代入すると、次式を得る。

【0034】

$$V_{C1-1} = -V_{1-1} + V_{ref0-1} + V_{oa1-1} + (A_2/A_1) \times (V_{ref2-1} + V_{oa2-1} - V_{ref1-1}) \cdots (9)$$

一方、容量C2には電圧V4と電圧V2の差分VC2-1が充電される

$$V_{C2-1} = V_{4-1} - V_{2-1} \cdots (10)$$

第一差動入力対の第二入力端子N4には基準電圧Vref0が与えられているから、式(10)から次式を得る。

【0035】

$$V_{C2-1} = V_{ref0-1} - V_{2-1} \cdots (11)$$

一方、比較フェーズ2では、スイッチS11、S12、S13はオフしており、スイッチS21はオンする。スイッチS11がオフし、容量C1にはVC1-1が充電されているので、電圧V3は電圧V1とVC1-1で定まり、次式で表される。

$$V_{3-2} = V_{1-2} + V_{C1-1} \cdots (12)$$

上式に容量C1に充電されたVC1-1を表す式(9)を代入すると次のようになる。

【0036】

$$V_{3-2} = V_{1-2} - V_{1-1} + V_{ref0-1} + V_{oa1-1} + (A_2/A_1) \times (V_{ref2-1} + V_{oa2-1} - V_{ref1-1}) \cdots (13)$$

また、スイッチS12がオフし、容量C2にはVC2-1が充電されているので、電圧V4は電圧V2とVC2-1で定まり、次式で表される。

$$V_{4-2} = V_{2-2} + V_{C2-1} \cdots (14)$$

上式に容量C2に充電されたVC2-1を表す式(11)を代入すると次のようになる。

【0037】

$$V_{4-2} = V_{2-2} - V_{2-1} + V_{ref0-1} \cdots (15)$$

また、スイッチS11がオフしているとき、比較器11は式(6)で示したように動作するから、比較器11の出力端子OUTの電圧Voは次のように表される。

【0038】

$$V_o-2 = A_1 \times \{ (V_{4-2} + V_{oa1-2} - V_{3-2}) + (A_2/A_1) \times (V_{ref2-2} + V_{oa2-2} - V_{ref1-2}) \} \cdots (16)$$

上式に式(13)で表されるV3-2、式(15)で表されるV4-2を代入すると次式を得る。

【0039】

$$V_o-2 = A_1 \times [\{ (V_{2-2} - V_{1-2}) - (V_{2-1} - V_{1-1}) + (V_{oa1-2} - V_{oa1-1}) \} - (A_2/A_1) \times \{ (V_{ref2-1} - V_{ref1-1}) - (V_{ref2-2} - V_{ref1-2}) - (V_{oa2-2} - V_{oa2-1}) \}] \cdots (17)$$

式(17)を分かりやすくするために、入力端子N1および入力端子N2から供給され

10

20

30

40

50

る電圧成分を V_{in} とおき、第一基準電圧入力端子 N_{ref1} および第二基準電圧入力端子 N_{ref2} から供給される電圧成分を V_{ref} とおくと、式(17)は次のように表せる。

【0040】

$$V_{o2} = A1 \times [\{ V_{in} + (V_{oa12} - V_{oa11}) \} - (A2/A1) \times \{ V_{ref} - (V_{oa22} - V_{oa21}) \}] \dots (18)$$

ここに、

$$V_{in} = (V22 - V12) - (V21 - V11) \dots (19)$$

$$V_{ref} = (V_{ref21} - V_{ref11}) - (V_{ref22} - V_{ref12}) \dots (20)$$

である。

【0041】

ここで、比較器11の入力オフセット電圧 V_{oa1} 、 V_{oa2} は、厳密には経時変化や温度変化(温度ドリフト)を示すため、一定の値ではないが、サンプルフェーズ1および比較フェーズ2の時間が、入力オフセット電圧の経時変化や温度変化に対して十分に短い時間であれば、入力オフセット電圧の値は、サンプルフェーズ1と比較フェーズ2で概等しい値であるとみなす事ができる。従って、式(18)において、 $V_{oa12} - V_{oa11}$ 、 $V_{oa22} - V_{oa21}$ は、ほぼゼロの値となり、比較フェーズ2の比較器11における比較動作時に、比較器11のオフセット成分は取り除かれる。よって式(18)は次のように表せる。

【0042】

$$V_{o2} = A1 \times \{ V_{in} - (A2/A1) \times V_{ref} \} \dots (21)$$

従って、入力端子N1および入力端子N2から供給される電圧成分 V_{in} と、第一基準電圧入力端子 N_{ref1} および第二基準電圧入力端子 N_{ref2} から供給される電圧成分 V_{ref} を比較した結果が、十分に大きな増幅率A1で増幅され、最終的に比較器11の出力端子OUTからハイレベル信号またはローレベル信号として出力されることになる。例として、 V_{in} を決める入力端子N1および入力端子N2に印加する電圧を挙げると、例えば、 $V12 = V21 = V1'$ 、 $V11 = V22 = V2'$ となるように外部から電圧を入力した場合には、式(19)から $V_{in} = 2 \times (V2' - V1')$ となり、 $V1'$ と $V2'$ の差を2倍した電圧が入力電圧成分として比較器11に入力されることになる。また一方で、 V_{ref} を決める第一基準電圧 V_{ref1} および第二基準電圧 V_{ref2} は、例えば、 $V_{ref21} = V_{ref11} = V_{ref22} = V_{ref2}'$ 、 $V_{ref12} = V_{ref1}'$ となるように外部から基準電圧を印加した場合には、式(20)から $V_{ref} = V_{ref1}' - V_{ref2}'$ となり、 V_{ref1}' と V_{ref2}' の差の電圧が比較器11に基準電圧成分として入力されることになる。間便のため、 $A1 = A2$ となるように差動増幅器111、112を設計したとすると、この例の場合には式(21)は、

$$V_{o2} = A1 \times \{ 2 \times (V2' - V1') - (V_{ref1}' - V_{ref2}') \} \dots (22)$$

となり、入力電圧成分 $2 \times (V2' - V1')$ と基準電圧成分 $(V_{ref1}' - V_{ref2}')$ の比較結果が得られることになる。

【0043】

ここで、式(17)に注目すると、この式には、 V_{ref0} の項は含まれていない。これは、容量 $C1$ に充電されている電圧 V_{C11} と、容量 $C2$ に充電されている電圧 V_{C21} の両方に V_{ref01} の項が含まれており、 V_{o2} を導出する過程において V_{ref0} の項が相殺されたためである。このことは、本実施形態の比較回路では、基準電圧入力端子 N_{ref0} に与えられる電圧が如何なる値でも、比較結果は V_{ref0} の電圧によらないことを示している。実際の回路においては、比較器11に入力可能な電圧の範囲には同相入力電圧範囲という制約があり、この電圧範囲を逸脱した場合には、高精度な比較を正常に行えない可能性がある。比較対象である入力端子N1および入力端子N

10

20

30

40

50

2の電圧が、比較器11の同相入力電圧範囲外の電圧であったとしても、本実施形態の比較回路磁気センサ装置では、基準電圧入力端子Nref0の電圧を比較器11の同相入力電圧範囲内になるように選択することで、高精度な比較が可能であるという利点を有する。別の表現をすると、比較器11に要求される同相入力電圧範囲を著しく緩和できるという利点を有しているといえる。

【0044】

次に、スイッチS13とS21による効果を説明する。比較フェーズ2では、スイッチS13がオフし、スイッチS21がオンすることで、スイッチS12の他方の端子の電圧を比較器11の出力端子OUTの電圧Voに等しくするように動作させている。従って、オフ状態にあるスイッチS11とS12のそれぞれの他方の端子の電圧は比較器11の出力端子OUTの電圧Voに等しくなる。

10

【0045】

仮に、スイッチS13が比較フェーズ2でサンプルフェーズ1と同じくオンのままであり、スイッチS21が比較フェーズ2でサンプルフェーズ1と同じくオフのままである場合、言い換えるとスイッチS13とS21が存在せず、スイッチS12の他方の端子が基準電圧入力端子Nref0に直接接続されている場合、を考える。この場合には、比較フェーズ2では、スイッチS11の他方の電圧は比較器11の出力端子OUTの電圧Voに等しくなり、比較結果に応じてハイレベル信号（一般に正の電源電圧レベル）またはローレベル信号（一般に負の電源電圧レベル、またはGNDレベル）の電圧になる。一方、スイッチS12の他方の電圧は基準電圧入力端子Nref0の電圧に等しくなる。前述のとおり、基準電圧入力端子Nref0の電圧は、比較器11の同相入力電圧範囲内になるように選択することが好ましく、一般的には正の電源電圧レベルと負の電源電圧レベル（またはGNDレベル）の間の電圧、例としては、中間の電圧に設定される。従って、比較フェーズ2では、スイッチS11の他方の端子の電圧とスイッチS21の他方の端子の電圧は、非常に差の大きい電圧となる。一方、スイッチS11とS12の一方の端子の電圧は、それぞれ式(13)および式(15)で表される電圧であり、必ずしも等しい電圧ではないが、いずれも基準電圧入力端子Nref0のサンプルフェーズ1における電圧を基準とした電圧となり、特に比較器11の比較判定結果が切り替わる境界条件近傍において、概ね近い電圧となる（少なくとも、片方が正または負の電源電圧になり、もう片方が正と負の電源電圧の中間電圧となるほどの電圧差は生じない）。以上から、オフ状態にあるスイッチS11の両端子間の電圧差と、スイッチS12の両端子間の電圧差は大きく異なることになる。オフ状態のスイッチの理想的な特性としては、両端子間の電圧差によらず端子間に電流が流れないことが挙げられるが、実際の回路においては、スイッチの端子間にはリーク電流が流れ、また両端子間の電圧差によりリーク電流が変化する。このためにリーク電流を低減させるスイッチ回路の構成が多々挙げられているが、リーク電流はゼロにはならず有限の値をとる。スイッチS12においては、一方の端子の電圧は式(15)で表されるVref0-1を基準とした電圧であり、他方の端子の電圧はVref0-1の電圧であるため、リーク電流が流れるものの、比較的小さいリーク電流となる。スイッチS11においては、一方の端子の電圧は式(13)で表されるVref0-1を基準とした電圧であり、他方の端子の電圧は比較器11の出力端子OUTの電圧Voに等しく、ハイレベル信号（一般に正の電源電圧レベル）またはローレベル信号（一般に負の電源電圧レベル、またはGNDレベル）の電圧であるため、スイッチS12のリーク電流よりも大きい電流リーク電流が流れることになる。従って、容量C1と容量C2に流れ込むリーク電流が異なり、第一差動入力対の第一入力端子N3の電圧の変動量と、第一差動入力対の第二入力端子N4の電圧の変動量が異なり、結果として比較結果に誤差を生じる要因となる。一般に、リーク電流は高温であるほど増加する傾向にあるため、高温になるほど比較回路の誤差は増大する。

20

30

40

【0046】

上述した仮の場合に対して、本実施形態においては、比較フェーズ2では、スイッチS13がオフし、スイッチS21がオンすることで、スイッチS12の他方の端子の電圧

50

を比較器 11 の出力端子 O U T の電圧 V_o に等しくするように制御しているため、スイッチ S 11 の両端子間の電圧差と、スイッチ S 12 の両端子間の電圧差と、の差が小さくなるように改善され、リーク電流の差が小さくなり、容量 C 1 と容量 C 2 に流れ込むリーク電流の差を小さくするよう改善され、結果として比較結果に生じる誤差を小さくすることが可能となる。従って、スイッチ S 13 と S 21 により、スイッチのリーク電流によって発生する誤差の影響を抑制し、高精度な比較判定結果を得ることが可能となる。

【 0 0 4 7 】

また、スイッチの非理想成分としては、上述のリーク電流の他に、スイッチを構成するトランジスタ素子がオンからオフに遷移する際に発生するノイズ成分、例えば、チャネルチャージインジェクションやクロックフィードスルーが挙げられる。本実施形態において、容量 C 1 の一方の端子と比較器 11 の第一差動入力対の第一入力端子 N 3 の接続点、容量 C 2 の一方の端子と比較器 11 の第一差動入力対の第二入力端子 N 4 の接続点、にそれぞれ対称となるようにスイッチ S 11 , S 12 を接続しているため、スイッチのノイズ成分によって発生する電荷は各接続点にほぼ等しく注入され、第一差動入力対の第一入力端子 N 3 の電圧と第一差動入力対の第二入力端子 N 4 の電圧はそれぞれ変動するものの、その変動量はほぼ等しくなるように動作する。従って、スイッチがオン状態からオフ状態に遷移する際に発生するノイズ成分による誤差の影響を抑制し、高精度な比較判定結果を得ることが可能となる。

【 0 0 4 8 】

ここで、図 1 の磁気センサ装置を構成する要素である比較器 11 の回路構成の一例について示しておく。図 3 の概念図で示した比較器 11 の機能は、さらに具体的には、例えば図 4 に示すような回路構成で実現することができる。

【 0 0 4 9 】

図 4 は、比較器 11 の回路構成の一例である。

比較器 11 は、定電流回路 I 1 と、N M O S トランジスタ M 1 3、M 1 4 A、M 1 4 B、M 1 5 A、M 1 6 A、M 1 5 B、M 1 6 B と、P M O S トランジスタ M 1 1、M 1 2 を有し、次のように接続されて構成される。定電流回路 I 1 の一方は電源電圧端子 V D D に接続され、もう一方は N M O S トランジスタ M 1 3 のドレインおよびゲートに接続される。この接続点を N b とする。N b は N M O S トランジスタ M 1 4 A のゲートと N M O S トランジスタ M 1 4 B のゲートに接続される。N M O S トランジスタ M 1 3、M 1 4 A、M 1 4 B のソースはグランド端子 V S S に接続される。N M O S トランジスタ M 1 5 A と M 1 6 A のソースは M 1 4 A のドレインに接続され、N M O S トランジスタ M 1 5 B と M 1 6 B のソースは M 1 4 B のドレインに接続される。N M O S トランジスタ M 1 5 A と M 1 5 B のドレインは P M O S トランジスタ M 1 1 のドレインに接続される。この接続点を N a とする。N M O S トランジスタ M 1 6 A と M 1 6 B のドレインは P M O S トランジスタ M 1 2 のドレインに接続される。この接続点は、比較器 11 の出力端子 O U T に接続される。P M O S トランジスタ M 1 1 と M 1 2 のゲートは接続点 N a に接続され、ソースは電源電圧端子 V D D に接続される。N M O S トランジスタ M 1 5 A、M 1 6 A のゲートは、それぞれ第一差動入力対の第二入力端子 N 4、第一入力端子 N 3 に接続され、N M O S トランジスタ M 1 5 B、M 1 6 B のゲートは、それぞれ第二差動入力対の第二入力端子 N 6、第一入力端子 N 5 に接続される。

【 0 0 5 0 】

比較器 11 は以上のように接続されており、次のように動作する。

定電流回路 I 1 は、定電流を発生し N M O S トランジスタ M 1 3 に供給する。N M O S トランジスタ M 1 3、M 1 4 A、M 1 4 B はカレントミラー回路を構成しており、N M O S トランジスタ M 1 4 A、M 1 4 B のドレイン ソース間には、M 1 3 のドレイン ソース間に流れる電流に基づいた電流が流れる。N M O S トランジスタ M 1 4 A、M 1 5 A、M 1 6 A、P M O S トランジスタ M 1 1、M 1 2 からなる 5 つのトランジスタは、差動増幅器を構成しており、第一差動入力対を構成する N M O S トランジスタ M 1 5 A、M 1 6 A のゲート電圧の差、すなわち、第一差動入力対の第二入力端子 N 4 と第一差動入力対の

10

20

30

40

50

第一入力端子N3の電圧差を増幅して、出力端子OUTに出力するように動作する。この増幅率をA1とする。ここで、カレントミラー回路構成および差動増幅器構成の動作については、CMOSアナログ回路の文献等にて詳細に記載されており、ここでは詳細な説明は割愛する。また、NMOSトランジスタM14B、M15B、M16B、PMOSトランジスタM11、M12からなる5つのトランジスタも、差動増幅器を構成しており、第二差動入力対を構成するNMOSトランジスタM15B、M16Bのゲート電圧の差、すなわち、第二差動入力対の第二入力端子N6と第二差動入力対の第一入力端子N5の電圧差を増幅して、出力端子OUTに出力するように動作する。この増幅率をA2とする。また、第一差動入力対を構成するNMOSトランジスタM15Aのドレインと第二差動入力対を構成するNMOSトランジスタM15Bのドレインが接続点NaにてPMOSトランジスタM11のドレインに接続され、第一差動入力対を構成するNMOSトランジスタM16Aのドレインと第二差動入力対を構成するNMOSトランジスタM16Bのドレインが出力端子OUTにてPMOSトランジスタM12のドレインに接続されていることにより、この接続点Naおよび出力端子OUTにて、第一差動入力対と第二差動入力対の各差動入力対で増幅された電圧が加算されるように動作する。これらの動作を式で表すと、

$$V_o = A_1 \times (V_4 - V_3) + A_2 \times (V_6 - V_5) \cdots (23)$$

となる。すなわち、式(1)と同等の動作を行う。

【0051】

以上により、第1の実施形態の比較回路の動作を説明し、簡便な回路構成で比較器の入力オフセット電圧の影響を取り除くと共に、スイッチのオフリーク電流やノイズ成分による誤差の影響を抑制し、高精度な比較判定結果を得ることが可能であることを示した。

【0052】

本説明においては、比較器11についての具体的な回路構成およびスイッチ制御のタイミングチャートを示したが、本説明内で記載した動作を行う構成であれば、必ずしもこの構成に制限されるものではない。例えば、図2では、サンプルフェーズ1から比較フェーズ2への遷移時、または逆の遷移時にスイッチのオンまたはオフが切り替わるタイミングが同時になるように記載しているが、スイッチS11がオフしてからスイッチS12をオフし、さらにその後S13をオフ、S21をオンするようにタイミングをずらして制御しても良い。比較器11の過渡応答特性が良い場合や、比較器11の第一差動入力対の第一入力端子N3と第一差動入力対の第二入力端子N4の間の寄生容量が無視できない大きさであるなどの場合では、スイッチS12をオフした際に生じるスイッチングノイズが第一差動入力対の第二入力端子N4から第一差動入力対の第一入力端子N3に伝播し、容量C1に充電する電圧に無視できない誤差を発生させる場合がある。このような場合には、スイッチS11がオフするタイミングに対してスイッチS12がオフするタイミングを遅らせると、より好適である。

【0053】

また本説明においては、入力端子N1と入力端子N2に印加される入力電圧の一例、および、第一基準電圧入力端子Nref1と第二基準電圧入力端子Nref2に印加する電圧の一例を挙げたが、必ずしも、この例に制限されるものではない。例えば、従来技術に示されるように、センサ素子に印加される物理量の強度に応じて論理出力を行う信号検出回路に本実施形態の比較回路を適用する場合、入力電圧成分の例は次のようになる。

【0054】

$$V_{11} = V_{cm1} + V_{sig1} + V_{off1}$$

$$V_{21} = V_{cm1} - V_{sig1} - V_{off1}$$

$$V_{12} = V_{cm2} - V_{sig2} + V_{off2}$$

$$V_{22} = V_{cm2} + V_{sig2} - V_{off2}$$

ここで、 V_{cm} はセンサ素子の信号電圧の同相電圧成分、 V_{sig} はセンサ素子の信号電圧成分、 V_{off} はセンサ素子のオフセット電圧成分(誤差要因)である。以上の各入力電圧を式(19)に代入すると、

$$V_{in} = 2 \times (V_{sig2} + V_{sig1}) - 2 \times (V_{off2} - V_{off1})$$

・・・(24)

となる。センサ素子のオフセット電圧成分はサンプルフェーズ 1 と比較フェーズ 2 で概等しい値を示すので相殺される。従って、センサ素子の信号電圧成分のみが入力電圧成分として比較器 1 1 に入力されることになる。このような入力電圧成分の場合においても、本発明の趣旨である、比較器の入力オフセット電圧の影響を取り除くと共に、スイッチのオフリーク電流やノイズ成分による誤差の影響を抑制し、高精度な比較判定結果を得るという点から逸脱するものではない。

【0055】

<第2の実施形態>

図5は、第2の実施形態の比較回路の回路図である。図1に示した第1の実施形態との違いは、スイッチS13とS21を削除し、スイッチS14とS22を追加した点である。追加した要素は次のように構成され接続される。また削除した要素により次の接続が第1の実施形態と異なる。

【0056】

スイッチS12の他方の端子は、基準電圧入力端子Nref0に接続される。スイッチS14は、2つの端子を有し、一方の端子は比較器11の出力端子OUTに接続され、他方の端子はスイッチS11の他方の端子に接続される。スイッチS22は、2つの端子を有し、一方の端子はスイッチS11の他方の端子に接続され、他方の端子はスイッチS12の他方の端子に接続される。この他の接続および構成については、第1の実施形態と同じである。

【0057】

次に、第2の実施形態の比較回路の動作を説明する。

スイッチS14、S22は、スイッチS11、S12と同様にスイッチ制御信号(回路図には図示しない)により、オンまたはオフが制御される。

【0058】

図6は、第2の実施形態の比較回路における各スイッチの動作を示す図である。スイッチS11、S12、S14は、サンプルフェーズ1でオンし、比較フェーズ2でオフするように制御される。スイッチS22は、サンプルフェーズ1でオフし、比較フェーズ2でオンするように制御される。

【0059】

サンプルフェーズ1では、スイッチS11、S12、S14はオンしており、スイッチS22はオフする。従って、比較器11の各入力端子には、次の電圧が供給される。比較器11の第一差動入力対の第一入力端子N3には出力端子OUTの電圧Voが与えられ、第一差動入力対の第二入力端子N4には基準電圧入力端子Nref0の電圧が与えられ、第二差動入力対の第一入力端子N5には第一基準電圧入力端子Nref1の電圧が与えられ、第二差動入力対の第二入力端子N6には第二基準電圧入力端子Nref2の電圧が与えられる。すなわち、第1の実施形態の比較回路と同様であるから、動作についても第1の実施形態の比較回路と同様になる。

【0060】

比較フェーズ2では、スイッチS11、S12、S14はオフしており、スイッチS22はオンする。スイッチS11とS12がオフしているので、電圧V3は電圧V1とVC11で定まり、また、電圧V4は電圧V2とVC21で定まる。すなわち、第1の実施形態の比較回路と同様であるから、動作についても第1の実施形態の比較回路と同様になる。

【0061】

比較フェーズ2ではスイッチS14がオフし、スイッチS22がオンしているため、スイッチS11とS12の他方の端子の電圧は、基準電圧入力端子Nref0の電圧に等しくなる。第1の実施形態の比較回路の場合には、スイッチS11とS12の他方の端子の電圧は、比較器11の出力端子OUTの電圧Voと等しいので、この点が第1の実施形態と異なる。本実施形態においては、比較フェーズ2では、スイッチS14がオフし、

10

20

30

40

50

スイッチS22がオンすることで、スイッチS12の一方の端子の電圧は式(15)で表される V_{ref0-1} を基準とした電圧となり、他方の端子の電圧は V_{ref0-1} の電圧となるため、リーク電流が流れるものの、比較的小さいリーク電流となる。スイッチS11については、一方の端子の電圧は式(13)で表される V_{ref0-1} を基準とした電圧となり、他方の端子の電圧は V_{ref0-1} の電圧となるため、スイッチS12と同様にリーク電流が流れるものの、比較的小さいリーク電流となる。従って、スイッチS11の両端子間の電圧差と、スイッチS12の両端子間の電圧差と、の差が小さくなるように改善され、第1の実施形態の比較回路の場合と同様に、結果として比較判定結果に生じる誤差を小さくすることが可能となる。従って、スイッチS14とS22により、スイッチのリーク電流によって発生する誤差の影響を抑制し高精度な比較判定結果を得ることが可能となる。

10

【0062】

また、スイッチの非理想成分としては、上述のリーク電流の他に、スイッチを構成するトランジスタ素子がオンからオフに遷移する際に発生するノイズ成分、例えば、チャネルチャージインジェクションやクロックフィードスルーが挙げられる。本実施形態においては、容量C1の一方の端子と比較器11の第一差動入力対の第一入力端子N3の接続点、容量C2の一方の端子と比較器11の第一差動入力対の第二入力端子N4の接続点、にそれぞれ対称となるようにスイッチS11, S12を接続しているため、スイッチのノイズ成分によって発生する電荷は各接続点にほぼ等しく注入され、第一差動入力対の第一入力端子N3の電圧と第一差動入力対の第二入力端子N4の電圧はそれぞれ変動するものの、その変動量はほぼ等しくなるように動作する。従って、スイッチがオン状態からオフ状態に遷移する際に発生するノイズ成分による誤差の影響を抑制し高精度な比較判定結果を得ることが可能となる。また、スイッチがオン状態からオフ状態に遷移する際に発生するノイズ成分による誤差の影響を抑制し高精度な比較判定結果を得ることが可能となる点においても、第1の実施形態の場合と同様である。

20

【0063】

以上により、第2の実施形態の比較回路の動作を説明し、第1の実施形態の場合と同様に簡便な回路構成で比較器の入力オフセット電圧の影響を取り除くと共に、スイッチのオフリーク電流やノイズ成分による誤差の影響を抑制し、高精度な比較判定結果を得ることが可能であることを示した。

30

【0064】

<第3の実施形態>

図7は、第3の実施形態の比較回路の回路図である。図1に示した第1の実施形態との違いは、比較器11を比較器12で置き換えた点、比較器11の入力に接続されていた第一基準電圧入力端子 N_{ref1} と第二基準電圧入力端子 N_{ref2} を削除した点である。置き換えた要素は次のように構成され接続される。

【0065】

比較器12は、2つの入力端子と1つの出力端子とを有し、詳しくは、差動入力対の第一入力端子N3と、差動入力対の第二入力端子N4と、出力端子OUTを有する。比較器12の差動入力対の第一入力端子N3は容量C1の一方の端子に接続され、差動入力対の第二入力端子N4は容量C2の一方の端子に接続され、出力端子OUTはスイッチS11の他方の端子に接続される。この他の接続および構成については、第1の実施形態と同じである。スイッチS11、S12、S13、S21は、第1の実施形態の比較回路と同様にスイッチ制御信号(回路図には図示しない)により、オンまたはオフが制御される。

40

【0066】

次に、第3の実施形態の比較回路の動作を説明する。

まず、比較器12の動作を説明する。比較器12は、入力電圧の差を増幅した値を出力する機能を有する。この増幅機能を式で表すと、

$$V_o = A_3 \times (V_4 - V_3) \cdots (25)$$

となる。ここに A_3 は比較器12の増幅率である。

50

【 0 0 6 7 】

図7の比較回路では、差動入力対の第一入力端子N3と出力端子OUTはスイッチS11の両端に接続されている。スイッチS11がオンしている状態では、VoとV3は概等しい電圧になるから、Voは式(25)から次のように表される。

$$V_o = A_3 / (1 + A_3) \times V_4 \cdots (26)$$

説明の便宜上、増幅率A3は十分に大きいとすると、次式を得る。

【 0 0 6 8 】

$$V_o = V_4 \cdots (27)$$

すなわちスイッチS11がオンしている状態では、比較器12の出力端子OUTと、差動入力対の第一入力端子N3が電氣的に接続されており、フィードバックループが形成され、出力電圧Voは入力電圧V4に追従し、ボルテージフォロウ動作をする。

10

【 0 0 6 9 】

一方、スイッチS11がオフしている状態では比較器12にフィードバックループが形成されないことから、比較器11は比較器(コンパレータ)そのものとして動作する。このときの動作は式(24)と等しく、

$$V_o = A_3 \times (V_4 - V_3) \cdots (28)$$

であるから、すなわち比較器12は、スイッチS11がオフしている状態では、V4とV3の差分の電圧を十分に大きな増幅率A3で増幅して、出力端子OUTからハイレベル信号(一般に正の電源電圧レベル)またはローレベル信号(一般に負の電源電圧レベル、またはGNDレベル)を出力する比較動作を行う。

20

【 0 0 7 0 】

ここで、比較器12の入力オフセット電圧を差動入力対の第二入力端子N4においてVo a3とすると、入力オフセット電圧を考慮した比較器12の動作を表す式は、スイッチS11がオンしているときとオフしているときで、それぞれ式(27)、式(28)から次のようになる。

【 0 0 7 1 】

スイッチS11がオンしているとき

$$V_o = V_4 + V_{o a 3} \cdots (29)$$

スイッチS11がオフしているとき

$$V_o = A_3 \times \{ (V_4 + V_{o a 3} - V_3) \} \cdots (30)$$

30

以上が図7に示した比較器12の動作説明である。

【 0 0 7 2 】

スイッチの動作についても第1の実施形態と同様に制御され、図2の各スイッチの動作を示す図に従って動作される。各フェーズでの図7の比較回路の動作の概略を説明すると、サンプルフェーズ1は、入力端子N1、入力端子N2の各端子電圧と、比較器12のオフセット電圧とを容量C1およびC2に記憶するフェーズであり、比較フェーズ2は、サンプルフェーズ1における比較器12のオフセット成分を相殺しつつ、入力端子N1と入力端子N2の間の電圧差の比較を行うフェーズである。以下に詳細を説明する。

【 0 0 7 3 】

サンプルフェーズ1では、スイッチS11、S12、S13はオンしており、スイッチS21はオフする。従って、比較器12の差動入力対の第一入力端子N3には出力端子OUTの電圧Voが与えられ、差動入力対の第二入力端子N4には基準電圧入力端子Nref0の電圧が与えられる。スイッチS11がオンしているとき、比較器12は式(29)で示したように動作するから、差動入力対の第一入力端子N3の電圧は次のように表される。

40

【 0 0 7 4 】

$$V_3 \quad 1 = V_{r e f 0} \quad 1 + V_{o a 3} \quad 1 \cdots (31)$$

容量C1には電圧V3と電圧V1の差分VC11が充電される

$$V_{C 1} \quad 1 = V_3 \quad 1 - V_1 \quad 1 \cdots (32)$$

上式に式(31)を代入すると、次式を得る。

50

【0075】

$$V_{C1\ 1} = -V_{1\ 1} + V_{ref0\ 1} + V_{oa3\ 1} \cdots (33)$$

一方、容量 C_2 には電圧 V_4 と電圧 V_2 の差分 $V_{C2\ 1}$ が充電される

$$V_{C2\ 1} = V_4 - V_2 \cdots (34)$$

差動入力対の第二入力端子 N_4 には基準電圧入力端子 N_{ref0} の電圧が与えられているから、式 (34) から次式を得る。

【0076】

$$V_{C2\ 1} = V_{ref0\ 1} - V_2 \cdots (35)$$

一方、比較フェーズ 2 では、スイッチ S_{11} 、 S_{12} 、 S_{13} はオフしており、スイッチ S_{21} はオンする。スイッチ S_{11} がオフし、容量 C_1 には $V_{C1\ 1}$ が充電されているので、電圧 V_3 は電圧 V_1 と $V_{C1\ 1}$ で定まり、次式で表される。

【0077】

$$V_3 = V_1 + V_{C1\ 1} \cdots (36)$$

上式に容量 C_1 に充電された $V_{C1\ 1}$ を表す式 (33) を代入すると次のようになる。

$$V_3 = V_1 - V_1 + V_{ref0\ 1} + V_{oa3\ 1} \cdots (37)$$

また、スイッチ S_{12} がオフし、容量 C_2 には $V_{C2\ 1}$ が充電されているので、電圧 V_4 は電圧 V_2 と $V_{C2\ 1}$ で定まり、次式で表される。

【0078】

$$V_4 = V_2 + V_{C2\ 1} \cdots (38)$$

上式に容量 C_2 に充電された $V_{C2\ 1}$ を表す式 (35) を代入すると次のようになる。

$$V_4 = V_2 + V_{ref0\ 1} - V_2 \cdots (39)$$

また、スイッチ S_{11} がオフしているとき、比較器 12 は式 (30) で示したように動作するから、比較器 12 の出力端子 OUT の電圧 V_o は次のように表される。

【0079】

$$V_o = A_3 \times \{ (V_4 + V_{oa3} - V_3) \} \cdots (40)$$

上式に式 (37) で表される V_3 、式 (39) で表される V_4 を代入すると次式を得る。

【0080】

$$V_o = A_3 \times \{ (V_2 - V_2) - (V_1 - V_1) + (V_{oa3} - V_{oa3}) \} \cdots (41)$$

ここで、比較器 12 の入力オフセット電圧 V_{oa3} は、第 1 の実施形態と同様に、サンプルフェーズ 1 および比較フェーズ 2 の時間が、入力オフセット電圧の経時変化や温度変化に対して十分に短い時間であれば、サンプルフェーズ 1 と比較フェーズ 2 で概等しい値であるとみなす事ができる。従って、式 (41) において、 $V_{oa3} - V_{oa3}$ は、ほぼゼロの値となり、比較フェーズ 2 の比較器 12 における比較動作時に、比較器 12 のオフセット成分は取り除かれる。よって式 (41) は次のように表せる。

【0081】

$$V_o = A_3 \times \{ (V_2 - V_2) - (V_1 - V_1) \} \cdots (42)$$

【0082】

式 (42) には、 V_{ref0} の項は含まれていない。このことは、第 1 の実施形態と同様に、入力端子 N_1 および入力端子 N_2 の電圧が比較器 12 の同相入力電圧範囲外であっても、基準電圧入力端子 N_{ref0} の電圧を比較器 12 の同相入力電圧範囲内になるように選択することで、高精度な比較が可能であるという利点を有する。別の表現をすると、比較器 12 に要求される同相入力電圧範囲を著しく緩和できるという利点を有しているといえる。

【0083】

また、スイッチ S_{13} と S_{21} は、比較フェーズ 2 では、スイッチ S_{13} がオフし、

10

20

30

40

50

スイッチS 2 1がオンすることで、スイッチS 1 1およびスイッチS 1 2の他方の端子の電圧を比較器1 1の出力端子O U Tの電圧V oに等しくするように動作させている。従って、第1の実施形態と同様に、スイッチS 1 3とS 2 1により、スイッチのリーク電流によって発生する誤差の影響を抑制し高精度な比較判定結果を得ることが可能となる。

【0084】

また、スイッチS 1 1、S 1 2の非理想成分についても、第1の実施形態と同様に、スイッチがオン状態からオフ状態に遷移する際に発生するノイズ成分による誤差の影響を抑制し高精度な比較判定結果を得ることが可能となる。

【0085】

以上により、第3の実施形態の比較回路の動作を説明し、簡便な回路構成で比較器の入力オフセット電圧の影響を取り除くと共に、スイッチのオフリーク電流やノイズ成分による誤差の影響を抑制し、高精度な比較判定結果を得ることが可能であることを示した。

【0086】

<第4の実施形態>

図8は、第4の実施形態の比較回路の回路図である。図7に示した第3の実施形態との違いは、スイッチS 1 3とS 2 1を削除し、スイッチS 1 4とS 2 2を追加した点である。追加した要素は次のように構成され接続される。また削除した要素により次の接続が第3の実施形態と異なる。

【0087】

スイッチS 1 2の他方の端子は、基準電圧入力端子N r e f 0に接続される。スイッチS 1 4は、2つの端子を有し、一方の端子は比較器1 2の出力端子O U Tに接続され、他方の端子はスイッチS 1 1の他方の端子に接続される。スイッチS 2 2は、2つの端子を有し、一方の端子はスイッチS 1 1の他方の端子に接続され、他方の端子はスイッチS 1 2の他方の端子に接続される。この他の接続および構成については、第3の実施形態と同じである。

【0088】

また、本実施形態と図5に示した第2の実施形態との違いは、図7に示した第3の実施形態と図1に示した第1の実施形態との違いと同様に、比較器1 1を比較器1 2で置き換えた点、比較器1 1の入力に接続されていた第一基準電圧入力端子N r e f 1と第二基準電圧入力端子N r e f 2を削除した点である。

【0089】

次に、第4の実施形態の比較回路の動作を説明する。

スイッチS 1 4、S 2 2は、スイッチS 1 1、S 1 2と同様にスイッチ制御信号（回路図には図示しない）により、オンまたはオフが制御される。スイッチの動作については第2の実施形態と同様に制御され、図6の各スイッチの動作を示す図に従って動作する。

【0090】

サンプルフェーズ 1では、スイッチS 1 1、S 1 2、S 1 4はオンしており、スイッチS 2 2はオフする。従って、比較器1 2の各入力端子には、次の電圧が供給される。比較器1 2の差動入力対の第一入力端子N 3には出力端子O U Tの電圧V oが与えられ、差動入力対の第二入力端子N 4には基準電圧入力端子N r e f 0の電圧が与えられる。すなわち、第3の実施形態の比較回路と同様であるから、動作についても第3の実施形態の比較回路と同様になる。

【0091】

比較フェーズ 2では、スイッチS 1 1、S 1 2、S 1 4はオフしており、スイッチS 2 2はオンする。スイッチS 1 1とS 1 2がオフしているので、電圧V 3は電圧V 1とV C 1 1で定まり、また、電圧V 4は電圧V 2とV C 2 1で定まる。すなわち、第3の実施形態の比較回路と同様であるから、動作についても第3の実施形態の比較回路と同様になり、比較器1 2のオフセット成分を取り除き、比較器1 2に要求される同相入力電圧範囲を著しく緩和できるという利点を有した、高精度な比較判定結果を得ることが可能な比較回路となる。

10

20

30

40

50

【 0 0 9 2 】

また、比較フェーズ 2ではスイッチS 1 4がオフし、スイッチS 2 2がオンしている
ので、スイッチS 1 1とS 1 2の他方の端子の電圧は、基準電圧入力端子N r e f 0の電
圧に等しくなる。すなわち、第2の実施形態の比較回路と同様であるから、スイッチS 1
1とS 1 2のリーク電流による誤差の影響を抑制し、高精度な比較判定結果を得ることが
可能な比較回路となる。

【 0 0 9 3 】

以上により、第4の実施形態の比較回路の動作を説明し、第3実施形態の場合と同様に
簡便な回路構成で比較器の入力オフセット電圧の影響を取り除くと共に、スイッチのオフ
リーク電流やノイズ成分による誤差の影響を抑制し、高精度な比較判定結果を得ることが
可能であることを示した。

10

【 0 0 9 4 】

本説明においては、説明のために具体的な例を示して説明したが、必ずしもこの構成や
スイッチ制御タイミングに制限されるものではない。これは第1, 第2, 第3の実施形態
の比較回路の場合についても同様である。

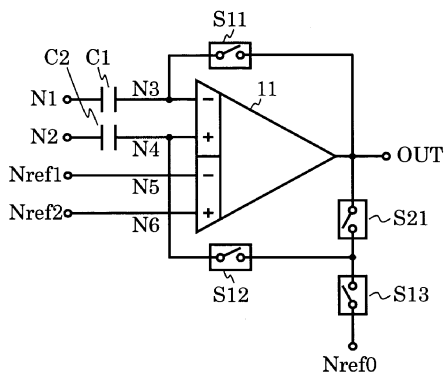
【 符号の説明 】

【 0 0 9 5 】

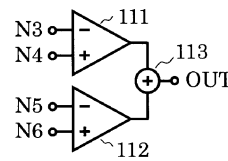
- 1 1、1 2 比較器
- 1 1 1、1 1 2 差動増幅器
- 1 1 3 加算器
- I 1 定電流回路

20

【 図 1 】

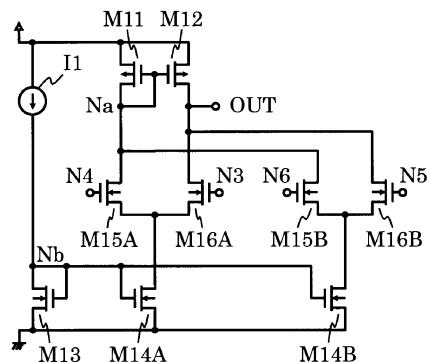
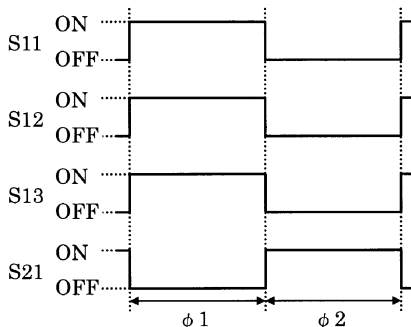


【 図 3 】

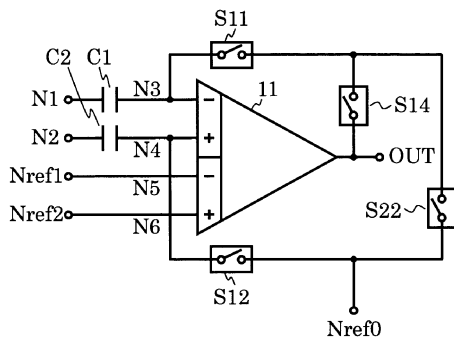


【 図 4 】

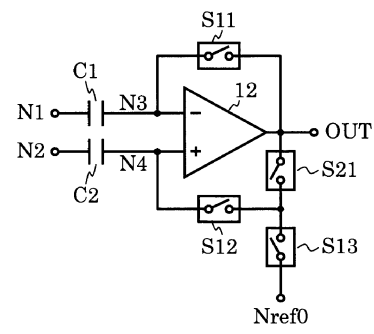
【 図 2 】



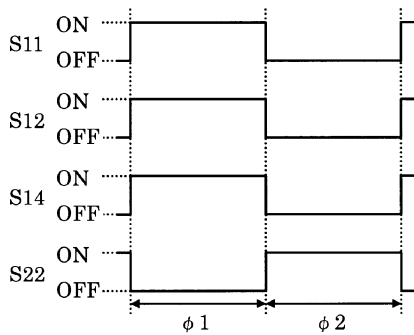
【 図 5 】



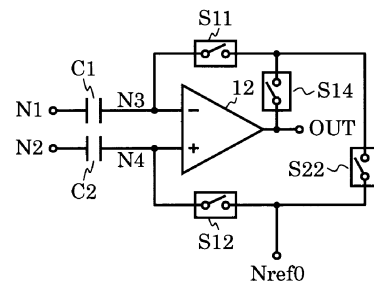
【 図 7 】



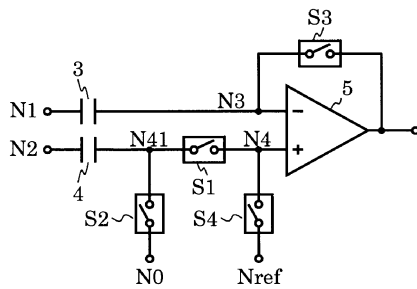
【 図 6 】



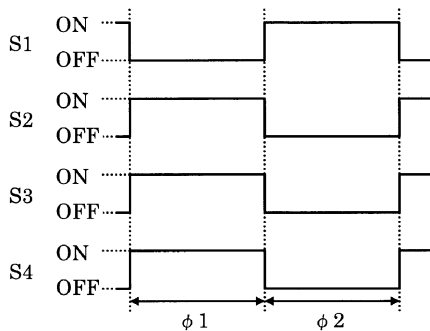
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (56)参考文献 国際公開第2013/161571(WO, A1)
特開2010-226234(JP, A)
特開2008-236737(JP, A)
国際公開第2006/085503(WO, A1)

- (58)調査した分野(Int.Cl., DB名)
H03K 5/08