

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6081600号
(P6081600)

(45) 発行日 平成29年2月15日(2017.2.15)

(24) 登録日 平成29年1月27日(2017.1.27)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 F

H O 1 L 25/04 (2014.01)

H O 1 L 23/12 E

H O 1 L 25/18 (2006.01)

H O 1 L 23/12 5 O 1 B

H O 1 L 23/00 (2006.01)

H O 1 L 25/04 Z

H O 1 L 23/00 C

請求項の数 9 (全 16 頁)

(21) 出願番号 特願2015-533073 (P2015-533073)
 (86) (22) 出願日 平成25年8月21日(2013.8.21)
 (65) 公表番号 特表2016-500198 (P2016-500198A)
 (43) 公表日 平成28年1月7日(2016.1.7)
 (86) 国際出願番号 PCT/US2013/055993
 (87) 国際公開番号 W02014/051894
 (87) 国際公開日 平成26年4月3日(2014.4.3)
 審査請求日 平成28年7月25日(2016.7.25)
 (31) 優先権主張番号 13/626,829
 (32) 優先日 平成24年9月25日(2012.9.25)
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 591025439
 ザイリンクス インコーポレイテッド
 X I L I N X I N C O R P O R A T E D
 アメリカ合衆国 カリフォルニア州 95
 124-3400 サン ホセ ロジック
 ドライブ 2100
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 エルドマン, クリストフ
 アメリカ合衆国、95124 カリフォル
 ニア州、サン・ノゼ、ロジック・ドライブ
 、2100

最終頁に続く

(54) 【発明の名称】 ノイズ減衰壁

(57) 【特許請求の範囲】

【請求項 1】

装置であって、

複数の第1のビアを有するインターポーザと、

前記インターポーザの対向する表面上にそれぞれ結合される複数の第1のインターコネクトおよび複数の第2のインターコネクトとを含み、

前記複数の第1のインターコネクトの第1の部分および前記複数の第1のインターコネクトの第2の部分は互いに間隔を置いて配置され、それらの間に分離領域を規定しており、前記装置はさらに、

前記複数の第1のインターコネクトの前記第1の部分により前記インターポーザに結合されるアナログ回路と、前記複数の第1のインターコネクトの前記第2の部分により前記インターポーザに結合されるデジタル回路と、

複数の第2のビアを有する基板と、

前記基板の対向する表面上にそれぞれ結合される複数の第3のインターコネクトおよび前記複数の第2のインターコネクトとを含み、

前記複数の第1のビアの第1の部分および前記複数の第2のビアの第1の部分は両方とも前記分離領域に存在し、前記複数の第2のインターコネクトの第1の部分により互いに結合され、

前記第1の部分の前記複数の第2のビアの各々は前記基板の前記対向する表面の各々に

10

20

延在し、前記第 1 の部分の前記複数の第 2 のビアの各々は、前記基板内で互いに結合される、装置。

【請求項 2】

前記複数の第 1 のインターコネクつの前記第 1 の部分により前記インターポーザに結合される第 1 の集積回路ダイをさらに含み、前記第 1 の集積回路ダイは、前記アナログ回路を含み、前記装置はさらに、

前記複数の第 1 のインターコネクつの前記第 2 の部分により前記インターポーザに結合される第 2 の集積回路ダイを含み、前記第 2 の集積回路ダイは、前記デジタル回路を含む、請求項 1 に記載の装置。

【請求項 3】

前記複数の第 1 のインターコネクつの前記第 1 の部分および前記第 2 の部分により前記インターポーザに結合される集積回路ダイをさらに含み、前記集積回路ダイは、前記アナログ回路および前記デジタル回路を含む、請求項 1 に記載の装置。

【請求項 4】

前記複数の第 1 のビアの前記第 1 の部分が、前記複数の第 2 のインターコネクつの前記第 1 の部分と、前記複数の第 2 のビアの前記第 1 の部分と、前記複数の第 3 のインターコネクつの第 1 の部分とを通じて接地に結合される、請求項 1 に記載の装置。

【請求項 5】

前記複数の第 1 のビアの各々の第 2 の部分と、前記複数の第 2 のインターコネクつと、前記複数の第 2 のビアと、前記複数の第 3 のインターコネクつとは、前記分離領域の外側に位置する、請求項 4 に記載の装置。

【請求項 6】

前記複数の第 1 のビアの各々の前記第 2 の部分、前記複数の第 2 のインターコネクつ、前記複数の第 2 のビア、および前記複数の第 3 のインターコネクつの各々の第 1 のセットは、デジタル回路の動作に関連付けられる第 1 の能動領域に位置し、

前記複数の第 1 のビアの各々の前記第 2 の部分、前記複数の第 2 のインターコネクつ、前記複数の第 2 のビア、および前記複数の第 3 のインターコネクつの各々の第 2 のセットは、アナログ回路の動作に関連付けられる第 2 の能動領域に位置する、請求項 5 に記載の装置。

【請求項 7】

前記第 1 の部分の前記複数の第 1 のビアの各々は、前記インターポーザの前記対向する表面の各々に延在する、請求項 1 に記載の装置。

【請求項 8】

装置であって、

複数の基板貫通ビア、複数のトランジスタおよび少なくとも 1 つの導電層を有するダイを含み、

前記少なくとも 1 つの導電層は、前記複数の基板貫通ビアを互いに相互接続し、

前記複数の基板貫通ビアは、ノイズ減衰壁を提供するために互いに間隔を置いて配置されており、前記装置はさらに、

前記ノイズ減衰壁の第 1 の側に位置し、前記ノイズ減衰壁には相互接続されない第 1 の導体と、

前記ノイズ減衰壁の第 2 の側に位置し、前記ノイズ減衰壁には相互接続されない第 2 の導体とを含み、

前記第 1 の導体は第 1 の信号を導くためのものであり、

前記第 2 の導体は第 2 の信号を導くためのものであり、

前記第 1 の信号は、前記第 2 の信号に対するノイズ加害者であり、

前記ノイズ減衰壁は、前記第 1 の導体と前記第 2 の導体との間に位置し、前記第 1 の信号によって引き起こされるノイズが前記第 2 の信号に対して引き起こされるのを低減する、装置。

【請求項 9】

前記複数の基板貫通ビアは、前記第2の導体と前記第1の導体との間にノイズバリアを提供するよう前記第2の導体を囲む、請求項8に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

発明の分野

実施形態は集積回路デバイス（「IC」）に関する。より特定的には、実施形態はノイズ減衰壁を有するICパッケージに関する。

【背景技術】

【0002】

10

背景

集積回路は、時とともに「密度が高く」なった、すなわち、所与のサイズのICにおいて実現されるロジック機構がより多くなった。さらに、複数の集積回路ダイが同じICパッケージにおいて実現され得る。単一のICからまたは複数ダイのICパッケージからに関わらず、1つの信号が別の信号に対して干渉またはノイズを引き起こす可能性、すなわち、クロストークを引き起こす可能性がさらに高くなる。従って、クロストークが低減したICパッケージを提供することが望ましい。

【発明の概要】

【課題を解決するための手段】

【0003】

20

概要

1つ以上の実施形態は一般に、ノイズ減衰壁を有するICパッケージに関する。

【0004】

実施形態は一般に装置に関する。このような実施形態において、インターポーザは第1のビアを有する。第1のインターコネクトおよび第2のインターコネクトは、インターポーザの対向する表面にそれぞれ結合される。第1のインターコネクトの第1の部分および第1のインターコネクトの第2の部分は、互いから離れるように間隔を置いて配置され、それらの間に分離領域を規定する。パッケージ基板は第2のビアを有する。第3のインターコネクトおよび第2のインターコネクトは、パッケージ基板の対向する表面にそれぞれ結合される。第1のビアの第1の部分および第2のビアの第1の部分の両方は、分離領域に存在し、第2のインターコネクトの第1の部分により互いに結合される。

30

【0005】

別の実施形態は一般に、別の装置に関する。このような実施形態では、回路プラットホームはビアを有する。回路プラットホームは、ビアに接続されない少なくとも1つの第1の導体を含む。回路プラットホームは、ビアに接続されない少なくとも1つの第2の導体をさらに含む。当該ビアは、ノイズ減衰壁を提供するために互いに離れるように間隔を置いて配置される。当該ビアは、少なくとも1つの第2の導体と少なくとも1つの第1の導体との間にノイズバリアを提供するために、少なくとも1つの第2の導体を囲む。少なくとも1つの第1の導体はノイズ減衰壁の外部に位置する。

【0006】

40

さらに別の実施形態は一般に、さらに別の装置に関する。このような実施形態では、ダイは、基板貫通ビア、トランジスタおよび少なくとも1つの導電層を有する。少なくとも1つの導電層は、基板貫通ビアを互いに相互接続する。基板貫通ビアは、ノイズ減衰壁を提供するために、互いに間隔を置いて配置される。第1の導体は、ノイズ減衰壁の第1の側に位置するが、ノイズ減衰壁には相互接続されない。第2の導体は、ノイズ減衰壁の第2の側に位置するが、ノイズ減衰壁には相互接続されない。第1の導体は、第1の信号を導くためのものである。第2の導体は、第2の信号を導くためのものである。第1の信号は、第2の信号壁に対するノイズ加害者（noise aggressor）である。ノイズ減衰壁は、第1の導体と第2の導体との間に位置し、第1の信号によって引き起こされるノイズが第2の信号に対して引き起こされるのを低減する。

50

【 0 0 0 7 】

添付の図面は例示的な実施形態を示す。しかしながら、添付の図面は、示された実施形態を限定するように解釈されるべきではなく、説明および理解のみのためのものである。

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】カラム状のフィールドプログラマブルゲートアレイ (Field Programmable Gate Array (FPGA)) アーキテクチャの例示的な実施形態を示す簡略ブロック図である。

【図 2 - 1】デバイスパッケージのそれぞれの例示的な実施形態を示す断面図のブロック図である。

【図 2 - 2】デバイスパッケージのそれぞれの例示的な実施形態を示す断面図のブロック図である。

10

【図 2 - 3】デバイスパッケージのそれぞれの例示的な実施形態を示す断面図のブロック図である。

【図 2 - 4】デバイスパッケージのそれぞれの例示的な実施形態を示す断面図のブロック図である。

【図 3】回路プラットフォームの例示的な実施形態を示す上面立面図のブロック図である。

【図 4】回路プラットフォームの別の例示的な実施形態を示す上面立面図のブロック図である。

【図 5】回路プラットフォームのさらに別の例示的な実施形態を示す上面立面図のブロック図である。

20

【図 6】回路プラットフォームのさらに別の例示的な実施形態を示す上面立面図のブロック図である。

【発明を実施するための形態】

【 0 0 0 9 】

詳細な説明

以下の記載において、特有の実施形態のより完全な説明を提供するために、多くの特定の詳細が記載される。しかしながら、当業者には、1つ以上の実施形態は以下に記載されるすべての特定の詳細がなくても実施され得るということは明らかであるはずである。他の場合において、1つ以上の実施形態を不明瞭にしないように、周知の機構は詳細に記載されていない。例示の容易さのために、異なる図において同じ項目を参照するよう同じ参照符号が使用されるが、代替的な実施形態においては当該項目が異なってもよい。

30

【 0 0 1 0 】

いくつかの図において例示的に示される例示的な実施形態を記載する前に、さらなる理解への一般的なイントロダクションが提供される。1つの回路からの信号は、別の回路からの信号においてノイズを引き起こす。これらの干渉する信号は、同じ集積回路パッケージの内に存在し得、このようなICパッケージは2つ以上の集積回路ダイを含み得る。2つ以上のこのような集積回路ダイは同じインターポーザまたはキャリアダイ(「インターポーザ」)に結合され得、このようなインターポーザはパッケージプラットフォーム部材(「パッケージ基板」)に結合され得る。このようなインターポーザは一般に、受動インターポーザ、すなわち、トランジスタを有さないダイであると考えられる。しかしながら、別の実施形態では、能動インターポーザ、すなわち、1つ以上のトランジスタを有するダイが用いられ得る。さらに、インターポーザに結合される複数のダイが以下に記載されているが、本願明細書に記載されるようなノイズシールドリングは単一のダイのために使用されてもよいということが理解されるべきである。

40

【 0 0 1 1 】

集積回路パッケージ内での加害信号送信 (aggressor signaling) のノイズを減衰するために、以下に付加的に詳細に記載されるようなノイズ減衰壁が使用され得る。

【 0 0 1 2 】

上記の一般的な理解を念頭に置いて、ノイズ減衰壁のためのさまざまな実施形態が以下に概略的に記載される。

50

【 0 0 1 3 】

特定タイプの I C を使用して上記実施形態の 1 つ以上が例示される際に、このような I C の詳細な説明が以下に提供される。しかしながら、本願明細書に記載される実施形態の 1 つ以上から他のタイプの I C が利益を得てもよいということが理解されるべきである。

【 0 0 1 4 】

プログラマブルロジックデバイス (「 P L D 」) は、特定された論理機能を実行するようにプログラムされ得る周知のタイプの集積回路である。1 つのタイプの P L D であるフィールドプログラマブルゲートアレイ (「 F P G A 」) は、典型的にプログラマブルタイルのアレイを含んでいる。たとえば、これらのプログラマブルタイルは、入力 / 出力ブロック (input/output block (「 I O B 」)) と、コンフィギュラブルロジックブロック (configurable logic block (「 C L B 」)) と、専用のランダムアクセスメモリブロック (random access memory block (「 B R A M 」)) と、乗算器と、デジタル信号処理ブロック (digital signal processing block (「 D S P 」)) と、プロセッサと、クロックマネージャと、遅延ロックスループ (delay lock loop (「 D L L 」)) などを含み得る。本願明細書において使用されるように、「含む」は、限定なく含むことを意味する。

10

【 0 0 1 5 】

各プログラマブルタイルは典型的に、プログラマブルインターコネクトおよびプログラマブルロジックの両方を含む。プログラマブルインターコネクトは典型的に、プログラマブルインターコネクトポイント (programmable interconnect point (「 P I P 」)) によって相互に接続される異なる長さの多くのインターコネクトラインを含む。プログラマブルロジックは、たとえば関数発生器、レジスタ、および演算ロジックなどを含み得るプログラマブル要素を使用してユーザデザインのロジックを実現する。

20

【 0 0 1 6 】

プログラマブルインターコネクトおよびプログラマブルロジックは典型的に、どのようにプログラマブル要素が構成されるかを定義するコンフィギュレーションデータのストリームを内部構成メモリセルにロードすることによってプログラムされる。コンフィギュレーションデータはメモリ (たとえば外部 P R O M) から読み出され得るか、または、外部デバイスによって F P G A に書き込まれ得る。次いで、個々のメモリセルの集合的な状態が F P G A の機能を決定する。

【 0 0 1 7 】

別のタイプの P L D は、コンプレックスプログラマブルロジックデバイスすなわち C P L D である。C P L D は、ともに接続されるとともにインターコネクトスイッチマトリクスによって入力 / 出力 (「 I / O 」) リソースに接続される 2 つ以上の「機能ブロック」を含む。C P L D の各機能ブロックは、プログラマブルロジックアレイ (Programmable Logic Array (「 P L A 」)) およびプログラマブルアレイロジック (Programmable Array Logic (「 P A L 」)) デバイスにおいて使用される A N D / O R 構造に類似する 2 レベルの A N D / O R 構造を含む。C P L D では、コンフィギュレーションデータは典型的に不揮発性メモリにオンチップで格納される。いくつかの C P L D において、コンフィギュレーションデータは不揮発性メモリにおいてオンチップで格納され、次いで、初期構成 (プログラミング) シーケンスの一部として揮発性メモリにダウンロードされる。

30

40

【 0 0 1 8 】

これらのプログラマブルロジックデバイス (programmable logic device (「 P L D 」)) のすべてについて、デバイスの機能は、その目的のためにデバイスに提供されるデータビットによって制御される。データビットは、揮発性メモリ (たとえば F P G A およびいくつかの C P L D におけるようなスタティックメモリセル) に格納され得、不揮発性メモリ (たとえばいくつかの C P L D におけるような F L A S H メモリ) に格納され得、または、任意の他のタイプのメモリセルに格納され得る。

【 0 0 1 9 】

他の P L D は、プログラム可能にデバイス上のさまざまな要素を相互に接続する金属層のような処理層を適用することによってプログラムされる。これらの P L D はマスクプロ

50

グラマブルデバイスとして公知である。P L Dはさらに、他の態様で、たとえばヒューズまたはアンチヒューズ技術を使用して実現され得る。「P L D」および「プログラマブルロジックデバイス」という用語は、これらの例示的なデバイスを含むがこれらに限定されず、単に部分的にプログラム可能なデバイスも含む。たとえば、1つのタイプのP L Dは、ハードコードされたトランジスタロジックと、当該ハードコードされたトランジスタロジックをプログラム可能に相互接続するプログラマブルスイッチファブリックとの組合せを含む。

【0020】

上に示されるように、高度なF P G Aは、アレイにおいていくつかの異なるタイプのプログラマブルロジックブロックを含み得る。たとえば、図1は、マルチギガビットトランシーバ(「MGT」)101と、コンフィギュラブルロジックブロック(「CLB」)102と、ランダムアクセスメモリブロック(BRAM)103と、入力/出力ブロック(「IOB」)104と、コンフィギュレーションおよびクロッキングロジック(「CONF IG / C L O C K S」)105と、デジタル信号処理ブロック(「DSP」)106と、特殊入力/出力ブロック(「I/O」)107(たとえばコンフィギュレーションポートおよびクロックポート)と、デジタルクロックマネージャのような他のプログラマブルロジック108と、アナログデジタルコンバータと、システムモニタリングロジックなどを含む多くの異なるプログラマブルタイルを含むF P G Aアーキテクチャ100を示す。いくつかのF P G Aはさらに、専用のプロセッサブロック(processor block(「P R O C」))110を含む。

【0021】

いくつかのF P G Aにおいて、各プログラマブルタイルは、各隣接したタイルにおける対応するインターコネクト要素への標準化された接続部および当該インターコネクト要素からの標準化された接続部を有するプログラマブルインターコネクト要素(「INT」)111を含む。したがって、一緒に得られたプログラマブルインターコネクト要素は、示されたF P G Aのためのプログラマブルインターコネクト構造を実現する。さらに、プログラマブルインターコネクト要素111は、図1の上部に含まれる例によって示されるように、同じタイル内のプログラマブルロジック要素への接続および当該プログラマブルロジック要素からの接続をさらに含む。

【0022】

たとえば、CLB102は、ユーザロジックと単一のプログラマブルインターコネクト要素(interconnect element(「INT」)111)とを実現するようにプログラムされ得るコンフィギュラブルロジック要素(configurable logic element(「CLE」))112を含み得る。BRAM103は、1つ以上のプログラマブルインターコネクト要素に加えて、BRAMロジック要素(BRAM logic element(「BRL」))113を含み得る。典型的に、タイルに含まれるインターコネクト要素の数はタイルの高さに依存する。示される実施形態において、BRAMタイルは5つのCLBと同じ高さを有するが、他の数(たとえば4つ)も使用され得る。DSPタイル106は、適切な数のプログラマブルインターコネクト要素に加えて、DSPロジック要素(DSP logic element(「DSP L」))114を含み得る。IOB104はたとえば、プログラマブルインターコネクト要素111の1つのインスタンスに加えて、入力/出力ロジック要素(input/output logic element(「IOL」))115の2つのインスタンスを含み得る。当業者に明らかであろうように、たとえばI/Oロジック要素115に接続される実際のI/Oパッドは典型的に、入力/出力ロジック要素115のエリアに限定されない。

【0023】

示される実施形態では、(図1に示される)ダイの中心の近くの水平エリアは、コンフィギュレーションロジック、クロックロジックおよび他の制御ロジックのために使用される。この水平エリアまたはカラムから延在する縦のカラム109は、F P G Aの幅に亘ってクロックおよびコンフィギュレーション信号を供給するように使用される。

【0024】

図 1 に示されるアーキテクチャを用いるいくつかの F P G A は、F P G A の大部分を構成する規則的なカラム構造を断絶させる付加的なロジックブロックを含む。付加的なロジックブロックは、プログラマブルブロックおよび / または専用ロジックであり得る。たとえば、プロセッサブロック 1 1 0 は、C L B および B R A M のいくつかのカラムに及ぶ。

【 0 0 2 5 】

なお、図 1 は、例示的な F P G A アーキテクチャのみを示すように意図される。たとえば、ロウ (row) におけるロジックブロックの数、ロウの相対的な幅、ロウの数および順番、ロウに含まれるロジックブロックのタイプ、ロジックブロックの相対的なサイズ、ならびに、図 1 の上部に含まれるインターコネクト / ロジック実現例は、純粹に例示的である。たとえば、実際の F P G A において、ユーザロジックの効率的な実現を促進するため、C L B が存在するところにはどこでも、C L B の 1 つより多い隣接したロウが典型的に含まれるが、隣接した C L B のロウの数は、F P G A の全体のサイズとともに変化する。

【 0 0 2 6 】

図 2 - 1 ~ 図 2 - 4 は、デバイスパッケージ 2 0 0 のそれぞれの例示的な実施形態を示す断面図のブロック図である。図 2 - 1 を参照して、デバイスパッケージ 2 0 0 は、集積回路ダイ 2 0 1、集積回路ダイ 2 0 2、インターコネクト 2 0 5、回路プラットフォーム 2 0 3、インターコネクト 2 0 6、回路プラットフォーム 2 0 4、およびインターコネクト 2 0 7 を含む。随意に、デバイスパッケージ 2 0 0 は、集積回路ダイ 2 0 2 の上に、随意的集積回路ダイ 2 5 6 によって一般に示されるように、1 つ以上のダイスタックを含み得る。それらの線に沿って、以下の記載はちょうど 2 より多くのレベルのダイを有することに適用可能であるということが理解されるべきである。しかしながら、他の実施形態においてより多くのレベルのダイが使用されてもよいが、限定ではなく明瞭さのために 2 レベルのダイスタックが以下に記載される。より特定的には、実施形態において、インターコネクト 2 0 5 はマイクロバンプであり得、回路プラットフォーム 2 0 3 はインターポーザまたはキャリアであり得、インターコネクト 2 0 6 は C 4 バンプであり得、回路プラットフォーム 2 0 4 はパッケージ基板であり得、インターコネクト 2 0 7 はパッケージボールであり得る。限定ではなく例示目的で、明瞭さのために、デバイスパッケージ 2 0 0 は上記の用語を参照してさらに説明される。さらに、集積回路ダイ 2 0 1 および 2 0 2 はともに、たとえば、F P G A ダイのような同じタイプの I C もしくは他の何らかのタイプの I C ダイであり得るか、または、集積回路ダイ 2 0 1 および 2 0 2 は、たとえば F P G A ダイ、メモリダイ、ラジオダイ、電源ダイもしくはなんらかの他のタイプの I C ダイの何らかの組合せのような異なるタイプの I C ダイであり得る。一般に、たとえば、1 つ以上の F P G A ダイと、1 つ以上のアナログデジタルコンバータ (「D A C」)、デジタルアナログコンバータ、および / または他のデータ変換ダイといった 1 つ以上のデータコンバータダイとの混合が用いられ得る。

【 0 0 2 7 】

集積回路ダイ 2 0 1 は回路 2 3 2 を含み得、集積回路ダイ 2 0 2 は回路 2 3 1 を含み得る。回路 2 3 2 はアナログまたはデジタル回路であり得、回路 2 3 1 はアナログまたはデジタル回路であり得、回路 2 3 1 および 2 3 2 のいずれかは他方に干渉する。限定ではなく例示目的で、明瞭さのために、回路 2 3 1 はデジタル回路であり、回路 2 3 2 はアナログ回路であるとする。さらに、限定ではなく例示目的で、明瞭さのために、回路 2 3 1 の動作に関連付けられる集積回路ダイ 2 0 2 へと通過または集積回路ダイ 2 0 2 から通過したデジタル信号を含むがこれに限定されない、回路 2 3 1 の動作によって引き起こされたノイズによって、回路 2 3 2 の動作に関連付けられる集積回路ダイ 2 0 1 へと通過または集積回路ダイ 2 0 1 から通過したアナログ信号に関して「クロストーク」を引き起こし得るノイズが生成され得る。この例では、回路 2 3 1 の動作に関連付けられるデジタル信号が加害信号 (aggressor signal) であり、回路 2 3 2 の動作に関連付けられるアナログ信号が被害信号 (victim signal) であるが、別の実施形態では、回路 2 3 2 の動作に関連付けられるアナログ信号が加害信号であり得、回路 2 3 1 の動作に関連付けられるデ

デジタル信号が被害信号であり得る。

【 0 0 2 8 】

マイクロバンプ 2 0 5 は、インターポーザ 2 0 3 に集積回路ダイ 2 0 1 および 2 0 2 を結合するために使用される。より特定的には、マイクロバンプ 2 0 5 の第 1 の部分、すなわち、マイクロバンプ 2 0 5 - 1 はインターポーザ 2 0 3 に集積回路ダイ 2 0 1 を結合するために使用され、マイクロバンプ 2 0 5 の第 2 の部分、すなわち、マイクロバンプ 2 0 5 - 2 はインターポーザ 2 0 3 に集積回路ダイ 2 0 2 を結合するために使用される。この例では、集積ダイ 2 0 1 および 2 0 2 は、それぞれマイクロバンプ 2 0 5 - 1 および 2 0 5 - 2 と共に、互いに離れるように間隔を置いて配置され、このような集積回路ダイ同士またはマイクロバンプのセット同士の間に分離領域 2 2 0 を規定する。

10

【 0 0 2 9 】

これまで、分離領域 2 2 0 は、以下に本願明細書において記載されるように、被害信号に対する加害信号からのノイズを減衰するための回路を含み得ず、これは、以下にさらに詳細に記載されるように、ノイズ減衰回路を使用する場合には分離領域 2 2 0 は、そのような領域よりも広くなければならないだろうことを意味する。したがって、以下に本願明細書において記載されるようにノイズ減衰回路を使用することがなければ、より多くの回路プラットフォームの領域がノイズ分離を提供するために消費されることになる。

【 0 0 3 0 】

インターポーザ 2 0 3 の上面 2 4 1 はマイクロバンプ 2 0 5 に接触し得、インターポーザ 2 0 3 の底面 2 4 2 は C 4 バンプ 2 0 6 に接触し得る。言い換えれば、マイクロバンプ 2 0 5 および C 4 バンプ 2 0 6 は、インターポーザ 2 0 3 の対向する表面上にそれぞれ結合され得る。

20

【 0 0 3 1 】

マイクロバンプ 2 0 5 の 1 つ以上は、インターポーザ 2 0 3 のビア 2 1 1 の 1 つ以上に結合され得る。C 4 バンプ 2 0 6 の 1 つ以上は、インターポーザ 2 0 3 のビア 2 1 1 の 1 つ以上に結合され得る。ビア 2 1 1 は上面 2 4 1 および底面 2 4 2 まで延在し得る。言い換えれば、ビア 2 1 1 は「回路プラットフォーム貫通ビア」または「貫通ビア」であり得る。ビア 2 1 1 のうちのいくつかは、インターポーザ 2 0 3 の上面 2 4 1 から底面 2 4 2 にまで延在しなくてもよい。シリコン基板を使用して形成されたインターポーザ 2 0 3 の場合、ビア 2 1 1 はシリコン貫通ビア (Through Silicon Via (TSV)) として形成され得る。しかしながら、本願明細書に記載されるように、ビア 2 1 1 は、半導体または誘電体基板のような基板を単に穿孔するだけでなく、そのような基板に形成される他のすべての層を貫通するよう延在してもよい。

30

【 0 0 3 2 】

C 4 バンプ 2 0 6 は、インターポーザ 2 0 3 をパッケージ基板 2 0 4 に結合するために使用され得る。パッケージ基板 2 0 4 はビア 2 1 2 を含み得る。インターポーザ 2 0 3 のビア 2 1 1 のように、ビア 2 1 2 のうちのいくつかは「貫通ビア」であり得る。これらの線に沿って、ビア 2 1 2 のうちのいくつかは、パッケージ基板 2 0 4 の上面 2 5 1 からパッケージ基板 2 0 4 の底面 2 5 2 まで延在し得る。ビア 2 1 2 は、1 つ以上の複数の導電層から形成され得る。たとえば、ビア 2 1 2 は、単一の充填ビア層 2 1 4 から形成され得るか、または、略垂直ビア層 2 1 4 および略水平トレース層 2 1 3 の組合せから形成され得る。2 つ以上のビア 2 1 2 が 1 つ以上のトレース層 2 1 3 によって互いに結合され得る。

40

【 0 0 3 3 】

したがって、C 4 バンプ 2 0 6 はパッケージ基板 2 0 4 の上面 2 5 1 に接触し得、パッケージボール 2 0 7 はパッケージ基板 2 0 4 の底面 2 5 2 に接触し得る。言い換えれば、C 4 バンプ 2 0 6 およびパッケージボール 2 0 7 は、パッケージ基板 2 0 4 の対向する表面上に存在し得る。

【 0 0 3 4 】

ビア 2 1 1 の部分、C 4 バンプ 2 0 6、ビア 2 1 2 およびパッケージボール 2 0 7 は、

50

少なくとも主要部において、分離領域 220 に位置する。ビア 211 の他の部分、C4 パンプ 206、ビア 212 およびパッケージボール 207 は、少なくとも主要部において、分離領域 220 の外側に位置する、すなわち、少なくとも大部分については領域 221 および 222 に位置する。これらの 2 つの条件を定めるために、少なくとも主要部において分離領域 220 に位置するビア 211、C4 パンプ 206、ビア 212 およびパッケージボール 207 が a-1 を有し、少なくとも主要部において領域 221 および 222 に位置するビア 211、C4 パンプ 206、ビア 212 およびパッケージボール 207 が a-2 を有する。したがって、ビア 211-1、C4 パンプ 206-1、ビア 212-1、およびパッケージボール 207-1 は、少なくとも主要部において分離領域 220 に位置する。同様に、ビア 211-2、C4 パンプ 206-2、ビア 212-2 およびパッケージボール 207-2 は、少なくとも主要部において、領域 221 または 222 のいずれかに位置する。上記の例を継続して、領域 221 はデジタル回路 231 に対応するデジタル領域であり、領域 222 はアナログ回路 232 に対応するアナログ領域であるとする。

【0035】

この例示的な実施形態において、3つのビア 211-1 の各々は、3つの C4 パンプ 206-1 を使用してそれぞれ 3 つの対応するビア 212-1 に結合される。ビア 212-1 はトレース 213 により互いに結合される。パッケージボール 207-1 はビア 211-1 のビアに結合され、このようなパッケージボール 207 は接地 260 に結合される。この実施形態におけるビア 211-1 のすべてが接地 260 に効果的に結合されているが、何らかのノイズシールドを提供するためにこのようなビア 211-1 のすべてが接地に結合される必要があるわけではない。さらに、この実施形態における接地 260 は独立した接地であるが、すなわち、アナログ回路 232 またはデジタル回路 231 に結合されていないが、他の実施形態において、独立した接地が使用される必要はない。さらに、固定電位のために、必ずしも接地が使用される必要はない。他の実施形態において、たとえばノイズが十分に低い低周波数デジタル制御信号のために、用途に依存する接地の代わりに、犠牲電源ネットワーク (sacrificial power supply network) が使用されてもよい。

【0036】

ビア 211-1、C4 パンプ 206-1、ビア 212-1 および 1 つ以上のパッケージボール 207-1 の組合せ (外部パッケージボール 207-1 が接地に結合される) が、アナログ領域 222 とデジタル領域 221 との間にノイズ減衰壁 290 を提供するために使用され得る。ノイズ減衰壁 290 は、アナログ回路 232 の動作に対する影響に対して、デジタル回路 231 によって生成されたノイズを減衰するためのものである。アナログ回路 232 が加害者である別の実施形態では、ノイズ減衰壁 290 は、デジタル回路 231 の動作に対する影響に対して、アナログ回路 232 によって生成されるノイズを減衰するために使用され得る。ノイズ減衰壁 290 は効果的に、回路によって生成されるノイズを「吸収」し、そのような吸収されたノイズを接地へ分流するために使用され得る。ノイズ減衰壁 290 は、以下にさらに詳細に記載されるように、さまざまな構成のうちのいずれかを作り出すよう使用され得る。

【0037】

ノイズ減衰壁 290 の要素間の間隔は、このような壁の電気バリア孔隙率を調節するよう、ピッチ限界に従って変化し得る。孔隙率を低減してノイズ減衰の有効性を増加させるために、ノイズ減衰壁 290 の要素のピッチは減少され得る、すなわち、ノイズ減衰壁 290 の要素がより緊密な間隔で配置され得る。さらに、孔隙率を増加させてノイズ減衰の有効性を低減するために、ノイズ減衰壁 290 の要素のピッチは増加され得る、すなわち、ノイズ減衰壁 290 の要素がより広い間隔で配置され得る。さらに、ノイズ減衰壁 290 の要素の口または層の数は、それぞれノイズ減衰の有効性を増加または減少するよう、増加または減少され得る。

【0038】

概説すると、異なる機能同士の間での分離を伴う任意の適用例は、本願明細書に記載されるようにノイズ減衰壁 290 を組み込んでもよい。ノイズの吸収のために、固定電位がそ

10

20

30

40

50

のようなノイズ減衰壁 290 に結合され得る。ノイズ減衰壁 290 の要素間の間隔は、有効性を調整するために、用途によって変動し得、また、ノイズ減衰壁 290 の構成は、有効性を調整するために用途によって変動し得る。

【0039】

デジタル領域 221 において、マイクロバンプ 205 - 2 の部分はビア 211 - 2 により C4 バンプ 206 - 2 の部分に結合される。さらに、デジタル領域 221 において、ビア 212 - 2 の部分は、そのような C4 バンプ 206 - 2 の部分をパッケージボール 207 - 2 の部分に結合する。ビア 212 - 2 のそのような部分は、1 つ以上のトレース 213 を通じて互いに結合され得る。

【0040】

アナログ領域 222 において、マイクロバンプ 205 - 1 の部分は、ビア 211 - 2 により C4 バンプ 206 - 2 の部分に結合される。さらに、アナログ領域 222 において、ビア 212 - 2 の部分は、C4 バンプ 206 - 2 のこのような部分をパッケージボール 207 - 2 の部分に結合する。ビア 212 - 2 のそのような部分は、1 つ以上のトレース 213 を通じて互いに結合され得る。

【0041】

図 2 - 2 を参照して、デバイスパッケージ 200 の別の実施形態が例示的に示される。この実施形態は、2 つのパッケージボール 207 - 1 が接地 260 にそれぞれのビア 212 - 1 を結合するために使用されるという点を除いて、図 2 - 1 の実施形態と同じである。パッケージボール 207 - 1 は主に分離領域 220 に存在するが、そのようなパッケージボール 207 - 1 の部分は領域 221 および / または 222 の 1 つ以上の中に延在し得る。

【0042】

図 2 - 3 を参照して、デバイスパッケージ 200 のさらに別の実施形態が例示的に示される。この実施形態は、デジタル回路 231 およびアナログ回路 232 の両方を有する単一の集積回路ダイ 201 が例示的に示されるという点を除いて、図 2 - 1 の実施形態と同じである。したがって、分離壁 290 は、インターポーザ 203 およびパッケージ基板 204 を通る信号に関して、同じ集積回路の別個の回路部分を分離するために使用され得る。

【0043】

図 2 - 4 を参照して、デバイスパッケージ 200 のさらに別の実施形態が例示的に示される。この実施形態は、2 つのパッケージボール 207 - 1 が接地 260 にそれぞれのビア 212 - 1 を結合するために使用されるという点を除いて、図 2 - 3 の実施形態と同じである。パッケージボール 207 - 1 は主として分離領域 220 に存在するが、そのようなパッケージボール 207 - 1 の部分は領域 221 および / または 222 の 1 つ以上の中に延在し得る。

【0044】

図 3 は、回路プラットフォーム 300 の例示的な実施形態を示す上面立面図のブロック図である。回路プラットフォーム 300 は、たとえば金属層のような 1 つ以上の導電層と、一般に図 5 のボックス 510 によって示されるような 1 つ以上のトランジスタ、すなわち、たとえばトランジスタ 510 とを有する基板であり得る。言いかえれば、回路プラットフォーム 300 は、能動インターポーザ、FPGA、PLD、データコンバータまたは他のタイプの集積回路ダイのような能動ダイであり得る。しかしながら、限定ではなく明瞭さのために、回路プラットフォーム 300 は、本願明細書において前述のように、インターポーザ 203 またはパッケージ基板 204 であるとする。回路プラットフォーム 300 はビア 311 および導体 312 ~ 315 を含む。

【0045】

ビア 311 は、ノイズ減衰壁 390 を提供するように結合するためのものであり得る。ノイズ減衰壁 390 は、リング状壁構造またはフレームワークであり得る。リング状の壁フレームワークが例示的に示されているが、他の実施形態では、ノイズ減衰壁は 1 つ以上の

10

20

30

40

50

信号導体を囲まなくてもよい。このような他の実施形態において、ノイズ減衰壁は、1つ以上の加害信号導体と1つ以上の被害信号導体との間に位置決めされ得る。しかしながら、限定ではなく明瞭さのために、ノイズ減衰壁のためのリング状の構造がさらに記載される。ノイズ減衰壁390は、本願明細書において前述のように、ノイズ減衰壁290を含み得る。それらの線に沿って、導体313および314のまわりにノイズ減衰壁を提供するよう、ビア311はビア211-1または212-1のように結合され得る。導体313および314を囲むために、ノイズ減衰壁390が10個のビア311を有するよう形成されているのが説明的に示されているが、他の実施形態では、10個より少ないまたは10個より多いビア311を有するノイズ減衰壁390が形成され得る。導体312および315のような1つ以上の導体は、ノイズ減衰壁390の外部に位置し得る。

10

【0046】

この例では、導体312および315は、導体313および314によって導かれる差分信号に対する加害(「A」)信号を導くために使用される。この例において、導体313は差分信号の正の側(「P」)を導き、導体314は差分信号の負の側(「N」)を導く。2つの導体がノイズ減衰壁390に囲まれるように例示的に示されているが、本願明細書に記載されるように、2つより少ないまたは2つより多い導体がノイズ減衰壁に囲まれなくてもよい。さらに、差分信号の例が使用されているが、ノイズに影響され得る他のタイプの信号が、ノイズ減衰壁390の内部に配置される1つ以上の導体によって導かれ得る。

【0047】

20

導体313および314と導体312および315とはビア311に結合されない。しかしながら、ノイズ分離(「I」)のためのビア311は、ノイズ減衰壁390を提供するために接地260に結合するために互いに結合され得る。ビア311は、1つ以上の導電線319を提供するために使用される1つ以上の導電層によって互いに結合され得る。導電線319、またはより一般には、導電層は、ビア311に対して、より一般的には、ビア311を提供するよう用いられる導電充填層に対して、少なくともほぼ直交し得る。

【0048】

ノイズ減衰壁390にフレームワークを提供するために、ビア311は互いから離れるように間隔を置いて配置され得る。しかしながら、導体313および314を囲むビア311は、電氣的に多孔であるが(electrically porous)、このような導体313および314と導体312および315との間にノイズバリアを提供する。

30

【0049】

ビア311は、回路プラットフォーム300の対向する表面まで延在し得る。例示的に示されるように、ビア311は、回路プラットフォーム300の上面320まで延在する。しかしながら、ビア211または212のように、ビア311は同様に、回路プラットフォーム300底面(図示せず)まで延在し得る。

【0050】

たとえば、導体312および315の位置322および325はそれぞれ、ビア311のうちの少なくとも2つの位置に、すなわち、それぞれビア311Aおよび311Bに対応し得る。加害信号を導く導体に対して分離ビア311を整列することによってノイズの減衰が促進され得る。

40

【0051】

図4は、回路プラットフォーム300の別の例示的な実施形態を示す上面立面図のブロック図である。図4の回路プラットフォーム300の実施形態の多くの要素が図3の実施形態と同じであるので、一般に明瞭さのために相違点のみが以下に記載される。

【0052】

図4を参照して、回路プラットフォーム300はさらに、付加的なビア311を使用して形成される外部のノイズ分離壁490Aおよび490Bを含む。この実施形態では、ビア311は互いに結合されるように例示的に示されていないが、別の実施形態では、本願明細書において前述のように、1つ以上のノイズ分離壁490Aおよび490Bを形成する

50

よう用いられるビア 3 1 1 はトレースを使用して互いに結合され得る。ノイズ分離壁 4 9 0 A および 4 9 0 B の各々について 5 つのビア 3 1 1 が例示的に示されているが、そのようなノイズ分離壁 4 9 0 A および 4 9 0 B のための構造のためにフレームワークを提供するよう、5 つより少ないまたは 5 つより多いビアが使用され得る。

【 0 0 5 3 】

ノイズ分離壁 4 9 0 A および 4 9 0 B のビア 3 1 1 は、ノイズ減衰壁 3 9 0 のビア 3 1 1 の外側および反対側に位置する。したがって、ノイズ分離壁 4 9 0 A および 4 9 0 B は外壁またはバリアを提供し、ノイズ減衰壁 3 9 0 は内壁またはバリアを提供する。ノイズ分離壁 4 9 0 A および 4 9 0 B のビア 3 1 1 は、前述のように、回路プラットホーム 3 0 0 の対向する表面まで延在し得る。

10

【 0 0 5 4 】

ノイズ分離壁 4 9 0 A は、ノイズ減衰壁 3 9 0 の最外周と、1 つ以上の加害信号を導くように使用される導体 3 1 2 および 3 1 5 のような 1 つ以上の導体との間に配置される。同様に、ノイズ分離壁 4 9 0 B は、ノイズ減衰壁 3 9 0 の最外周と 1 つ以上の他の加害信号を導くよう用いられる 1 つ以上の他の導体との間に配置され得る。ノイズ分離壁 4 9 0 A および 4 9 0 B の追加によって、ノイズ減衰のためのノイズ分離のための二重壁のフレームワークが提供される。

【 0 0 5 5 】

導体 3 1 2 および 3 1 5 の位置 3 2 2 および 3 2 5 はそれぞれ、ノイズ分離壁 4 9 0 A のビア 3 1 1 のうちの少なくとも 2 つの位置、すなわち、たとえばビア 3 1 1 C および 3 1 1 D にそれぞれ対応し得る。また、加害信号を導く導体に対して最も近い分離ビア 3 1 1 を整列することによってノイズの減衰が促進され得る。

20

【 0 0 5 6 】

さらに、ノイズの減衰を増加するよう電気密度を向上させるために、各ノイズ分離壁 4 9 0 A および 4 9 0 B のビア 3 1 1 が、ノイズ減衰壁 3 9 0 の対応するビア 3 1 1 から間隔を置いて介在され得る。たとえば、分離壁 4 9 0 A のビア 3 1 1 の部分、すなわちビア 3 1 1 C ~ 3 1 1 E は、ノイズ減衰壁 3 9 0 のビア 3 1 1 の対応する部分、すなわちビア 3 1 1 a ~ 3 1 1 d に対して介在する。言い換えれば、外部ノイズ分離壁のビアは、リング状のノイズ減衰壁の同じ側上に配置される対応するビアに対して介在され得る。

【 0 0 5 7 】

30

図 5 は、回路プラットホーム 3 0 0 のさらに別の例示的な実施形態を示す上面立面図のブロック図である。図 5 の回路プラットホーム 3 0 0 の実施形態の多くの要素は図 3 の実施形態と同じであるので、明瞭さのために、一般に相違点のみが以下に記載される。また、図 3 の回路プラットホーム 3 0 0 のように、図 5 の回路プラットホーム 3 0 0 は 1 つ以上のトランジスタ 5 1 0 を含み得る。図 5 のノイズ減衰壁 3 9 0 は 8 つのビア 3 1 1 を使用して形成される。しかしながら、ノイズ減衰壁 3 9 0 のビア 3 1 1 の部分は 1 つ以上の接地 (「G」) に結合され、ノイズ減衰壁 3 9 0 のビア 3 1 1 の残りの部分は 1 つ以上の DC 電源電圧 (「V」) に結合される。

【 0 0 5 8 】

40

図 6 は、回路プラットホーム 3 0 0 のさらに別の例示的な実施形態を示す上面立面図のブロック図である。図 5 の回路プラットホーム 3 0 0 の実施形態の多くの要素は図 3 と同じであるので、一般に、明瞭さのために相違点のみが以下に記載される。

【 0 0 5 9 】

ノイズ減衰壁 3 9 0 は、集積回路ダイ 2 0 1 および 2 0 2 による、かつ集積回路ダイ 2 0 1 および 2 0 2 の間のダイ間の通信のためにそれぞれの路またはチャネル 6 0 1 および 6 0 2 にノイズバリアを提供する。集積回路ダイ 2 0 1 および 2 0 2 は、同じ集積回路パッケージにパッケージングされ得る。

【産業上の利用可能性】

【 0 0 6 0 】

また、上記の記載は一般に、マルチダイパッケージの受動インターポーザについて考案

50

されているが、互いに相互接続される基板貫通ビアを使用して形成されるノイズ減衰壁が、能動インターポーザ、および／または、FPGA、データコンバータもしくは他の能動ダイを含むがこれらに限定されない能動集積回路ダイに形成され得る。

【0061】

上記は、例示的な実施形態について説明しているが、添付の請求の範囲およびその同等物によって決定されるその範囲から逸脱することがなければ、1つ以上の局面に従う他の実施形態およびさらに別の実施形態が考案されてもよい。ステップを記載する請求項は、ステップの如何なる順序も示さない。商標はそれらのそれぞれの所有者の所有物である。

【図1】

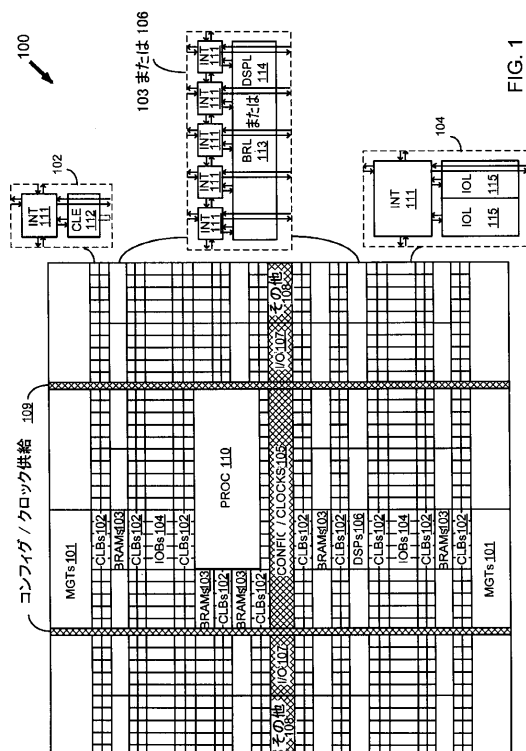


FIG. 1

【図2-1】

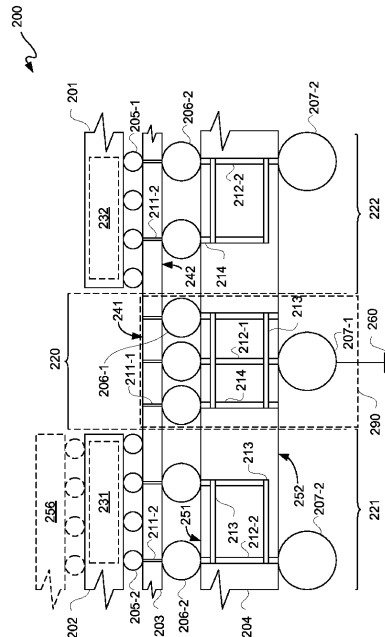


FIG. 2-1

【図 2 - 2】

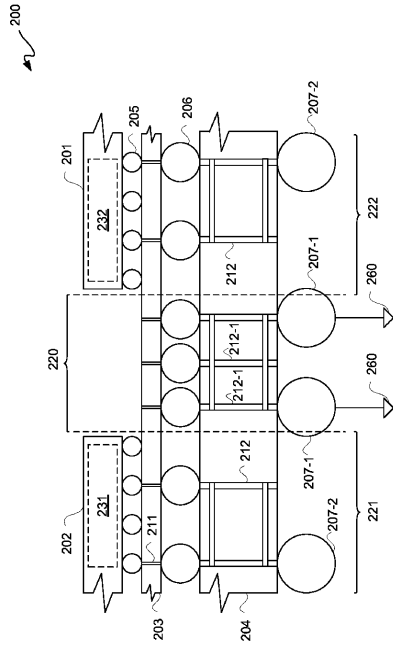


FIG. 2-2

【図 2 - 3】

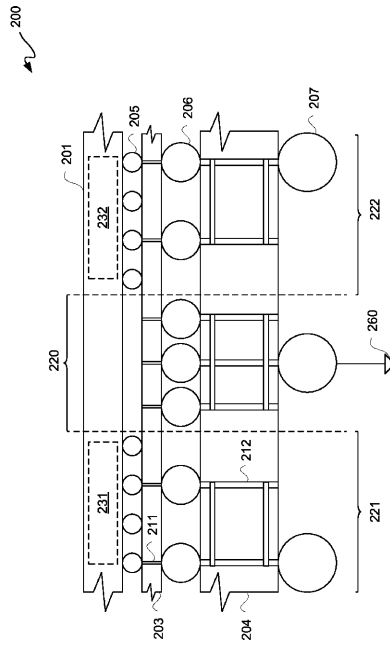


FIG. 2-3

【図 2 - 4】

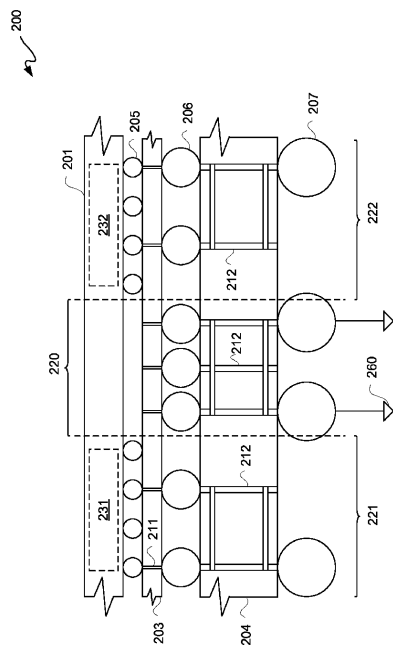


FIG. 2-4

【図 3】

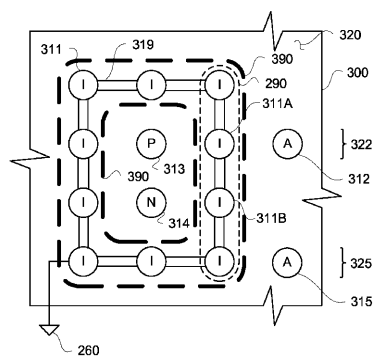


FIG. 3

【図 4】

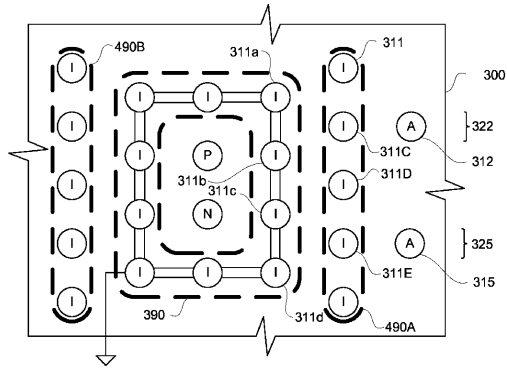


FIG. 4

【図 5】

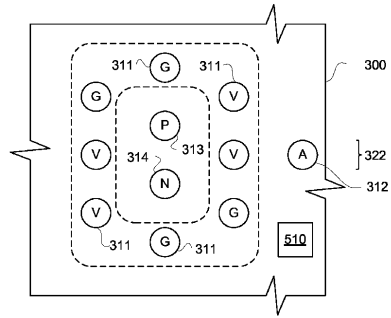


FIG. 5

【図 6】

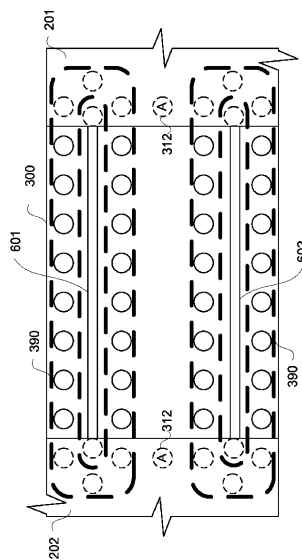


FIG. 6

フロントページの続き

(72)発明者 カレン, エドワード

アメリカ合衆国、 9 5 1 2 4 カリフォルニア州、 サン・ノゼ、 ロジック・ドライブ、 2 1 0 0

(72)発明者 ロウニー, ドナチャ

アメリカ合衆国、 9 5 1 2 4 カリフォルニア州、 サン・ノゼ、 ロジック・ドライブ、 2 1 0 0

審査官 秋山 直人

(56)参考文献 特開 2 0 0 8 - 1 1 2 9 9 2 (J P , A)

特開平 1 1 - 1 2 1 6 4 3 (J P , A)

特開 2 0 1 1 - 1 4 6 5 1 9 (J P , A)

特開 2 0 0 1 - 0 6 8 5 9 6 (J P , A)

特開 2 0 0 9 - 0 3 3 1 7 5 (J P , A)

特開 2 0 1 1 - 0 0 3 5 8 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 3 / 1 2

H 0 1 L 2 3 / 0 0

H 0 1 L 2 5 / 0 4

H 0 1 L 2 5 / 1 8