

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-236432
(P2004-236432A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int.Cl.⁷
H02M 3/07
H01L 21/822
H01L 27/04

F I
H02M 3/07
H01L 27/04

テーマコード (参考)
5F038
5H730

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号	特願2003-21758 (P2003-21758)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成15年1月30日 (2003.1.30)	(74) 代理人	100086405 弁理士 河宮 治
		(74) 代理人	100098280 弁理士 石野 正弘
		(74) 代理人	100125874 弁理士 川端 純市
		(72) 発明者	千田 稔 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		Fターム(参考)	5F038 AV06 BB05 BG03 BG05 BG06 DF08 EZ20

最終頁に続く

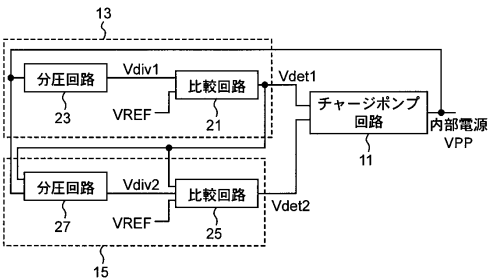
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 スタンバイ時の消費電流を抑えつつかつ電圧変動の少ない昇圧を実現する昇圧回路を備えた半導体装置を提供する。

【解決手段】 半導体装置はスタンバイ時に電源電圧を供給する昇圧回路を備える。昇圧回路は、チャージポンプ回路11と、チャージポンプ回路11の出力電圧を検出する第1及び第2の検出回路13、15とを備える。第2の検出回路15は、第1の検出回路13と異なるDC電流で動作し、第1の検出回路13の出力Vdet1により活性化される。チャージポンプ回路11は、少なくとも第2の検出回路15の出力Vdet2に基いて活性化される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

スタンバイ時に電源電圧を供給する昇圧回路を備えた半導体装置において、該昇圧回路は、
チャージポンプ回路と、
前記チャージポンプ回路の出力電圧を検出する第 1 の検出回路と、
前記チャージポンプ回路の出力電圧を検出する回路であって、前記第 1 の検出回路と異なる DC 電流で動作し、前記第 1 の検出回路の検出信号により活性化される第 2 の検出回路とを備え、
前記チャージポンプ回路は、少なくとも前記第 2 の検出回路の検出信号に基いて活性化されることを特徴とする半導体装置。 10

【請求項 2】

第 1 の検出回路の検出レベルと、第 2 の検出回路の検出レベルとが異なることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置における内部電源電圧を発生させる昇圧回路の制御に関する。

【0002】

【従来の技術】

20

半導体装置においては装置内部にて所望の電圧を発生させるための回路としてチャージポンプ回路がある。FLASH MEMORY等の半導体装置ではスタンバイ電流を少なくするため、通常動作時とスタンバイ状態のそれぞれで動作する 2 つの内部電圧発生回路を備えている。

【0003】

半導体装置における内部電圧発生回路として特許文献 1 や特許文献 2 に開示のものがある。これらの特許文献には、チャージポンプ回路と、その出力電圧を検出し、その出力電圧に基いてチャージポンプ回路の動作を制御する回路とを備えた昇圧回路が開示されている。具体的には、その昇圧回路においては、チャージポンプ回路の出力電圧 V_{pp} を検出し、その出力電圧 V_{pp} を基準電圧と比較し、出力電圧 V_{pp} が基準電圧よりも低いときチャージポンプ回路を活性化し、出力電圧 V_{pp} が基準電圧に達したときにチャージポンプ回路を非活性化する技術が開示されている。 30

【0004】

【特許文献 1】

特開 2001-95234 号公報（段落 [0007]、図 12、図 13 等参照）

【特許文献 2】

特開 2002-15571 号公報（図 1～3、段落 [0043] [0044] 等参照）

【0005】

【発明が解決しようとする課題】

上記のような昇圧回路では、半導体装置のスタンバイ状態時において消費電流を低減するためには、スタンバイ状態時にチャージポンプ回路の出力電圧に基いてチャージポンプ回路の動作を制御する回路に流れる DC 電流を小さくすることが考えられる。 40

【0006】

しかし、DC 電流を小さくすると回路の応答性が悪化し、実用上問題となる。スタンバイ状態時において、半導体装置中のトランジスタのリーク電流等による電圧降下の速度は非常に遅いものであるが、チャージポンプ回路による電圧の昇圧速度はそれに比して非常に速い。このため、昇圧回路の応答性が低いと、チャージポンプ回路動作時に高い電圧まで昇圧が行なわれてしまい、電源電圧のリプル量が大きくなるという問題がある。

【0007】

本発明は上記課題を解決すべくなされたものであり、その目的とするところは、スタンバ 50

イ時の消費電流を抑えつつかつ電圧変動の少ない昇圧を実現する昇圧回路を備えた半導体装置を提供することにある。

【0008】

【課題を解決するための手段】

本発明に係る半導体装置はスタンバイ時に電源電圧を供給する昇圧回路を備える。昇圧回路は、チャージポンプ回路と、チャージポンプ回路の出力電圧を検出する第1及び第2の検出回路とを備える。第2の検出回路は、第1の検出回路と異なるDC電流で動作し、第1の検出回路の出力により活性化される。チャージポンプ回路は少なくとも第2の検出回路の出力に基いて活性化される。

【0009】

【発明の実施の形態】

以下添付の図面を参照して、本発明に係る半導体装置の実施の形態を詳細に説明する。

【0010】

実施の形態1.

図1は本発明に係る半導体装置に含まれる昇圧回路の構成を示した図である。この昇圧回路は半導体装置のスタンバイ時の内部電源電圧を発生させるための回路である。昇圧回路は、半導体装置の内部電源電圧を供給するチャージポンプ回路11と、チャージポンプ回路11の出力を検出する第1の電圧検出回路13及び第2の電圧検出回路15とを備える。チャージポンプ回路11は第1の電圧検出回路13及び第2の電圧検出回路15のそれぞれの出力Vdet1、Vdet2に基いて活性化される。第2の検出回路15は第1の検出回路13の出力電圧Vdet1により活性化される。

【0011】

第1の電圧検出回路13は比較回路21と分圧回路23とを備える。分圧回路23は図2に示すように複数の抵抗からなる。各抵抗の抵抗値は分圧回路23の出力Vdiv1が $V_{pp} \times V_{REF} / V_{pptarget}$ となるよう定められる。ここで、VREFは基準電圧であり、チャージポンプ回路の目標電圧値Vpptargetに相当する値に設定されている。Vpptargetはチャージポンプ回路を作動させる際の目標電圧である。分圧回路23にはDC電流Idiv1が流れる。比較回路21は図3に示すように、カレントミラー回路と、トランジスタ31、32と、電流源33と、インバータ34とからなる。比較回路21にはDC電流Idet1が流れる。

【0012】

第2の電圧検出回路15は比較回路25と分圧回路27とを備える。分圧回路27は図4に示すように複数の抵抗からなる。各抵抗の抵抗値は分圧回路27の出力Vdiv2が $V_{pp} \times V_{REF} / V_{pptarget}$ となるよう定められる。比較回路25は図5に示すように、カレントミラー回路と、トランジスタ35、36と、電流源37と、インバータ38とからなる。分圧回路27にはDC電流Idiv1よりも大きいDC電流Idiv2が流れ、比較回路25にはDC電流Idet1よりも大きいDC電流Idet2が流れる。よって、第2の電圧検出回路15は第1の電圧検出回路13よりも速い応答性を示す。

【0013】

第1の検出回路13はチャージポンプ回路11の出力電圧Vppを入力し、電圧Vppの値が目標値Vpptargetを下回ったときに「High」レベルの信号を出力する。

【0014】

第2の検出回路15はチャージポンプ回路11の出力電圧Vppを入力する。第2の検出回路15は第1の検出回路13の出力電圧Vdet1を入力し、第1の検出回路13の出力Vdet1が「High」であるときに活性化される。第2の検出回路13は検出した電圧Vppの値が目標値Vpptargetを下回り、かつ、第1の検出回路13の出力Vdet1が「High」であるときに「High」レベルの信号を出力する。

【0015】

チャージポンプ回路11は、第1及び第2の検出回路13、15の出力Vdet1、Vdet2のAND演算を行ないポンプイネーブル信号を内部で生成し、そのポンプイネーブ

10

20

30

40

50

ル信号により活性／非活性にされる。すなわち、第１及び第２の検出回路１３、１５の出力がともに「High」になったときにのみ動作する。

【００１６】

図６を用いて昇圧回路の動作をより詳細に説明する。

チャージポンプ回路の出力である内部電源電圧 V_{pp} が目標値 $V_{pptarget}$ よりも高い期間は第１及び第２の検出回路１３、１５の双方とも「Low」を出力する。内部電源電圧 V_{pp} が半導体装置内のトランジスタのリーク電流等により徐々に減少していき、目標値 V_{pp} よりも低くなると、その時点から応答時間 T_{res1d} 経過後に第１の検出回路１３の出力 V_{det1} は「High」になる。

【００１７】

一方、第２の検出回路１５は、内部電源電圧 V_{pp} が目標値 V_{pp} を下回っても、第１の検出回路１３の出力 V_{det1} が「High」でない期間、すなわち応答時間 T_{res1d} 経過前は「Low」を出力する。故に、チャージポンプ回路１１内部のポンプイネーブル信号は「Low」のままであり、チャージポンプ回路１１は活性化されない。

【００１８】

そして、応答時間 T_{res1d} 経過後、第１の検出回路１３の出力が「Low」から「High」に切り替わると、その時点から応答時間 T_{res2d} 経過後に、第２の検出回路１５の出力 V_{det2} は「High」になる。ここで、図６に示すように、第２の検出回路１５の応答時間 T_{res2d} が第１の検出回路１３の応答時間 T_{res1d} よりも短いのは、第２の検出回路１５が第１の検出回路１３よりも高い応答性を有しているからである。

【００１９】

第１及び第２の検出回路１３、１５の出力がともに「High」になると、チャージポンプ回路１１内部で生成されるポンプイネーブル信号が「High」になり、チャージポンプ回路１１が活性され、動作を開始する。これにより、内部電源電圧 V_{pp} が上昇し始める。

【００２０】

内部電源電圧 V_{pp} が上昇し、目標値 $V_{pptarget}$ を超えると、第１の検出回路１３は応答時間 T_{res1u} 後に、第２の検出回路１５は応答時間 T_{res2u} 後に、その出力 V_{det2} が「Low」に切り替わる。このとき、第２の検出回路１５は高い応答性を有することから、 $T_{res2u} < T_{res1u}$ となる。故に、ポンプイネーブル信号の「High」期間は、第１の検出回路１３の出力 V_{det1} の「High」期間よりも短くなる。このため、チャージポンプ回路１１の動作期間が短くなり、チャージポンプ回路１１による内部電源電圧 V_{pp} の過剰な上昇を抑制できる。

【００２１】

なお、上記の例では、ポンプイネーブル信号を第１及び第２の検出回路の出力 V_{det1} 、 V_{det2} のAND演算により生成したが、第２の検出回路の出力 V_{det2} をポンプイネーブル信号として利用することもできる。

【００２２】

本実施形態では、第２の検出回路１５のDC電流を第１の検出回路１３のDC電流よりも高くしているため、スタンバイ電流 I_s の増加が懸念されるが、チャージポンプ回路１１の動作期間が短くなるため、全体としてスタンバイ電流 I_s を低減することができる。

【００２３】

上記回路構成によるスタンバイ電流 I_s は次式で得られる。

$$I_s = N \times I_{leak} + (I_{det1} + N \times I_{dev1}) + \{ (I_{det2} + N \times I_{dev2}) \times (T_{res1d} + T_{res1u}) / T_{cycle} \}$$

ここで、 N はチャージポンプ回路の効率、 T_{cycle} はチャージポンプ回路の活性化効率を示す。また、 I_{leak} は昇圧回路が内部電源を供給する半導体装置内の全トランジスタのリーク電流の総和を示す。上式より $\{ (T_{res1d} + T_{res1u}) / T_{cycle} \}$

10

20

30

40

50

le} を制御することによりスタンバイ電流 I_s を制御することができることがわかる。

【0024】

以上のように本実施形態の昇圧回路は、チャージポンプ回路を活性化させるための信号を出力する内部電源電圧の検出回路を2つ設け、第1の検出回路の出力に基いて第2の検出回路が活性化され、第2の検出回路の出力に基いてチャージポンプ回路の活性／非活性を制御する。これにより、チャージポンプ回路の動作期間を短くできるため、スタンバイ時の消費電力を低減でき、また、内部電源電圧の過度の上昇を抑制できるため内部電源電圧に含まれるリップル量を低減できる。

【0025】

実施の形態2.

10

昇圧回路の別の例を示す。本実施形態の構成は基本的に実施の形態1のものと同一であるが、第2の検出回路の検出レベルを、第1の検出回路の検出レベルに対して所定値 Δ だけ異ならせた点が、実施の形態1のものとは異なる。すなわち、図7に示すように、本実施形態における第2の検出回路の分圧回路27bは次式で得られる出力電圧 V_{div2} を出力するように各抵抗の抵抗値が設定される。

$$V_{div2} = V_{pp} \times V_{REF} / (V_{pp_target} + \Delta)$$

【0026】

図8を用いて昇圧回路の動作をより詳細に説明する。

内部電源電圧 V_{pp} が目標値 V_{pp_target} よりも高い期間は第1及び第2の検出回路13、15の双方とも「Low」を出力する。内部電源電圧 V_{pp} が徐々に減少していき、目標値 V_{pp} よりも低くなると、その時点から応答時間 T_{res1d} 経過後に第1の検出回路13の出力 V_{det1} が「High」となる。

20

【0027】

一方、第2の検出回路15は内部電源電圧 V_{pp} が目標値 V_{pp} を下回っても、第1の検出回路13が「High」を出力しない期間、すなわち応答時間 T_{res1d} 経過前は「Low」を出力する。故に、チャージポンプ回路11内部のポンプイネーブル信号は「Low」のままであり、チャージポンプ回路11は活性化されない。

【0028】

そして、応答時間 T_{res1d} 経過後、第1の検出回路13の出力 V_{det1} が「Low」から「High」に切り替わると、その時点から応答時間 T_{res2d} 経過後に、第2の検出回路15の出力 V_{det2} は「High」になる。

30

【0029】

第1及び第2の検出回路13、15の出力 V_{det1} 、 V_{det2} がともに「High」になると、ポンプイネーブル信号が「High」になり、チャージポンプ回路11が活性化され、動作を開始する。これにより、内部電源電圧 V_{pp} が上昇し始める。

【0030】

内部電源電圧 V_{pp} が上昇し、電圧値 $V_{pp_target} + \Delta$ を超えると、第2の検出回路15は、その時点から応答時間 T_{res2u} 後に、その出力 V_{det2} が「Low」に切り替わる。これにより、ポンプイネーブル信号も「Low」になり、チャージポンプ回路11が非活性化され、その昇圧動作が終了する。

40

【0031】

以上のように、第1及び第2の検出回路13、15それぞれの検出のための基準値を Δ だけ異ならせることにより、実施の形態1の場合に比べてその差 Δ に応じてチャージポンプ回路11の昇圧動作期間を増大させることができる。チャージポンプ回路11の活性期間をより長くすることができる。本実施形態の昇圧回路は、特に、能力が低いチャージポンプ回路を使用する場合に有効である。すなわち、チャージポンプ回路の能力が低い場合、チャージポンプ回路が動作しても電圧上昇に時間がかかる。このため、第2の検出回路の検出レベルを適宜設定してチャージポンプ回路の活性期間を長くすることにより、チャージポンプ回路の活性化率 $(T_{res1d} + T_{res1u}) / T_{cycle}$ の増加を伴わずに十分な昇圧電圧を得ることができ、低消費電流で低リップル量の電源電圧の供給が可能

50

となる。

【0032】

実施の形態3.

本発明の半導体装置が有する昇圧回路のさらに別の例を示す。図9に昇圧回路の構成を示す。本実施形態の昇圧回路において、チャージポンプ回路11は第2の検出回路15bの出力のみに基いて活性／非活性化される。

【0033】

第2の検出回路15bは実施の形態2で説明した検出回路であり、第1の検出回路の検出レベルと異なった検出レベルを持つ分圧回路27bを備えている。第2の検出回路15bには第1の検出回路13の出力電圧 V_{det1} と第2の検出回路15bの出力電圧 V_{det2} とのOR演算を行なった電圧が入力される。第2の検出回路15bはこのOR演算による電圧に基いて活性化されるようになっている。 10

【0034】

図10は本実施形態の昇圧回路の動作を示した図である。第1の検出回路13は内部電源電圧 V_{pp} が目標値 $V_{pptarget}$ よりも低くなってから応答時間 T_{res1d} 経過後にその出力が「High」になり、その後、内部電源電圧 V_{pp} が目標値 $V_{pptarget}$ を超えたときから応答時間 T_{res1u} 経過後にその出力が「Low」になる。一方、第2の検出回路15bは、内部電源電圧 V_{pp} が目標値 $V_{pptarget}$ よりも低くなり、かつ、第1の検出回路13の出力 V_{det1} が「High」になったときから応答時間 T_{res2d} 経過後に、その出力 V_{det2} が「High」になる。その後、第1の検出回路13の出力 V_{det1} が「Low」になっても、内部電源電圧 V_{pp} が目標値 $V_{pptarget} + \Delta$ を超えない限りは、第2の検出回路15bは「High」を出力しつづける。やがて、内部電源電圧 V_{pp} が目標値 $V_{pptarget} + \Delta$ を超えると、応答時間 T_{res2u} 経過後に第2の検出回路15bの出力 V_{det2} は「Low」になり、チャージポンプ回路11が停止される。 20

【0035】

以上のように本実施形態の昇圧回路は実施の形態2の場合と同様、第2の検出回路の検出レベルを適宜設定してチャージポンプ回路の活性期間を長くすることにより、チャージポンプ回路の活性化率 $(T_{res1d} + T_{res1u}) / T_{cycle}$ の増加を伴わずに十分な昇圧電圧を得ることができ、低消費電流で低リップル量の電源電圧の供給が可能となる。 30

【0036】

【発明の効果】

本発明によれば、半導体装置においてスタンバイ時の消費電流を低減しつつ、かつ、リップル量を低減した内部電源電圧を供給できる備えた昇圧回路を実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体装置における昇圧回路の構成図

【図2】昇圧回路の第1の検出回路内の分圧回路の構成図

【図3】昇圧回路の第1の検出回路内の比較回路の構成図

【図4】昇圧回路の第2の検出回路内の分圧回路の構成図（実施の形態1） 40

【図5】昇圧回路の第2の検出回路内の比較回路の構成図

【図6】実施の形態1における昇圧回路の昇圧動作時の信号波形を示す図

【図7】昇圧回路の第2の検出回路内の比較回路の構成図（実施の形態2）

【図8】本発明の実施の形態2の半導体装置における昇圧回路の昇圧動作時の信号波形を示す図

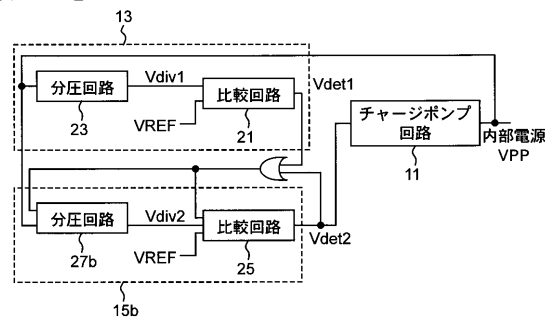
【図9】本発明の実施の形態3の半導体装置における昇圧回路の構成図

【図10】実施の形態3における昇圧回路の昇圧動作時の信号波形を示す図

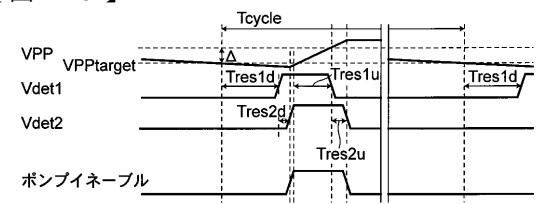
【符号の説明】

11 チャージポンプ回路、 13 第1の検出回路、 15, 15b 第2の検出回路、 21, 25 比較回路、 23, 27, 27b 分圧回路 50

【図 9】



【図 10】



フロントページの続き

Fターム(参考) 5H730 AA11 AA14 AS04 BB02 BB57 FD01 FD21 FF01 FG01 FG22
FG25