

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247341

(P2004-247341A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int. Cl.⁷

F I

テーマコード (参考)

H O 1 L 29/786

H O 1 L 29/78 6 1 8 F

4 M 1 O 4

H O 1 L 21/283

H O 1 L 21/283 C

5 F O 4 8

H O 1 L 21/8238

H O 1 L 29/78 6 1 8 E

5 F 1 1 O

H O 1 L 27/092

H O 1 L 29/78 6 1 7 T

H O 1 L 29/423

H O 1 L 29/78 6 1 3 A

審査請求 未請求 請求項の数 12 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2003-32529 (P2003-32529)

(22) 出願日 平成15年2月10日 (2003.2.10)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100068504

弁理士 小川 勝男

(72) 発明者 斎藤 慎一

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 久本 大

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 鳥居 和功

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

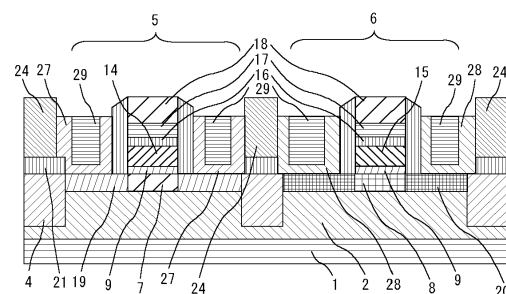
(57) 【要約】

【課題】高誘電率ゲート絶縁膜中に存在する固定電荷によって移動度が大きく低下してしまう。本発明の目的は、高誘電率ゲート絶縁膜を用いた微細CMOSの酸化膜換算膜厚を薄膜化しつつ、ゲート絶縁膜中に存在する固定電荷による散乱で移動度が低下しにくく、なおかつ、高集積させる事のできる半導体装置およびその製造方法を提供する事にある。

【解決手段】SOI基板上に接合の存在しないCMOSを作製し、該CMOSのゲート絶縁膜として高誘電率ゲート絶縁膜を用いる。本発明によるCMOS素子の特徴は、該CMOS素子を蓄積状態において動作させることにあり、反転状態で動作する通常の素子と比べて、チャネルが基板表面から数nm程度離れたところに形成されるため、ゲート絶縁膜中に存在する固定電荷による移動度の低下が少なくできる。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

支持基板上に絶縁層と単結晶シリコン層が積層されてなる S O I 基板と、
前記 S O I 基板の表層部に形成された第 1 導電型を有するソース拡散層及びドレイン拡散層と、
一端が前記ソース拡散層に隣接し、他端が前記ドレイン拡散層に隣接するように形成されたチャンネル部と、
前記チャンネル部上に形成されたゲート絶縁膜とを備え、
前記チャンネル部は前記第 1 導電型を有することを特徴とする半導体装置。

【請求項 2】

支持基板上に絶縁層と単結晶シリコン層が積層されてなる S O I 基板と、
前記 S O I 基板の表層部に形成された第 1 導電型を有するソース拡散層及びドレイン拡散層と、
一端が前記ソース拡散層に隣接し、他端が前記ドレイン拡散層に隣接するように形成されたチャンネル部と、
前記チャンネル部上に形成されたゲート絶縁膜とを備え、
前記ゲート絶縁膜は、前記チャンネル部上に形成された絶縁膜と前記絶縁膜より高い誘電率を有する金属酸化膜が積層されてなり、
前記チャンネル部は前記第 1 導電型を有することを特徴とする半導体装置。

【請求項 3】

前記チャンネル部は、完全空乏化することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記単結晶シリコン層内には、前記第 1 導電型および前記第 1 導電型と反対の導電型からなる接合が形成されていないことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】

前記 S O I 基板は、前記支持基板上に絶縁膜を介して形成された第 1 の単結晶半導体層と前記第 1 の単結晶半導体層上に第 2 の単結晶半導体層とが積層されてなり、
前記第 1 の単結晶半導体の格子定数と、前記第 2 の単結晶半導体の格子定数が異なることにより前記チャンネル部に歪みシリコン層が形成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 6】

前記チャンネル部を形成する不純物濃度は、前記ソースまたはドレイン層を形成する不純物濃度より低いことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 7】

前記単結晶シリコン層の厚さは、40 nm 以下であることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 8】

前記ゲート絶縁膜は、シリコン酸窒化膜またはシリコン窒化膜を含むことを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体装置。

【請求項 9】

前記ゲート絶縁膜は、金属酸化物、または金属酸窒化物を含むことを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体装置。

【請求項 10】

前記ゲート絶縁膜は、アルミニウム、ハフニウムあるいは、ジルコニウムのいずれかの金属材料の酸化物、または前記金属材料の酸化物を少なくとも 1 種類含む絶縁膜、または前記金属材料の酸窒化膜、またはシリケート膜、またはこれらの積層膜を含むことを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体装置。

【請求項 11】

支持基板上に絶縁層と単結晶シリコン層が積層されてなる S O I 基板と、

10

20

30

40

50

前記ＳＯＩ基板内に形成された絶縁材料よりなる分離領域と、
前記分離領域に囲まれたＳＯＩ基板内の表層部に第１導電型を有するソース拡散層及びドレイン拡散層が形成された第１の領域と、
前記分離領域を介して前記第１の領域に隣接し、前記第１導電型と反対導電型を有するソース及びドレイン拡散層が形成された第２の領域とを備え、
前記第１および第２の領域にあって、その一端が前記ソース拡散層に隣接し、他端が前記ドレイン拡散層に隣接するように形成されたチャンネル部上にゲート絶縁膜が設けられ、
前記ゲート絶縁膜は、前記チャンネル部上に形成された絶縁膜と前記絶縁膜より高い誘電率を有する金属酸化膜が積層されてなり、
前記第１の領域のチャンネル部は、前記第１導電型を有し、前記第２の領域のチャンネル部は、第２導電型を有することを特徴とする半導体装置。 10

【請求項１２】

請求項１、２または１１のいずれかに記載の半導体装置が複数形成され、該半導体装置が有するゲート絶縁膜は、複数の膜厚を有することを特徴とする半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、ＳＯＩ基板上に高誘電率ゲート絶縁膜を有する半導体装置及びその製造方法に関するものである。

【０００２】

【従来の技術】

シリコンを用いた集積回路技術は驚くべき速度で発展を続けている。微細化技術の進歩に伴って素子の寸法が縮小され、より多くの素子を１つのチップ内に集積することが可能となり、その結果、より多くの機能の実現されてきた。同時に、素子の微細化に伴う、電流駆動能力の向上と負荷容量の減少により、高速化が達成されてきた。現在のシリコン素子の主流はＣＭＯＳ（Complementary Metal Oxide Semiconductor Field Effect Transistor）であり、そのチャンネル長が０．１μmを切る製品がすでに出荷されるに至っている。

【０００３】

微細なチャンネル長をもつＣＭＯＳでは、ソース拡散層とドレイン拡散層が近づくために、チャンネルが形成されていなくてもソース側の空乏層とドレイン側の空乏層がつながり電流が流れるようになるパンチスルーと呼ばれる現象がおこる事が問題となっている。そのため、しきい値電圧の低下やサブスレッショルド特性の劣化などのいわゆる短チャンネル効果によって素子の特性が低下する。短チャンネル効果を防ぐための方法としては、イオン注入によってチャンネル部の不純物濃度を高くする方法が知られている。この方法を用いると、トランジスタの寸法をより微細化するにつれて、より多くの不純物を添加する事が必要になる。実際、現在の最先端のトランジスタでは、基板濃度は $1 \times 10^{18} \text{ (cm}^{-3}\text{)}$ に達している。しかしながら、このように不純物濃度が高くなると、不純物散乱によって、チャンネルのキャリアが散乱されるため、移動度が低下するという問題が生じている。 30

【０００４】

そこで、次世代のＣＭＯＳは、不純物濃度を著しく増大させることなく、短チャンネル効果の影響を受け難いＳＯＩ（Silicon On Insulator）基板上に作製することが主流になってくると期待されている。ここで、ＳＯＩ基板とは、シリコン単結晶基板表面上に二酸化シリコン膜（埋め込み酸化膜、Buried Oxide、ＢＯＸ層）を介しシリコン単結晶層（ＳＯＩ層）を設けた構造をした基板の事である。ＳＯＩ基板に作製された素子をＳＯＩ素子と呼ぶことにし、バルクのシリコン基板に作製された素子をバルク素子と呼ぶことで両者を区別する。ＳＯＩ素子は、ＢＯＸ層が設けられているため、チャンネルが形成されていない場合には、ソース拡散層とドレイン拡散層の間に電流が流れにくい。従って、ＳＯＩ素子は、バルク素子と比べて、チャンネル部分の不純物濃度を低く保ったまま、より優れた短チャンネル特性を示すことが出来る。そのため、ＳＯ 40 50

I 素子は、高濃度化に伴う不純物散乱による移動度低下をまねくことなく、高い電流駆動能力を示すことができる。また、S O I 素子は、バルク素子より、寄生容量を低減できることや放射線耐性に優れること等の特徴を有し、高性能、高信頼性が期待されている。S O I 素子の優れた特徴については、たとえば、非特許文献 1 に開示されている。

【0005】

電流駆動能力を向上させるために素子の微細化が進められてきたが、なかでもゲート絶縁膜の薄膜化はその最たるものである。すでに、ゲート絶縁膜の膜厚が 2 nm を切る製品が出荷されるに至っている。研究レベルでは、たとえば、非特許文献 2 では、ゲート絶縁膜の膜厚が 0.8 nm の CMOS デバイスの動作も報告されている。これは、ゲート絶縁膜として用いている二酸化シリコンの原子層にして、実に 3 層分に相当する。

10

【0006】

しかしながら、ゲート絶縁膜の膜厚が 2 nm を切るような極薄の酸化膜を用いると様々な問題が生じる。その中でも最も深刻な問題は、ゲート絶縁膜を流れる直接トンネル効果によるリーク電流である。直接トンネル効果は、ゲート絶縁膜の膜厚が 4 nm 程度より薄くなると顕著になり、すでにリーク電流が製品レベルでも顕在化する領域に到達している。リーク電流は、ゲート絶縁膜の膜厚を薄くするに従って指数関数的に増大する。従って、ゲート絶縁膜を更に薄膜化すると、消費電力の指数関数的な増大を引き起こす。たとえば、非特許文献 3 には、現在の技術傾向を単純に延長すると、2005 年には単位面積当たりのチップの消費電力が、原子力発電所の発熱量に匹敵するほど増大すると試算している。従って、明らかに、二酸化シリコンゲート絶縁膜の薄膜化は限界に近づいている。

20

【0007】

そこで、二酸化シリコンゲート絶縁膜の薄膜化限界を超えて、更に CMOS の微細化を推し進めるために、二酸化シリコンに代わる高誘電率ゲート絶縁膜の研究開発が世界中で精力的に進められている。ここで、高誘電率ゲート絶縁膜とは、二酸化シリコンよりも大きい誘電率を有する材料を用いたゲート絶縁膜のことであり、たとえば、シリコン窒化膜、シリコン窒化膜、 Al_2O_3 膜、 HfO_2 膜、や ZrO_2 膜など、または、これらの積層膜のことを指す。高誘電率ゲート絶縁膜を用いると、二酸化シリコンを用いた場合と比べて、ゲート絶縁膜の物理的な膜厚を厚くすることができる。すなわち、高誘電率ゲート絶縁膜の誘電率を ϵ_{high-k} 、二酸化シリコンの誘電率 ϵ_{SiO_2} 、及び、高誘電率ゲート絶縁膜の物理膜厚を t_{phys} としたとき、高誘電率ゲート絶縁膜を二酸化シリコン膜に換算したときの膜厚（酸化膜換算膜厚、Equivalent oxide thickness、EOT と略されることが多い） t_{ox} は、 $t_{ox} = t_{phys} \cdot \epsilon_{high-k} / \epsilon_{SiO_2}$ で与えられるため、二酸化シリコンゲート絶縁膜の膜厚と高誘電率ゲート絶縁膜の酸化膜換算膜厚が等しい場合に、二酸化シリコンゲート絶縁膜と比べて高誘電率ゲート絶縁膜の物理膜厚は厚くなる。このため、直接トンネル効果によるリーク電流を小さくすることができる。従って、高誘電率ゲート絶縁膜を用いると、酸化膜換算膜厚を薄膜化することで駆動電流を増大させる事と、ゲート絶縁膜の物理膜厚を厚く保ちリーク電流を低減させる事を両立させることができる。このため、高誘電率ゲート絶縁膜は次世代のゲート絶縁膜として、大変期待されている。

30

【0008】

40

【特許文献 1】

特開 2002-313951 号公報

【非特許文献 1】

D. Hisamoto, 「2001 アイ・イー・デー・エム・テクニカル・ダイジェスト・インターナショナル (IEEE Electron Devices Meeting, 2001 IEDM Technical Digest, International)」, 2001 年, p. 19.3.1 - 19.3.4

【非特許文献 2】

R. Chau, 「2000 アイ・イー・デー・エム・テクニカル・ダイジェスト・インターナショナル (IEEE Electron Devices Meeting, 2000 IEDM Technical Digest, International)」, 2000 年, p. 19.3.1 - 19.3.4

50

2000. IEDM Technical Digest. International)」、2000年、p. 45

【非特許文献3】

P. P. Gelsinger, 「ダイジェスト・オブ・テクニカル・ペーパーズアイ・エス・エス・シー・シー (Solid-State Circuits Conference, 2001. Digest of Technical Papers. ISSCC, 2001 IEEE International)」、2001年、p. 22 - 25

【非特許文献4】

D. A. Buchanan et al., 「2000アイ・イー・デー・エム・テクニカル・ダイジェスト・インターナショナル (IEEE Electron Devices Meeting, IEDM Technical Digest. International)」、2000年、p. 223

【非特許文献5】

K. Torii et al., 「2001エクステンデッド・アブストラクツ・オブ・インターナショナル・ワークショップ・オン・ゲート・オン・ゲートインスレータ (2001. Extended Abstracts of International Workshop on Gate Insulator (IWGI))」、2001年、p. 230

【非特許文献6】

K. Torii et al., 「ダイジェスト・オブ・テクニカル・ペーパーズ オン・VLSI テクノロジー (Digest of Technical Papers. Symposium on VLSI Technology)」、2002年、p. 188 - 189

【非特許文献7】

K. Rim, et al., 「ダイジェスト・オブ・テクニカル・ペーパーズ オン・VLSI テクノロジー (Digest of Technical Papers. Symposium on VLSI Technology)」、2002年、session 2 - 1

【非特許文献8】

「インターナショナル・テクノロジー・ロードマップ・フォー・セミコンダクタ (International Technology Roadmap for Semiconductor (ITRS))」、Sematech、2001年。

【0009】

【発明が解決しようとする課題】

しかしながら、高誘電率ゲート絶縁膜を用いると二酸化シリコンを用いた場合と比較して移動度が大きく低下することが問題となっている。たとえば、非特許文献4には、ゲート絶縁膜として Al_2O_3 膜を用いた場合の移動度が、最大でも $100 \text{ cm}^2 / \text{Vs}$ に満たない事が記載されている。この原因としては、高誘電率ゲート絶縁膜中に存在する固定電荷によってチャネルのキャリアが散乱されたためである可能性が高い。この散乱はリモート電荷散乱と呼ばれている。リモートと呼ばれる所以は、散乱体となる固定電荷がチャネルから離れた所に存在している事にある。従って、キャリアは、固定電荷に直接衝突することはないが、キャリアの進路が固定電荷のつくるポテンシャルによって曲げられるため、移動度が低下する。

【0010】

高誘電率ゲート絶縁膜を用いると、このリモート電荷散乱が起こるという根拠としては、(i) キャリア数の少なく電荷が十分遮蔽されていない低電界側での移動度低下が顕著である事、(ii) 低温に低下させて格子振動を抑制させても移動度が大きく向上しない事、(iii) 容量電圧特性からフラットバンド電圧が変化しており、ゲート絶縁膜中に固定電荷が存在する事、などを挙げることができる。移動度は駆動電流に直結するため、高

10

20

30

40

50

速にデバイスを動作させるためには、移動度を大きくすることが不可欠である。従来の二酸化シリコンゲート絶縁膜を用いた場合、移動度はプロセス条件の詳細によらず、ユニバーサルカーブと呼ばれる曲線にのることが知られている。二酸化シリコンゲート絶縁膜を高誘電率ゲート絶縁膜へ置き換えるためには、高誘電率ゲート絶縁膜を用いた場合の移動度をユニバーサルカーブに近づける事が不可欠である。

【0011】

移動度を向上させるためには、移動度低下の原因となっている固定電荷の量を減らし、理想的には固定電荷をすべて取り除く事が最も有効と考えられる。固定電荷の量を減らすための方法としては、たとえば、非特許文献5には、 Al_2O_3 膜を形成した後のアニール条件を、低温(400 から 500)、大気圧、酸素雰囲気中で行う代わりに、高温(700 から 1000)、減圧、酸素雰囲気中で行うことで、移動度を $200 \text{ cm}^2 / \text{Vs}$ 程度まで向上させる方法が記載されている。これは、固定電荷の量を減らす事ができたためと考えられる。

【0012】

しかし、この方法を用いても、改善された移動度は、従来の二酸化シリコンゲート絶縁膜を用いた場合の半分程度であり、二酸化シリコンゲートを高誘電率ゲート絶縁膜に代用させるには、十分な値に改善したとは言えない。これは、現在の最先端の技術をもってしても、この固定電荷を完全に除去するために有効的な方法が知られていないからである。つまり、現在の高誘電率ゲート絶縁膜の形成技術では、固定電荷の量を十分に減らして、移動度をユニバーサルカーブと同等の移動度にまで改善するための決定的な方法は存在しない。

【0013】

また、移動度を向上させるための別の方法として、特許文献1には、 Al_2O_3 膜とシリコン基板との間に 0.5 nm 以上の界面酸化膜を形成することで、固定電荷をチャネルから遠ざけることで、移動度やフラットバンド電圧などの電気特性を改善させる方法が開示されている。非特許文献6によると、固定電荷は界面酸化膜と高誘電率ゲート絶縁膜の界面に存在するため、界面層が厚くなると、固定電荷が作るクーロンポテンシャルが小さくなるため、チャネルのキャリアが固定電荷に散乱されにくくなるわけである。この方法を用いると、たとえば、界面酸化膜として 2.0 nm の厚さを形成し、その上部に 2.0 nm 程度の Al_2O_3 膜を形成した電界効果トランジスタ(Metal Insulator Semiconductor Field Effect Transistor、MISFETと略)の移動度は、厚さ 2.0 nm の二酸化シリコンゲート絶縁膜を有するMISFETの移動度と同程度の値にまで改善する。しかしながら、この方法では、ゲート絶縁膜の物理膜厚が厚くなるため、EOTを薄膜化しつつ、なおかつ、移動度をユニバーサルカーブに近い値になるように、デバイスを設計する事が困難である。

【0014】

さらに、移動度を向上させるための別の方法として、非特許文献7には、歪シリコン上に高誘電率ゲート絶縁膜を形成する事で、移動度を最大 $300 \text{ cm}^2 / \text{Vs}$ 程度まで向上させる技術が記載されている。これは、歪シリコンを用いてバンド構造を変化させる事で高移動度を達成する技術である。この技術を用いると、高電界側での移動度をユニバーサルカーブより大きくすることができる。しかしながら、歪シリコンを用いた技術は、トータルプロセスとして製品に導入できるレベルにまで完成していない。最も深刻な問題は、Shallow Trench Isolationによって素子分離を行う事ができないため、素子を高集積化できない事である。また、エピタキシャル成長によってSiGe層を形成する際に、結晶に欠陥が生じる事も懸念されている。さらに、不純物の拡散係数が通常のシリコン基板と異なるため、単チャネル効果を抑制した微細CMOSを形成する事ができるかどうかを実証されていないのが現状である。

【0015】

よって、たとえば、非特許文献8によると、歪シリコン技術は、早くとも2007年以降に導入される次世代の技術と考えられている。したがって、歪シリコンを用いて高誘電率

ゲート絶縁膜を用いたM I S F E Tの移動度を向上させる技術は、現実的かつ決定的な解決策とは言えない。

【0016】

係る問題を鑑み、本発明の目的は、現在の技術をもって容易に実現できる方法によって、高誘電率ゲート絶縁膜を用いた微細C M O SのE O Tを薄膜化しつつ、ゲート絶縁膜中に存在する固定電荷による散乱で移動度が低下しにくく、なおかつ、高集積させる事のできる半導体装置およびその製造方法を提供する事にある。本発明の別の目的は、単チャネル効果に強く、リーク電流が小さく、なおかつ、高速に動作するC M O Sを高集積させた半導体装置およびその製造方法を提供する事にある。

【0017】

【課題を解決するための手段】

上記目的を達成するために、本発明は、S O I基板上に接合の存在しないC M O Sを作製し、該C M O Sのゲート絶縁膜として高誘電率ゲート絶縁膜を用いる事で、リーク電流の小さく、なおかつ、移動度の大きい微細C M O Sを提供する。本発明によるC M O S素子の特徴は、該C M O S素子を蓄積状態において動作させることにあり、反転状態で動作する通常の素子と比べて、チャネルが基板表面から数n m程度離れたところに形成されるため、ゲート絶縁膜中に存在する固定電荷による移動度の低下が少ないことを特徴とする。

【0018】

本発明に基づくC M O S素子は、S O I基板を用いて、チャネル部分の不純物の導電型と、該チャネル部に隣接して存在するソース拡散層及びドレイン拡散層の導電型を同一にする事で、C M O S素子からP N接合を排除しているという特徴を有する。素子をO F F状態にするためには、チャネル部を完全に空乏化するため、基板としては、単結晶シリコンを用いることはできず、S O I基板を用いる必要がある。このように、P N接合の存在しないC M O Sは、蓄積状態にすることで、ソースドレイン間に電流を流し、素子をO N状態にするため、以降、該C M O S素子の事を蓄積モードS O I素子と呼ぶことにする。

【0019】

図2に、従来の二酸化シリコンゲート絶縁膜を用いた場合の移動度を蓄積モードと反転モードを比較して示す。

【0020】

ここで、蓄積モードと反転モードの定義は以下に述べる。

チャネル部が蓄積状態の時にトランジスタがO N状態になるように動作させることを蓄積モードと呼ぶ。蓄積モードではチャネル部の導電型とキャリアの極性が一致する。すなわち、チャネル部の導電型がN型の場合、蓄積モードでキャリアとなる電子数の方がホール数より大きくなる。これに対して、チャネル部が反転状態の時にO N状態になるように動作させることを反転モードと呼ぶ。

【0021】

二酸化シリコンゲート絶縁膜を用いる場合には、二酸化シリコンゲート絶縁膜の物理膜厚を薄くするため、多結晶シリコンゲート電極中に存在する空乏電荷がチャネルに近づくため、この空乏電荷によるリモート電荷散乱によって、移動度が低下する事が知られている。我々は、キャリアが電子であってもホールであっても、蓄積モードの方が反転モードより移動度が大きくなることを見出した。蓄積モードでの移動度の上昇は、特に、チャネル部分に印加される実効電界が小さいところでより顕著にあらわれる。これは、低電界側で、チャネルのキャリア数が少なく、電荷が十分に遮蔽されていないためである。従って、蓄積モードS O I素子が、リモート電荷散乱に対する移動度の低下に強い事を示している。従って、蓄積モードS O I素子は、リモート電荷散乱による移動度の低下が少ない事が判明した。二酸化シリコンゲート絶縁膜を用いた場合には、膜中に存在する固定電荷の数が少ないため図2に示した移動度の上昇分は少ないが、高誘電率ゲート絶縁膜を用いた場合には、膜中に非常に多くの固定電荷が存在するため、固定電荷に起因するリモート電荷散乱によって移動度が大きく低下する。よって、高誘電率ゲート絶縁膜を用い

10

20

30

40

50

た場合には、蓄積モードでデバイスを動作させることで非常に大きな移動度の上昇を期待する事ができ、極めて有効であるという着想に到った。

【0022】

我々は、蓄積モードでの移動度向上の機構を明らかにするために、量子効果を考慮に入れたシミュレーションを行った。その結果得られた、基板表面からチャンネルの中心位置までの距離のゲート電圧依存性を図3に示す。蓄積モードの方が、反転モードに比べて、約1 nm程度、チャンネルが基板の内部に形成されていることがわかる。これは、蓄積モードSOI素子は、多数キャリアを用いて駆動電流を流しているため、チャンネル部分に印加される電界を緩和することができるためである。この電界緩和のために、蓄積モードで動作させると、基板表面付近に存在する界面トラップやゲート絶縁膜中に存在する固定電荷からチャンネルまでの距離を1 nm程度遠ざけることができるため、散乱ポテンシャルを小さくすることができる。ゲート絶縁膜の薄膜化は一世代毎に0.1 nmから0.2 nm程度薄膜化されていくため、この1 nmという距離は実に五世代以上前のゲート絶縁膜を用いた場合と同じ程度固定電荷をチャンネルから遠ざけることに相当し、固定電荷による散乱を抑制するのには十分は距離である。

【0023】

よって、シリコン基板の界面に存在する界面トラップ準位によるキャリアの散乱やゲート絶縁膜中に存在する固定電荷によるキャリアの散乱を抑制することができ、移動度を向上させる事ができる事が明らかになった。従って、蓄積モードSOI素子に高誘電率ゲート絶縁膜を用いた場合には、界面酸化膜を1 nm程度増大させた時に期待される移動度上昇と同等の効果を、実際には、界面酸化膜の膜厚を増大させることなく達成することができる。従って、高誘電率ゲート絶縁膜を用いた蓄積モードSOI素子は、EOTを薄膜化させつつ、なおかつ、移動度をユニバーサルカーブと同程度にまで回復させることができる。すなわち、高誘電率ゲート絶縁膜を用いた蓄積モードで動作するSOI素子は、ゲート絶縁膜中に存在する固定電荷が引き起こすリモート電荷散乱の影響を受け難い素子であり、高移動度とEOTの薄膜化を同時に達成することができ、なおかつ、リーク電流を二酸化シリコンゲート絶縁膜を用いた場合と比べて2桁から4桁程度低減させることができる。

【0024】

ここで、注意しておきたい事は、蓄積モードSOI素子は、いわゆる埋め込みチャンネルトランジスタとは異なることである。埋め込みチャンネルトランジスタでは、基板表面のチャンネル部分にPN接合を形成している。よって、該埋め込みチャンネルは、基板表面からおおよそ50 nmから200 nm程度の非常に深いところに形成されている。一方、図3にも示したとおり、蓄積モードSOI素子では、基板表面からおおよそ1 nmから5 nm程度の非常に浅いところにチャンネルが形成されている。従って、蓄積モードSOI素子は、表面チャンネルトランジスタであり、埋め込みチャンネルトランジスタではない。また、構造上も、蓄積モードSOI素子には、PN接合が一切形成されていないという点で、埋め込みチャンネルトランジスタとは明確に区別することができる。また、埋め込みチャンネルトランジスタでは単チャンネル効果の制御が難しいため微細CMOSが動作するように設計することが困難なのに対し、蓄積モードSOI素子は単チャンネル効果に強いSOI基板を用いているため、微細CMOSの設計が容易であるという利点がある。さらに、埋め込みチャンネルトランジスタでは、チャンネルが非常に深いところに形成されるため、チャンネルと基板表面との間に存在する空乏容量によって、素子の容量が低下してしまい駆動電流が低下するという欠点が存在する。これに対し、蓄積モードSOI素子は、表面チャンネルトランジスタであるため、蓄積層が形成されている状態では、表面に空乏層が存在せず容量の低下が起こらないため、大きな駆動電流を得る事ができるという特徴を有する。

【0025】

なお、ここで、完全空乏型のSOI-CMOS素子とは、CMOSトランジスタがオフ状態の時に、SOI層が完全に空乏状態になる素子を指す。すなわち、CMOSトランジスタを完全空乏型とするためには、SOI層の厚さを t_{SOI} として、空乏層の最大の

厚さを W_{dep} としたときに、 $t_{SOI} < W_{dep}$ という条件を満足すれば良い。
 加えて、微細な完全空乏型 SOI-CMOS 素子を動作させるためには、短チャネル効果を抑制する必要がある、 $t_{SOI} < W_{dep}$ という条件よりも更に SOI 層を薄くする必要がある。K. Suzukiらの文献 [IEEE, Trans. Electron Devices, Vol. 40, p. 2326 (1993).] によると、シリコンの誘電率を ϵ_{Si} 、ゲート長を L_g とし、パラメータを下記の数式 1 で定義する場合に、 $L_g / 2\lambda > 3$ という条件を満たす必要がある。

【0026】

【数1】

$$\text{数式 1} \quad \lambda = \sqrt{\frac{\epsilon_{Si} t_{SOI} t_{ox}}{2\epsilon_{Si}} \left(1 + \frac{\epsilon_{ox} t_{SOI}}{4\epsilon_{Si} t_{ox}} \right)}$$

10

この条件式から、典型的な値として酸化膜換算膜厚 $t_{ox} = 1.5 \text{ nm}$ で $L_g = 100 \text{ nm}$ の完全空乏型 SOI-CMOS トランジスタを動作させるためには、 $t_{SOI} < 40 \text{ nm}$ である必要がわかる。

【0027】

【発明の実施の形態】

以下、本発明を実施例によりさらに詳細に説明する。理解を容易にするため、図面を用いて説明し、要部は他の部分よりも拡大して示されている。各部の材質、導電型、及び製造条件等は本実施例の記載に限定されるものではなく、各々多くの変形が可能であることは言うまでもない。

20

【0028】

< 実施例 1 >

まず、図4のような、単結晶シリコン基板1、BOX層2、そしてSOI層3とから形成されたSOI基板を用意する。SOI基板としては、2つの単結晶シリコン基板を二酸化シリコンを介して結合させる通常の貼り合わせ法などにより作製する方法か、あるいは、Si基板に酸素イオンを注入し、高温で熱処理を行なうSIMOX法 (Separation by Implanted Oxygen) により作製する方法が知られている。いずれの方法によって作製されたSOI基板を用いても差し支えないが、SIMOX法で作製されたSOI基板では、酸素イオンを注入する際に欠陥が発生するため、貼り合わせ法によって作製された基板を用いる方が望ましい。SOI層の厚さは、CMOS素子がOFF状態において完全に空乏化するために、10 - 40 nm程度が望ましい。最初に用意したSOI基板におけるSOI層の厚さがこれよりも厚い場合には、該SOI基板を酸化させた後に、フッ酸水溶液によって表面に形成された二酸化シリコンを除去することで、該SOI層を薄くすることができる。また、SOI層としては通常の単結晶シリコンを用いる代わりに、SiGe層とエピタキシャルシリコン層を積層した歪シリコン層を用いても差し支えない。SOI層として、歪シリコン層を用いた場合には、歪シリコン層を用いることでの移動度上昇に加えて、本発明による蓄積モード動作による移動度上昇が加わるため、更なる移動度の向上が期待できる。

30

40

【0029】

次に、シリコンナイトライドをマスクとして用いたドライエッチングによってSOI層に開口を施した後に、該開口部を二酸化シリコンで埋めた後に、化学的機械的研磨 (Chemical Mechanical Polishing, CMP) によって表面を平坦化する事で、Shallow Trench Isolation (STI) 部4を形成して素子分離を行った図5の状態に加工する。図5では、通常のCMOSプロセスを想定して、N型チャネルMOS (NMOS) を形成するNMOS形成領域5とP型チャネルMOS (PMOS) を形成するPMOS形成領域6とに分離した。

その後、CMOS素子のしきい電圧を調整するために、NMOS形成領域5に対してリン又はヒ素を用いたN導電型イオンの注入を行い、PMOS形成領域6に対してボロンを用

50

いたP導電型イオンの注入を行った。引き続き、イオンの引き延ばし活性化のための熱処理を行う事で、SOI層の濃度を $5 \times 10^{16} \text{ cm}^{-3}$ 程度にすることで、図6に示すようなN⁻型低濃度チャネル領域7及びP⁻型低濃度チャネル領域8を形成する。なお、このイオン注入とその後の活性化熱処理によって、図4の最初の段階で用意したSOIウェハのSOI層3がP型あるいはN型であったとしても、何ら問題なく、該SOI層に該N⁻型低濃度チャネル領域7と該P⁻型低濃度チャネル領域8の両方の領域を形成することができる。なぜなら、図4の段階で用意するSOIウェハのSOI層3の基板濃度は、限りなくノンドープに近いSOI基板を用意することができ、その濃度は 10^{14} cm^{-3} 程度であり、図6に示したイオン注入の処理によって加えられた不純物濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 程度に対して2桁以上小さく、ノンドープとみなして差し支えないためである。従って、チャネル領域である、該N⁻型低濃度チャネル領域7及び該P⁻型低濃度チャネル領域8にはPN接合が存在しないため、いわゆる埋め込みチャネル型のトランジスタにはならず、表面チャネルトランジスタとすることができる。

10

【0030】

次に、ウェハ表面を希釈フッ酸水溶液によって洗浄したのちに、図7に示すように、高誘電率ゲート絶縁膜9を形成する。高誘電率ゲート絶縁膜としては、シリコン酸窒化膜、シリコン窒化膜、 Al_2O_3 膜、 HfO_2 膜、や ZrO_2 膜など、または、これらの積層膜を用いることができる。本実施例においては、種々の高誘電率ゲート絶縁膜材料を用いて、蓄積モードSOI素子を作製したが、そのいずれの素子においても、移動度の向上を確認することができた。

20

なかでも、最もリーク電流が小さく、なおかつ、著しく移動度を向上させることができた高誘電率ゲート絶縁膜9の形成方法を以下に開示する。

【0031】

まず、界面に、窒素を多量に含むシリコン酸窒化膜10を物理膜厚1.5nm形成する。引き続き、Atomic Layer Chemical Vapor Deposition (ALCVD)法によって、 Al_2O_3 膜、 HfO_2 膜、または ZrO_2 膜を1.5nm程度形成した後に、表面に窒化処理を行い、Al、Hf、またはZr酸窒化膜11を形成する。引き続き、1000の窒素雰囲気中でアニール処理を行う。図8には、このようにして形成した積層膜である高誘電率ゲート絶縁膜9を拡大して図示する。該高誘電率ゲート絶縁膜9は、EOTに換算して1.1nmから1.5nmにまで薄膜化することができ、二酸化シリコンゲート絶縁膜と比較して3桁から5桁程度リーク電流を低減できるばかりでなく、移動度をユニバーサルカーブと同程度の値にすることができた。また、高誘電率ゲート絶縁膜の表面に窒素を添加しているため、ゲート電極から不純物が高誘電率ゲート絶縁膜の中に拡散する現象、いわゆる、不純物の突き抜けを防ぐこともできる。加えて、最初に形成するシリコン酸窒化膜をより薄く形成すれば、更にEOTを薄膜化することも容易に可能である。

30

【0032】

次に、全面に多結晶シリコン12を堆積させた後、表面を保護するために該多結晶シリコン12の表面に二酸化シリコン膜13を10nm程度形成した図9の状態にする。引き続き、NMOS形成領域5に対してボロンを用いたP導電型イオンの注入を行いP型多結晶シリコン14、PMOS形成領域6に対してリン又はヒ素を用いたN導電型イオンの注入を行いN型多結晶シリコン15とした。引き続き、イオンの引き延ばし活性化のための熱処理を窒素雰囲気中の950で30秒間行う事で、濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 程度にした。

40

【0033】

次に、フッ酸水溶液を用いて犠牲酸化膜13を除去した後に、バリアメタルとしてWN16を5nm、メタル電極としてW17を50nm、層間膜として二酸化シリコン18を100nmそれぞれ全面に堆積させた。引き続き、所望のパターンにするために、レジストマスクを用いたドライエッチングで図10の状態に加工した。

次に、NMOS形成領域5に対してリン又はヒ素を用いたN導電型イオンの注入を行い、

50

P M O S 形成領域 6 に対してボロンを用いた P 導電型イオンの注入を行った。引き続き、イオンの活性化熱処理を行うことで、濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 程度にした、 N^+ 導電型ソースドレイン拡散層 19、及び、 P^+ 導電型ソースドレイン拡散層 20 を形成した図 11 の状態にした。ここで、該活性化熱処理の条件は、高誘電率ゲート絶縁膜 9 の種類によって、最適化させることが望ましい。高誘電率ゲート絶縁膜 9 として、シリコン窒化膜、シリコン窒化膜、や Al_2O_3 膜、及び、これらの積層膜などを用いた場合には、高温での熱処理に耐える事ができるため、 1000 の窒素雰囲気中で 5 秒行った。一方、ゲート絶縁膜 9 として、Hf や Zr を含む酸化膜や酸窒化膜を用いた場合には、高温で熱処理を行うとゲート絶縁膜の結晶化がおこり、移動度の低下やリーク電流の増大など素子特性が劣化してしまうため、 850 の窒素雰囲気中で 10 秒の熱処理で活性化熱処理を行った。

10

【0034】

この後、通常の S A L I C I D E (S e l f - A l i n e d - s i L I C I D E) 工程によって、 N^+ 導電型ソースドレイン拡散層 19、及び、 P^+ 導電型ソースドレイン拡散層 20 の表面をシリサイド化した後に所望の配線を施しても良いが、S O I 層 3 の厚さが薄い場合には、S A L I C I D E 工程を行う事が困難となるため、以下、S A L I C I D E 工程を用いない製造方法を開示する。

【0035】

まず、全面に二酸化シリコン 21 を 50 nm 堆積させた後に、多結晶シリコン 22 を 300 nm 堆積させる。引き続き、化学的機械的研磨 (C h e m i c a l M e c h a n i c a l P o l i s h i n g、C M P) によって、表面に二酸化シリコン 21 が露出するまで研磨して、図 12 に示した状態に加工する。

20

次に、レジストマスクを用いたドライエッチングにより、多結晶シリコン 22 を所望のパターンに加工し、S T I 部 4 の上部に開口部 23 を施した図 13 の状態に加工する。

【0036】

次に、全面に二酸化シリコン 24 を堆積させて、開口部 23 を埋める。引き続き、C M P によって、表面に多結晶シリコン 22 が露出するまで研磨した図 14 の状態に加工する。次に、ドライエッチングによって多結晶シリコン 22 を選択的に除去した後に、ドライエッチングによって二酸化シリコン 21 を 50 nm 選択的に除去した図 15 の状態に加工する。

30

次に、全面に多結晶シリコン 25 を 30 nm 堆積した。引き続き、二酸化シリコン 26 を 10 nm 堆積した図 16 の状態に加工する。引き続き、N M O S 形成領域 5 に対してリン又はヒ素を用いた N 導電型イオンの注入を行い N 型多結晶シリコンゲート電極 27 を形成し、P M O S 形成領域 6 に対してボロンを用いた P 導電型イオンの注入を行い P 型多結晶シリコンゲート電極 28 を形成した。引き続き、活性化のための熱処理を、 750 の窒素雰囲気中で 20 分行う事で、該 N 型多結晶シリコンゲート電極 27 及び該 P 型多結晶シリコンゲート電極 28 の濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 程度にする。引き続き、フッ酸水溶液を用いて二酸化シリコン 26 を除去したあと、全面に W 29 を堆積させる。引き続き、C M P を用いて、表面に該 N 型多結晶シリコンゲート電極 27 及び該 P 型多結晶シリコンゲート電極 28 を露出するまで研磨する。

40

【0037】

引き続き、ドライエッチングによって、二酸化シリコン 18 上に残置した W 29 及び、該 N 型多結晶シリコンゲート電極 27、及び、該 P 型多結晶シリコンゲート電極 28 を除去することで、図 17 の状態に加工して、蓄積モード S O I 素子を作製した。回路を集積化させるためには、この後、所望の配線工程を施せばよい。

図 18 には、本実施例によって作製された蓄積モード N 導電型 M O S F E T における実効移動度をチャネル部に印加される実効電界の関数として図示した。従来の反転モード素子と比較して、実効移動度が蓄積モードと比較して大きく上昇しており、蓄積モード素子の有効性を検証することができた。蓄積モード素子を用いることでの移動度の上昇は、反転モード素子の移動度最大約 3 倍にも達しており、移動度の低下が深刻な問題となっている

50

高誘電率ゲート絶縁膜を用いる場合には、蓄積モード素子とすることが極めて有効であることが実証された。図18では、高誘電率ゲート絶縁膜9として、本実施例によって開示したシリコン酸窒化膜10とAl酸窒化膜11の積層膜を用いた場合について示したが、他の高誘電率ゲート絶縁膜材料として、ハフニウム酸窒化膜を用いた場合にも最大約2倍程度の移動度の向上を確認した。また、P導電型のチャネルについても、シリコン酸窒化膜10とAl酸窒化膜11の積層膜を用いた場合には、反転モード素子と比較して最大約2.5倍の移動度上昇を確認し、ハフニウム酸窒化膜を用いた場合には、約2.3倍の移動度上昇を確認した。また、リーク電流に関しても、蓄積層が界面から離れたところに形成される効果によって、反転モードを用いた場合より蓄積モードを用いた場合の方が10%程度小さくできることも合わせて確認された。従って、高誘電率ゲート絶縁膜を用いる場合

10

【0038】

<実施例2>

本実施例では、ダミーゲートプロセスを用いて蓄積モードSOI-CMOSを作製することによって、高誘電率ゲート絶縁膜9にかかる熱負荷を軽減し、高移動度を達成する第2の実施例について述べる。

まず、前記実施例1と同様の工程によって、SOI基板にSTIで素子分離を行った後に、しきい電圧調整用のイオン注入と活性化熱処理を行った図6の状態に加工する。

【0039】

20

次に、表面を保護するための犠牲酸化膜29を10nm形成した後、ダミーゲートとなる多結晶シリコン30を150nm堆積した後、シリコンナイトライド31を50nm堆積させた。引き続き、所望のパターンにするために、レジストマスクを用いたドライエッチングで図19の状態に加工した。

次に、NMOS形成領域5に対してリン又はヒ素を用いたN導電型イオンの注入を行い、PMOS形成領域6に対してボロンを用いたP導電型イオンの注入を行った。引き続き、注入したイオンを活性化させるために1000の窒素雰囲気中で5秒の熱処理を行い、濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 程度にした、 N^+ 導電型ソースドレイン拡散層19、及び、 P^+ 導電型ソースドレイン拡散層20を形成した図20の状態にした。該活性化熱処理は、高誘電率ゲート絶縁膜9の形成前に行っているために、高温で短時間に行うことができる。従って、 N^+ 導電型ソースドレイン拡散層19及び P^+ 導電型ソースドレイン拡散層20の不純物プロファイルが、それぞれ、 N^- 型低濃度チャネル領域7及び P^- 型低濃度チャネル領域8に広がる事を防ぎつつ、不純物を活性化させる事ができる。従って、高誘電率ゲート絶縁膜9にかかる熱負荷を減らしつつ、なおかつ、微細なチャネル長を有する蓄積モードSOI素子を作製するのに最適なプロセスを提供できる。

30

【0040】

次に、全面に二酸化シリコン21を50nm堆積させた後に、多結晶シリコン22を300nm堆積させる。引き続き、化学的機械的研磨(Chemical Mechanical Polishing、CMP)によって、表面にシリコンナイトライド31が露出するまで研磨して、図21に示した状態に加工する。

40

次に、実施例1と同様にして、レジストマスクを用いたドライエッチングにより、多結晶シリコン22を所望のパターンに加工し、STI部4の上部に開口部23を施す。引き続き、全面に二酸化シリコン24を堆積させて、開口部23を埋める。引き続き、CMPによって、表面に多結晶シリコン22が露出するまで研磨した図22の状態に加工する。

次に、多結晶シリコン30の表面に酸化処理を行うことで、二酸化シリコン32を20nm程度形成する。引き続き、レジストマスクを用いて、NMOS形成領域5に対して、180に熱したリン酸溶液を用いたウェットエッチングによって、シリコンナイトライド31を選択的に除去した後に、フッ硝酸を用いたウェットエッチングによって、多結晶シリコン30を選択的に除去し、開口部33を形成した図23の状態に加工する。

【0041】

50

次に、全面にシリコンナイトライド34を堆積させた後に、該シリコンナイトライド34に対してドライエッチングを施すことによって、開口部33の側壁にのみ残置させて、サイドウォールを形成する。引き続き、ウェットエッチングによって、前記ドライエッチングによってダメージを受けた犠牲酸化膜29を除去する。引き続き、N⁺型低濃度チャネル領域7の上部表面を酸化し二酸化シリコン膜（図示せず）を形成した後、該二酸化シリコン膜を除去することで、N⁺型低濃度チャネル領域7の上部表面を清浄化した図24の状態に加工する。

次に、高誘電率ゲート絶縁膜9を形成する。本実施例のプロセス工程を用いると、高誘電率ゲート絶縁膜9を形成するより前の工程で、注入したイオンの活性化熱処理を終えているため、高誘電率ゲート絶縁膜9にかかる熱負荷を軽減することができる。そのため、高誘電率ゲート絶縁膜が結晶化することを防ぐ事ができ、高移動度と低リーク電流を同時に実現できる。高誘電率ゲート絶縁膜としては、積層膜を用いた。まず、開口部33の界面に0.5nm程度の極薄酸化膜35を形成する。引き続き、ALCVD法によって、HfO₂膜、またはZrO₂膜36を2.0nm程度形成した後に、1000の減圧酸素雰囲気中でアニール処理を行う。

10

【0042】

引き続き、ゲート電極の形成を行う。本発明による蓄積モードSOI素子のNMOSFETをゲート電圧が印加されていない状態でオフ状態（ノーマリーオフ）にするためには、ゲート電極材料としては、シリコンの価電子帯に近い仕事関数を持つ材料を用いることが望ましい。本実施例では、TiN膜37を堆積させた。引き続き、二酸化シリコン32を除去することで、図25に示したような、状態に加工する。

20

次に、NMOS形成領域5に施したのと同様の工程をPMOS形成領域6に施す。すなわち、PMOS形成領域6のシリコンナイトライド31及び多結晶シリコン30を選択的に除去し開口部を施した後に、シリコンナイトライド34によるサイドウォールを形成し、引き続き、犠牲酸化膜29を除去し、P⁺型低濃度チャネル領域8の表面を清浄化し、引き続き、極薄酸化膜35とHfO₂膜、またはZrO₂膜36の積層膜である高誘電率ゲート絶縁膜9を形成する。その後、蓄積モードSOI素子のPMOSFETをノーマリーオフにするために、ゲート電極材料としては、シリコンの伝導体帯に近い仕事関数を持つ材料を用いる。本実施例では、TaSiN膜38をゲート電極とした。引き続き、二酸化シリコン32を除去することで、図26に示した状態に加工した。回路を集積化させるためには、この後、所望の配線工程を施せばよい。

30

【0043】

本実施例によって作成された高誘電率ゲート絶縁膜を用いた蓄積モードSOI素子の移動度は、従来の二酸化シリコンゲート絶縁膜を用いた場合と同程度の移動度であることが確認された。すなわち、本実施例に基づく蓄積モードSOI素子は、高誘電率ゲート絶縁膜中に存在する固定電荷による移動度の低下が起こり難い素子である。また、リーク電流は、従来の二酸化シリコンゲート絶縁膜を用いた素子と比べて、3桁から4桁程度小さくできていることが確認され、低消費電力の素子であることも合わせて確認された。また、本発明による蓄積モードSOI素子は、ゲート長が20nmでも良好なデバイス動作を示しており、単チャネル効果にも極めて強いことが合わせて確認された。

40

【0044】

また、本実施例では、NMOS形成領域5とPMOS形成領域6の二つの領域を示したが、これを更に多くの領域に分割することも容易にできる。この場合、各領域に形成する高誘電率ゲート絶縁膜の膜厚や材料を別々に設定することができる。これにより、多水準の膜厚を有する高誘電率ゲート絶縁膜を同一のチップ上に集積することができ、回路設計の自由度を飛躍的に増大させることが可能となる。

【0045】

【発明の効果】

本発明によれば、高誘電率ゲート絶縁膜を用いた蓄積モードSOI素子は、移動度を従来の二酸化シリコンをゲート絶縁膜として用いた場合と同程度に保ちつつ、なおかつ、ゲ

50

ト電極に流れるリーク電流を3桁から4桁程度小さくすることが可能となる。また、本発明によれば、高誘電率ゲート絶縁膜を用いた蓄積モードSOI素子は、量子効果を有効に利用することで、チャンネルをシリコン基板界面から数nm程度離れたところに形成するため、高誘電率ゲート絶縁膜中に固定電荷が多量に存在する場合でさえ、移動度の低下がおこりにくい。従って、本発明による高誘電率ゲート絶縁膜を用いた蓄積モードSOI素子を用いて集積回路を作製すると、高速動作と低消費電力を両立することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置の完成断面図。

【図2】蓄積モード素子と反転モード素子の移動度の比較。

【図3】基板表面からチャンネル中心までの距離。

10

【図4】本発明の第1の実施例に用いるSOI基板の断面図。

【図5】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図6】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図7】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図8】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図9】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図10】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図11】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図12】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図13】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

20

【図14】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図15】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図16】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図17】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図18】本発明の第1の実施例による移動度の向上効果。

【図19】本発明の第2の実施例による半導体装置の製造工程順を示す断面図。

【図20】本発明の第2の実施例による半導体装置の製造工程順を示す断面図。

【図21】本発明の第2の実施例による半導体装置の製造工程順を示す断面図。

【図22】本発明の第2の実施例による半導体装置の製造工程順を示す断面図。

【図23】本発明の第2の実施例による半導体装置の製造工程順を示す断面図。

30

【図24】本発明の第2の実施例による半導体装置の製造工程順を示す断面図。

【図25】本発明の第2の実施例による半導体装置の製造工程順を示す断面図。

【図26】本発明の第2の実施例による半導体装置の製造工程順を示す断面図。

【符号の説明】

1 ... 単結晶シリコン基板、

2 ... BOX層、

3 ... SOI層、

4 ... Shallow Trench Isolation (STI)部、

5 ... NMOS形成領域、

6 ... PMOS形成領域、

40

7 ... N⁺型低濃度チャンネル領域、

8 ... P⁺型低濃度チャンネル領域、

9 ... 高誘電率ゲート絶縁膜、

10 ... シリコン酸窒化膜、

11 ... Al、Hf、またはZr酸窒化膜、

12、22、25、30 ... 多結晶シリコン、

13 ... 二酸化シリコン膜、

14 ... P型多結晶シリコン、

15 ... N型多結晶シリコン、

16 ... WN、

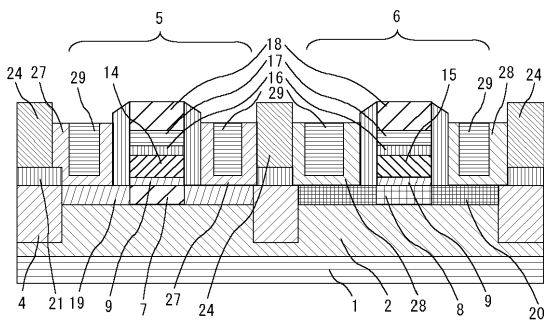
50

- 17 ... W、
 18、21、24、26、32 ... 二酸化シリコン、
 19 ... N^+ 導電型ソースドレイン拡散層、
 20 ... P^+ 導電型ソースドレイン拡散層、
 23 ... 開口部、
 27 ... N型多結晶シリコン・ソースドレイン電極、
 28 ... P型多結晶シリコン・ソースドレイン電極、
 29 ... 犠牲酸化膜、
 31、34 ... シリコンナイトライド、
 33 ... 開口部
 35 ... 極薄酸化膜、
 36 ... HfO_2 膜、または ZrO_2 膜、
 37 ... TiN膜、
 38 ... TaSiN膜。

10

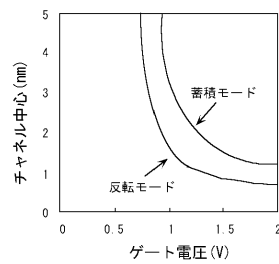
【図1】

図 1



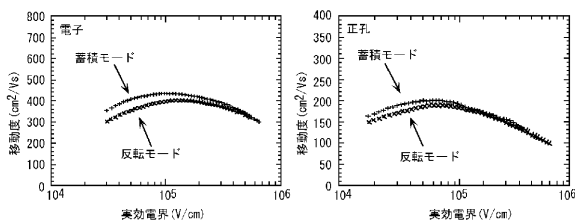
【図3】

図 3



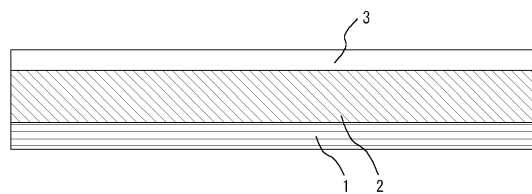
【図2】

図 2



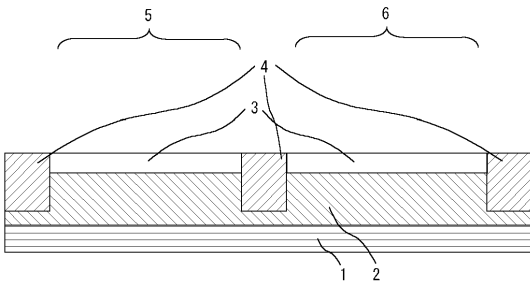
【図4】

図 4



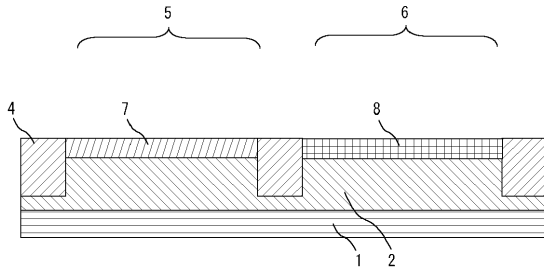
【図 5】

図 5



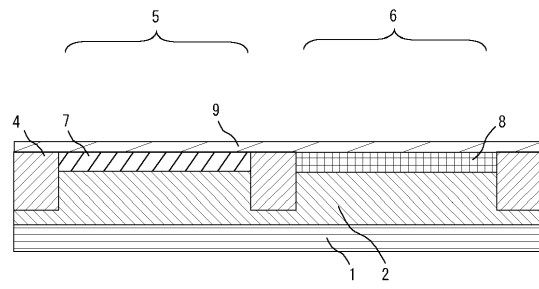
【図 6】

図 6



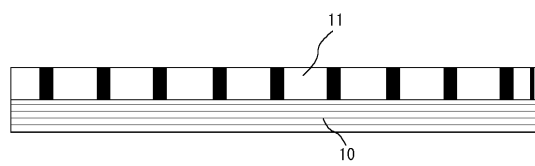
【図 7】

図 7



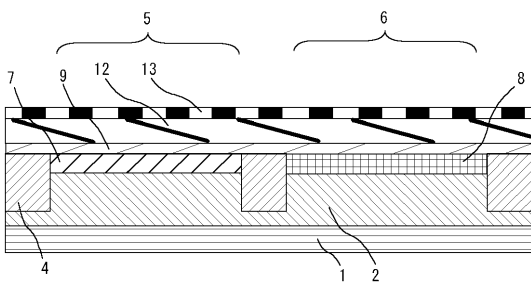
【図 8】

図 8



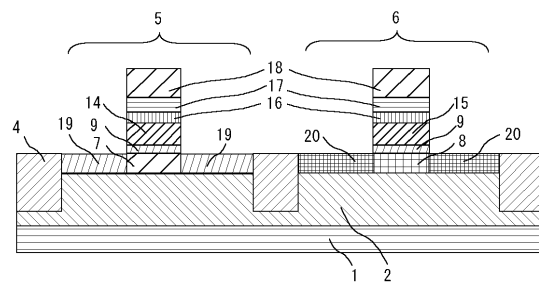
【図 9】

図 9



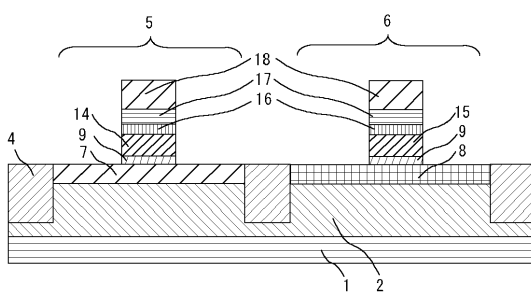
【図 11】

図 11



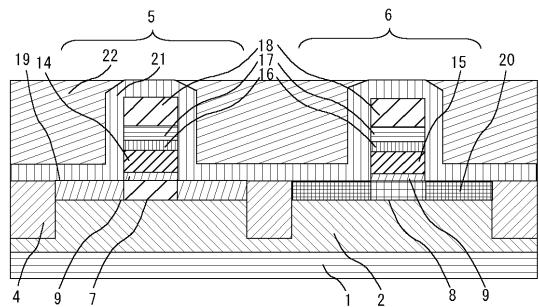
【図 10】

図 10



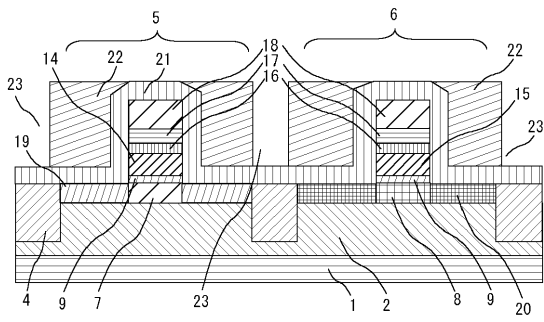
【図 12】

図 12



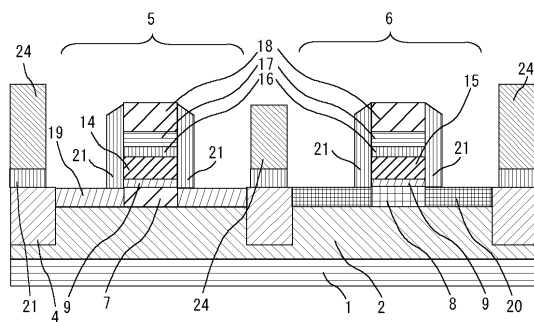
【図 13】

図 13



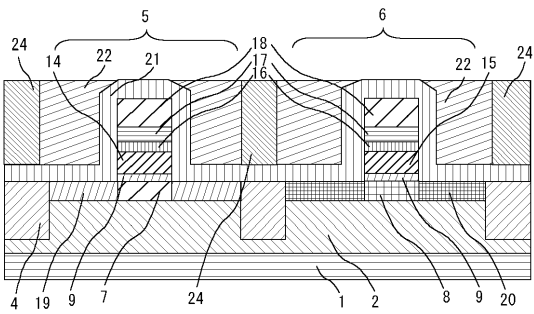
【図 15】

図 15



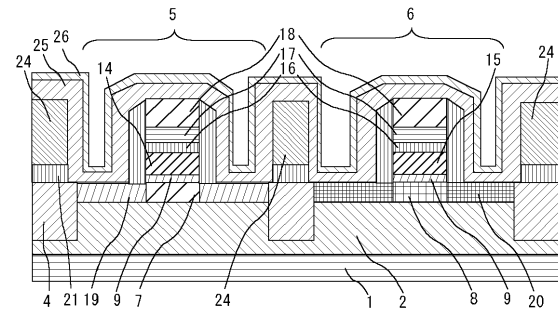
【図 14】

図 14



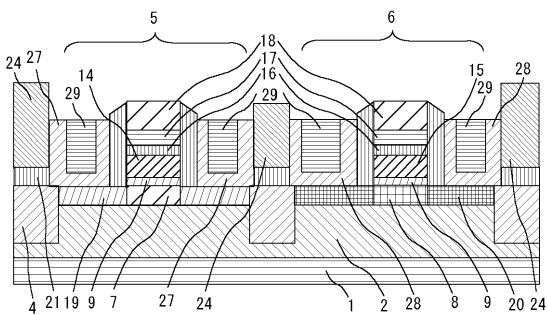
【図 16】

図 16



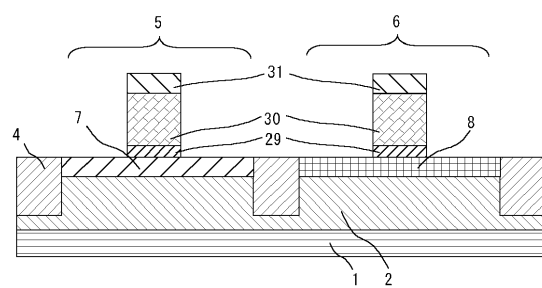
【図 17】

図 17



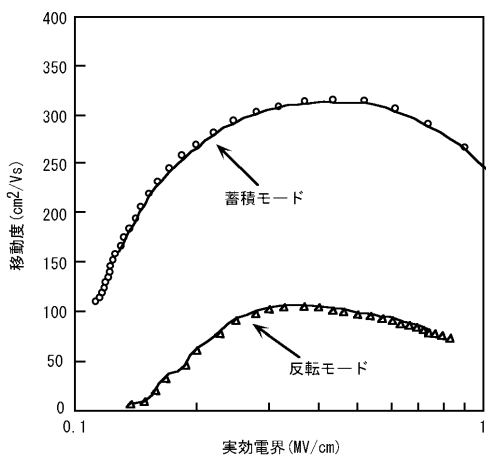
【図 19】

図 19



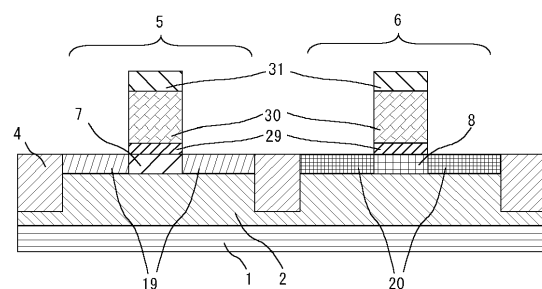
【図 18】

図 18



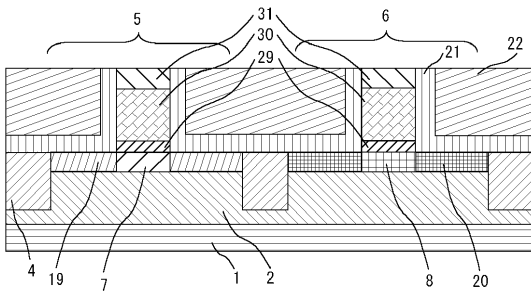
【図 20】

図 20



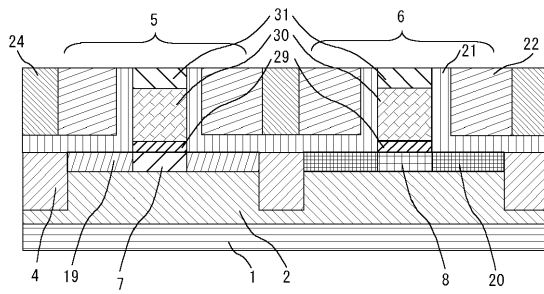
【図 2 1】

図 2 1



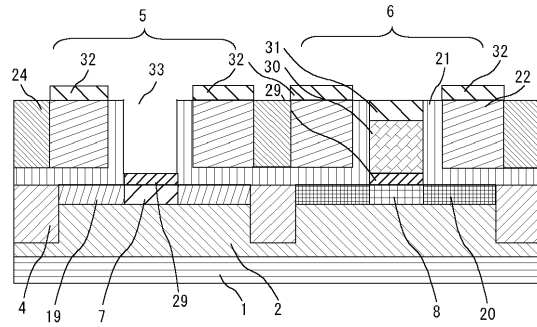
【図 2 2】

図 2 2



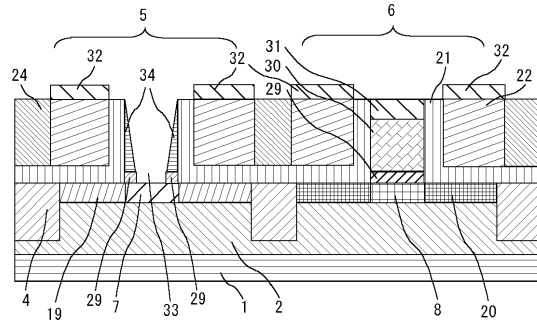
【図 2 3】

図 2 3



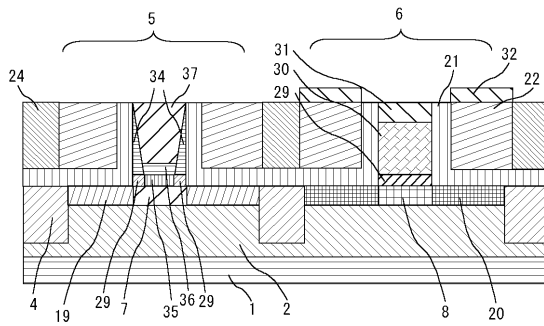
【図 2 4】

図 2 4



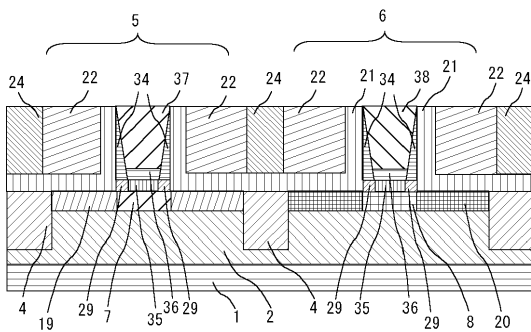
【図 2 5】

図 2 5



【図 2 6】

図 2 6



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 29/49	H 0 1 L 27/08 3 2 1 D	
	H 0 1 L 29/58 G	

(72)発明者 嶋本 泰洋

東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

F ターム(参考) 4M104 AA09 BB01 BB27 BB30 BB40 CC05 DD03 EE03 EE12 EE16
 EE17 FF18 GG09 GG10 GG14
 5F048 AC03 BA16 BB05 BB06 BB07 BB08 BB09 BB11 BE03 BF03
 BF04 BF05 BF07 BF16 BG13 DA24 DA27 DB04
 5F110 AA01 AA06 AA09 BB04 CC02 DD05 DD13 EE01 EE04 EE09
 EE15 EE22 EE32 FF01 FF03 FF04 FF09 FF35 FF36 GG01
 GG02 GG12 GG19 GG32 GG44 GG52 GG58 HJ01 HJ04 HJ13
 HJ23 HK05 HK09 HK14 HK21 HK42 NN02 NN23 NN62 QQ11
 QQ17 QQ19 QQ30