

(43) 国際公開日
2006年10月12日 (12.10.2006)

PCT

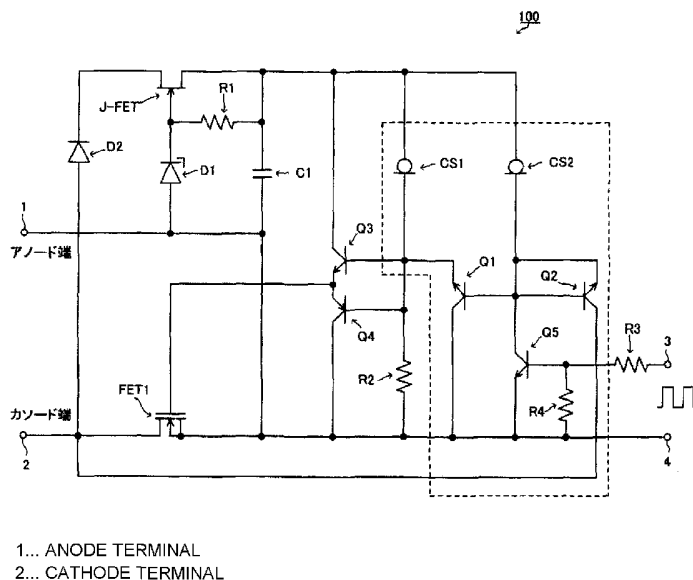
(10) 国際公開番号
WO 2006/106989 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01) H02M 7/21 (2006.01)
H02M 7/12 (2006.01)
- (21) 国際出願番号: PCT/JP2006/306972
- (22) 国際出願日: 2006年3月31日 (31.03.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-105484 2005年3月31日 (31.03.2005) JP
特願2005-174027 2005年6月14日 (14.06.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社エヌ・ティ・ティ・データ・イー・エックス・テクノ (NTT DATA EX TECHNO CORPORATION) [JP/JP]; 〒1356002 東京都江東区豊洲3丁目3番3号 Tokyo (JP).
- (72) 発明者; および
(73) 発明者/出願人 (米国についてののみ): 羽田 正二 (HANEDA, Masaji) [JP/JP]; 〒1356002 東京都江東区豊洲3丁目3番3号 株式会社エヌ・ティ・ティ・データ・イー・エックス・テクノ内 Tokyo (JP). 高草 英博 (TAKAKUSA, Hidehiro) [JP/JP]; 〒1356002 東京都江東区豊洲3丁目3番3号 株式会社エヌ・ティ・ティ・データ・イー・エックス・テクノ内 Tokyo (JP). 岡田 寛 (OKADA, Minoru) [JP/JP]; 〒1356002 東京都江東区豊洲3丁目3番3号 株式会社エヌ・ティ・ティ・データ・イー・エックス・テクノ内 Tokyo (JP). 和田 晴樹 (WADA, Haruki) [JP/JP]; 〒1356002 東京都江東区豊洲3丁目3番3号 株式会社エヌ・ティ・ティ・データ・イー・エックス・テクノ内 Tokyo (JP).
- (74) 代理人: 黒田 健二, 外 (KURODA, Kenji et al.); 〒1050001 東京都港区虎ノ門3丁目6番2号 第2秋山ビル4階・5階 黒田特許事務所 Tokyo (JP).

[続葉有]

(54) Title: RECTIFYING CIRCUIT AND VOLTAGE CONVERTING CIRCUIT

(54) 発明の名称: 整流回路および電圧変換回路



(57) Abstract: [PROBLEMS] To provide a rectifying circuit wherein a rectified current path is on/off controlled in accordance with the positive or negative polarity of an applied potential. [MEANS FOR SOLVING PROBLEMS] There are included a first current path in which a transistor (Q1) is driven by a constant current element (CS1); a second current path in which a transistor (Q2) having its emitter and base short-circuited is driven by a constant current element (CS2); and a rectified current path that is on/off controlled by an FET (1). When a positive potential is applied to the drain of the FET (1) and to the collector of the transistor (Q2) and a negative potential is applied to the source of the FET (1), the second current path is cut off, thereby rendering the first current path conductive, driving the gate of the FET (1), cutting off the FET (1), and cutting off the rectified current path. When a negative potential is applied to the drain of the FET (1) and to the collector of the transistor (Q2) and a positive potential is applied to the source of the FET (1), the second current path is rendered conductive, thereby cutting off the first current path, driving the gate of the FET (1), rendering the FET (1) conductive, and rendering the rectified current path conductive.

[続葉有]



WO 2006/106989 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 【課題】 印加される電位の正負に応じて整流電流路が断続制御される整流回路を提供すること 【解決手段】 定電流素子CS1によってトランジスタQ1が駆動される第1の電流路と、定電流素子CS2によってエミッターベース間を短絡したトランジスタQ2が駆動される第2の電流路と、FET1により断続制御される整流電流路とを備えている。FET1のドレインとトランジスタQ2のコレクタに正電位が印加され、FET1のソースに負電位が印加されるとき、第2の電流路が遮断されることにより、第1の電流路は導通され、FET1のゲートを駆動し、FET1を遮断させ整流電流路を遮断する。FET1のドレインとトランジスタQ2のコレクタに負電位が印加され、FET1のソースに正電位が印加されるとき、第2の電流路が導通されることにより、第1の電流路は遮断され、FET1のゲートを駆動し、FET1を導通させ整流電流路を導通する。

明 細 書

整流回路および電圧変換回路

技術分野

- [0001] 本発明は、交流電流を直流電流に変換する整流回路において力率を改善するPFC (Power Factor Correction) 制御を容易にする制御機能を有する整流回路、また、直流電圧を変換する電圧変換回路 (DC-DCコンバータ) 等を含んでなる電源装置に好適に用いられ制御を容易にする制御機能を有する整流回路、およびこの整流回路を含む電圧変換回路に関する。

背景技術

- [0002] 例えば商用電源用の電源装置において交流を整流して直流を得るにあたり、整流素子による電力消費を抑制したり、また、より高電圧の整流を実現したりするために、従来の固体半導体ダイオード素子に代わり、パイポーラトランジスタ、FET (Field Effect Transistor)、又はIGBT (Insulated Gate Bipolar Transistor) を用いた電流路のオン／オフにより整流機能を実現するダイオード・モジュールが用いられつつある。
- [0003] 第7図は、従来の交流直流変換回路の典型例であり、ダイオードD11、D12、D13及びD14からなるブリッジと、直流出力の両端に並列に挿入される平滑用のコンデンサC11を備えている。
- [0004] 変換回路10の入力端に交流入力、例えば商用電源からの交流入力電圧 (V_i) が与えられると、入力電圧の正の半周期において、まず、ダイオードD11及びダイオードD14が順方向バイアスされ、ダイオードD11、コンデンサC11、ダイオードD14にいたる経路に電流が流れることによりコンデンサC11を充電電圧 V_{C11} まで充電する。入力電圧の正の半周期において、入力電圧 V_i がコンデンサC11の充電電圧 V_{C11} よりも低いときは、コンデンサC11が放電して直流電圧を出力する。このとき、ダイオードD11のカソードの電位はアノードの電位よりも高いので、ダイオードD11を通して電流は流ない。また、ダイオードD13にはカソード側を正とする電圧が印加されるので、ダイオードD13を通して電流は流れない。
- [0005] 入力電圧の正の半周期において入力電圧 V_i がコンデンサC11の充電電圧 V_{C11} を

超えると、ダイオードD11、コンデンサC11、ダイオードD14にいたる経路に電流が流れることによりコンデンサC11を充電し、入力電圧 V_i がコンデンサC11の充電電圧 V_{C11} より低くなるとこの充電電流は流れなくなる。入力電圧 V_i がコンデンサC11の充電電圧 V_{C11} よりも低くなると、再びコンデンサC11の放電により直流電圧を出力する。

[0006] つまり、入力電圧 V_i がコンデンサC11の充電電圧 V_{C31} よりも低いときはコンデンサC11から負荷へ放電し、入力電圧 V_i がコンデンサC11の充電電圧 V_{C11} を超えるピーク付近では、コンデンサC11を充電する。

[0007] 入力電圧が負の半周期のときは、ブリッジを構成するダイオードD11、D14に代わりダイオードD12、D13の作用により、入力電圧が正の半周期のときと同様の直流電圧を出力する。このようにして、変換回路10は、入力電圧 V_i の大きさがコンデンサC11の充電電圧 V_{C11} よりも小さいときには、交流入力からダイオードを通して負荷へ電流が流れない代わりにコンデンサC11から負荷へ放電し、入力電圧 V_i がコンデンサC11の充電電圧 V_{C11} を超えたピークでは、交流入力からダイオードを通して負荷に電流が流れると共にコンデンサC11を充電するという動作を繰り返し、出力端から直流電圧を出力する。

[0008] 第7図の変換回路10では、上記のとおり、入力電圧 V_i がコンデンサC11の充電電圧 V_{C11} を超えたピークでは交流入力からダイオードを通して負荷に電流が流れるが、入力電圧 V_i の大きさがコンデンサC11の充電電圧 V_{C11} よりも小さい期間では交流入力からダイオードを通して負荷に電流が流れず、コンデンサC11から負荷に向かって放電されるに過ぎない。したがって、入力電圧の半周期中の大部分において、交流入力端から出力端に接続される負荷に十分な電流を供給できないため、力率が悪いという問題がある。そこで、例えばダイオードに並列にIGBTを接続し、ダイオードで遮断されるべき逆電流をIGBTによりバイパスして断続制御する変換回路が提案されている(例えば、非特許文献1参照。)

[0009] 非特許文献1:三菱電機株式会社、”新方式力率改善コンバータDIP-PFC”、[online]、[平成17年3月15日検索]、インターネット<URL:http://www.mitsubishichips.com/Japan/new_pro/no.110/p08_1.html>

[0010] 非特許文献に記載されたPFC変換回路は、第7図に示す変換回路10に対し、後

述する第6図に示すのと同様にして交流入力側にコイルを挿入し、かつ、変換回路10におけるダイオードD13、D14について、第8図に示すようにダイオードに並列にIGBTのコレクタとベースを接続したものに相当する。そして、IGBTのベースに所望のタイミングに所望の期間だけ電圧(例えばパルス幅変調(Pulse Width Modulation)された電圧)を印加することにより、ダイオードで遮断されるべき逆電流をIGBTによりバイパスし、交流入力を短絡して交流入力に戻し、次の瞬間IGBTをオフして、交流入力側に挿入したコイルの自己誘導を利用することで、力率改善を行うものである。しかしながら、電源装置の用途においては、ダイオードに比較的大きな電流が流れるため、ダイオードのみならずこれと並列に挿入されるIGBTにも大容量のものが要求される。このため、変換回路自体ひいては電源装置が比較的高価なものとなっていた。

[0011] 次に、直流電圧を変換する電圧変換回路(DC-DCコンバータ)は、スイッチング電源回路等に広く利用されている。従来のこの種の電圧変換回路は、固体半導体ダイオード素子を使用した整流回路を備えている。しかしながら、ダイオードによる比較的大きな順方向電圧降下(VF)による電力損失が生じる問題があった。そこで、電圧変換回路において、従来のダイオードに代えて、MOS-FET(Metal-Oxide-Semiconductor Field Effect Transistor)等の順方向電圧降下の低いスイッチング素子を使用し、これらスイッチング素子を入力側のスイッチング素子と同期してオン/オフ制御する、同期整流回路を備えた構成が提案され、実用化されている。

[0012] 第13図に示す電圧変換回路400は、同期整流回路を使用したフォワード型の電圧変換回路の典型例を示す回路図である。変換回路400において、直流電源1からトランスTの一次側のコイルPに対する直流電圧の供給を、FET21によりオン/オフする。トランスTの二次側のコイルSには、フライホイール用のFET22と、平滑コンデンサC21と、負荷Lとが並列に接続される。二次側のコイルSの一端はダイオードD21のアノードに接続される。ダイオードD21のカソードはフライホイール用のFET22のドレインに接続され、二次側のコイルSの他端はフライホイール用のFET22のソースに接続される。また、ダイオードD21のカソードとフライホイール用のFET22のドレインは、チョークコイルL21の一端に接続され、チョークコイルL21の他端は平滑コンデ

ンサC21に接続される。

[0013] FET21のゲートG1と、フライホイール用のFET22のゲートG2は、それぞれFET21、FET22を駆動するための制御端であり、FET21がオンのときにFET22がオフし、FET21がオフのときにFET22がオンするように、所定の電圧が印加される。

[0014] 電圧変換回路400の概略動作について、図14に示す各部の電圧・電流波形を参照して説明する。第14図は、電圧変換回路400の各部の電圧・電流波形を示す模式図であり、(a)はFET21のゲートG1に印加される電圧波形、(b)はフライホイール用のFET22のゲートG2に印加される電圧波形、(c)は負荷Lが重負荷のときにダイオードD21を流れる電流波形、(d)は負荷Lが重負荷のときにフライホイール用のFET22を流れる電流波形をそれぞれ示している。また、第14図において、(e)は負荷Lが軽負荷のときにダイオードD21を流れる電流波形、(f)は負荷Lが軽負荷のときにフライホイール用のFET22を流れる電流波形をそれぞれ示している。

[0015] 時刻 t_0 においてFET21がオンされて、コイルPに直流電圧が供給されると、コイルSに生じる起電力により、コイルSからダイオードD21及びチョークコイルL21を経由する電流路において電流が流れ、出力端子5, 6から負荷Lに直流電圧が出力される。このとき、フライホイール用のFET22はオフされている(T1の期間)。

時刻 t_1 においてFET21がオフされると同期してフライホイール用のFET22がオンされる。このFET22のオン状態は、FET21が再びオンされる時刻(t_3)まで維持される(T2の期間)。

FET21がオフされてチョークコイルL21に対する電圧供給が停止すると、チョークコイルL21に逆起電力が生じる。このときフライホイール用のFET22はオンされているため、チョークコイルL21の逆起電力により、チョークコイルL21から負荷L、フライホイール用FET22を経由する電流路において電流が流れ、出力端子5, 6から直流電圧が出力される(T31、またはT32の期間)。

[0016] つまり、第13図に示す電圧変換回路400は、FET21がオンの状態ではトランスTの二次側のコイルSに生じる起電力により直流電圧を出力し、FET21がオフに切り換えられると、チョークコイルL21に蓄積されたエネルギーにより直流電圧を出力する。

- [0017] なお、第13図に示す電圧変換回路400において、二次側のコイルSに接続される整流素子にダイオードを使用し、フライホイール部にFET22を使用しているが、さらなる損失改善のために、二次側のコイルSに接続されるダイオードに代えてFETを使用する例も提案されている(例えば特許文献1)。
- [0018] 特許文献1:特開平11-69804号公報
- [0019] 第13図を再び参照して、電圧変換回路400のチョークコイルL21を流れる電流は、出力端子5、6間に接続される負荷Lに応じて変化する。例えば、負荷Lが重負荷のときには、第14図の(c)の電流波形に示すように、FET21がオン(フライホイール用のFET22がオフ)の期間T1に、二次側のコイルSから、ダイオードD21およびチョークコイルL21を経由して流れる電流が大きいので、チョークコイルL21に蓄積される磁気エネルギーも大きい。このため、第14図の(d)の電流波形に示すように、FET21がオフ(フライホイール用のFET22がオン)に切り換えられた後も、チョークコイルL21から負荷L、フライホイール用FET22を経由する電流が長時間流れる。
- [0020] これに対し、負荷Lが軽負荷のときには、第14図の(e)の電流波形に示すように、期間T1に、二次側のコイルSから、ダイオードD21およびチョークコイルL21を経由して流れる電流が小さいので、チョークコイルL21に蓄積される磁気エネルギーも小さくなる。すると、第14図の(f)の電流波形に示すように、FET21がオフに切り換えられた後再びオンに切り換えられるまでの期間T2内のある時刻t2に、チョークコイルL21からのエネルギー供給が停止し、それ以降、チョークコイルL21から負荷L、フライホイール用のFET22を経由する電流が流れなくなる。
- [0021] つまり、フライホイール用のFET22がオンの期間T2(以下単に「オン時間T2」ともいう)内において、チョークコイルL21に蓄積されたエネルギーに基づきフライホイール用のFET22に電流が流れる期間(第14図の(d)、(f)に示す期間T31、T32。以下「フライホイール時間」ともいう。)は、負荷Lに応じて様々に変化する。このため、以下のような問題があった。
- [0022] 軽負荷時には、フライホイール用のFET22のオン時間T2よりもフライホイール時間T32が短いため、フライホイール時間T32の後、フライホイール用のFET22がオンしている場合、ドレイン電位が接地電位となっているため、平滑コンデンサC21から

チョークコイルL21、オン状態のFET22を経由して電流が流れる。つまり、負荷電流が逆流して大きな電力損失となり、効率が悪い。

[0023] ここで、軽負荷時に、フライホイール用のFET22のゲートG2に印加される電圧を早期にHighからLowに切り換え、フライホイール用のFET22を早期にオフさせて、オン時間T2を、フライホイール時間T32と同等もしくはそれより若干短くすることを仮定する。このようにすれば、一応上記の逆流を防ぐことができると考えられる。しかしながら、この時刻制御は困難なものであった。

[0024] さらに、従来の同期整流回路を使用した電圧変換回路において考慮されねばならない他の問題として、フライホイール用のFETの動作遅延時間がある。

[0025] 第13図および第14図を再び参照して、電圧変換回路400においてフライホイール用のFET22は、ゲートG2の印加電圧がゼロボルト(Low)となる時刻t3の後に速やかにオフ状態(ドレイン電流が流れない状態)となることが望ましい。しかしながら、フライホイール用のFET22のゲートG2の印加電圧がゼロボルトとされてからFET22がオフ状態となるまでに比較的長い時間を要する。このため、FET22のゲートG2をオフ制御してもFET22がオン状態を維持すると(オフ状態となる前に)FET21がオンとされると、二次側のコイルSからダイオードD21、FET22を経由する貫通電流が流れてしまい、大きな電力損失となり、効率が低下する。また、FET22は大電流で破壊される。このことも、フライホイール用のFET22のオン時間T2の決定を困難とさせる一つの要因となっていた。

[0026] 上記のとおり、従来の同期整流回路を使用した電圧変換回路においては、効率が最もよくなるようにそのスイッチング手段のオン時間を決定することが極めて困難であった。よって、こうした問題点を解消し、従来のFET等に代わる新たな能動型の整流手段の登場が望まれている。

発明の開示

発明が解決しようとする課題

[0027] そこで、本発明の一つの目的は、印加される電位の正負に応じて整流電流路が断続制御される整流回路を提供することにある。本発明のもう一つの目的は、整流電流路が遮断状態にあるときに、所定の制御端に電圧が印加された期間だけ整流電流

路を導通させることが可能な制御機能付き整流回路を提供することにある。

- [0028] 本発明のさらにもう一つの目的は、低損失で、かつスイッチング電源に使用した場合、負荷に並列接続されるコンデンサから電圧変換回路への電流逆流防止、フライホールFET、ダイオードの貫通電流防止のためのデッドタイム制御を必要としない制御機能付き整流回路を提供することにある。また、本発明のさらにもう一つの目的は、そのような整流回路をスイッチング手段として使用した、低損失、高効率な電圧変換回路を提供することにある。

課題を解決するための手段

- [0029] 印加される電位の正負に応じて整流電流路が断続制御される整流回路を提供するために、本発明の第1の局面にかかる整流回路は、第1の定電流源によって第1の制御端を有する第1の半導体素子が駆動される第1の電流路と、第2の定電流源によってPN接合素子が駆動される第2の電流路と、第2の制御端を有する第2の半導体素子により断続制御される整流電流路とを備え、前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され、前記第2の半導体素子の他端に負電位が印加されるとき、前記第2の電流路が遮断されることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を遮断させ前記整流電流路を遮断し、前記第2の半導体素子の一端と前記PN接合素子の一端に負電位が印加され、前記第2の半導体素子の他端に正電位が印加されるとき、前記第2の電流路が導通されることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通することを特徴とする。
- [0030] 上記した本発明の第1の局面にかかる整流回路にあつては、前記第2の電流路が有する前記PN接合素子をバイパスする第3の制御端を有する第3の半導体素子をさらに備え、前記第2の電流路が遮断されているとき、前記第3の半導体素子の第3の制御端に電圧を印加することにより、前記第3の半導体素子を導通させ、前記第2の電流路を導通させることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通するように構成することができる。

[0031] 本発明の第2の局面にかかる整流回路は、第1の定電流源によって第1の制御端を有する第1の半導体素子が駆動される第1の電流路と、第2の定電流源によって第4の制御端を有する第4の半導体素子が駆動される第2の電流路と、第2の制御端を有する第2の半導体素子により断続制御される整流電流路とを備え、前記第2の半導体素子の一端と前記第4の半導体素子の一端に正電位が印加され、前記第2の半導体素子の他端に負電位が印加されるとき、前記第2の電流路が遮断されることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を遮断させ前記整流電流路を遮断し、前記第2の半導体素子の一端と前記第4の半導体素子の一端に負電位が印加され、前記第2の半導体素子の他端に正電位が印加されるとき、前記第2の電流路が導通されることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通することを特徴とする。

[0032] 上記した本発明の第2の局面にかかる整流回路にあつては、前記第2の電流路が有する前記第4の半導体素子をバイパスする第3の制御端を有する第3の半導体素子をさらに備え、前記第2の電流路が遮断されているとき、前記第3の半導体素子の第3の制御端に電圧を印加することにより、前記第3の半導体素子を導通させ、前記第2の電流路を導通させることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通するよう構成することができる。

[0033] また、上記した第1または第2いずれかの局面にかかる本発明の整流回路にあつては、前記第1の電流路が有する前記第1の半導体素子の一端の電位を検知し、前記第1の電流路に電流が流れるとき前記第2の半導体素子が有する第2の制御端を駆動し、前記第2の半導体素子を遮断し、前記第1の電流路に電流が流れないとき前記第2の半導体素子が有する第2の制御端を駆動し、前記第2の半導体素子を導通するための前記第2の制御端に印加する電圧を制御するエミッタフォロア回路を備えた構成とすることができる。

[0034] 本発明のさらに別の局面にかかる整流回路は、概括的には、印加される電位の正負に応じて整流電流路が断続制御される整流回路において、オフ制御端を備えたも

のである。より具体的には、第3または第4の局面にかかる本発明の整流回路は以下に述べる特徴を備えている。

[0035] 第3の局面にかかる本発明の整流回路は、第1の定電流源によって第1の制御端を有する第1の半導体素子が駆動される第1の電流路と、第2の定電流源によってPN接合素子が駆動される第2の電流路と、第2の制御端を有する第2の半導体素子により断続制御される整流電流路と、前記第1の電流路が有する前記第1の半導体素子をバイパスする第3の制御端を有する第3の半導体素子とを備え、前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され、前記第2の半導体素子の他端に負電位が印加されるとき、前記第2の電流路が遮断されることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を遮断させ前記整流電流路を遮断し、前記第2の半導体素子の一端と前記PN接合素子の一端に負電位が印加され、前記第2の半導体素子の他端に正電位が印加されるとき、前記第2の電流路が導通されることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通し、前記第2の電流路が導通されているとき、前記第3の半導体素子の第3の制御端を駆動し、前記第3の半導体素子を導通させることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子をオフさせ、前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され前記第2の半導体素子の他端に負電位が印加されるとき、前記整流電流路を遮断することを特徴とする。

[0036] 第4の局面にかかる本発明の整流回路は、第1の定電流源によって第1の制御端を有する第1の半導体素子が駆動される第1の電流路と、第2の定電流源によって第4の制御端を有する第4の半導体素子が駆動される第2の電流路と、第2の制御端を有する第2の半導体素子により断続制御される整流電流路と、前記第1の電流路が有する前記第1の半導体素子をバイパスする第3の制御端を有する第3の半導体素子とを備え、前記第2の半導体素子の一端と前記第4の半導体素子の一端に正電位が印加され、前記第2の半導体素子の他端に負電位が印加されるとき、前記第2の電流路が遮断されることにより、前記第1の電流路は導通され、前記第2の半導体素

子の第2の制御端を駆動し、前記第2の半導体素子を遮断させ前記整流電流路を遮断し、前記第2の半導体素子の一端と前記第4の半導体素子の一端に負電位が印加され、前記第2の半導体素子の他端に正電位が印加されるとき、前記第2の電流路が導通されることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通し、前記第2の電流路が導通されているとき、前記第3の半導体素子の第3の制御端を駆動し、前記第3の半導体素子を導通させることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子をオフさせ、前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され前記第2の半導体素子の他端に負電位が印加されるとき、前記整流電流路を遮断することを特徴とする。

[0037] また、上記した第3または第4のいずれかの局面にかかる本発明の整流回路にあつては、前記第1の電流路が有する前記第1の半導体素子の一端の電位を検知し、前記第1の電流路に電流が流れるとき前記第2の半導体素子が有する第2の制御端を駆動し、前記第2の半導体素子を遮断し、前記第1の電流路に電流が流れないとき前記第2の半導体素子が有する第2の制御端を駆動し、前記第2の半導体素子を導通するための前記第2の制御端に印加する電圧を制御するエミッタフォロア回路を備えた構成とすることができる。

[0038] さらに、本発明の電圧変換回路は、一次側に第1のコイルが配設され、二次側に前記第1のコイルと磁気結合された第2のコイルが配設されたトランスと、第3のコイルと、前記トランスの一次側に対する直流電圧供給のオン／オフを切り換える第1のスイッチング手段と、前記第1のスイッチング手段により前記トランスに対する電圧供給がオンにされた状態で、前記第2のコイルに生じる起電力に基づいて直流電圧を出力する第1の負荷電流路と、第2のスイッチング手段を含み、前記第1のスイッチング手段により前記トランスに対する電圧供給がオンからオフに切り換えられた後、前記第2のスイッチング手段をオンして前記第3のコイルに生じる起電力に基づいて直流電圧を出力する第2の負荷電流路とを備えた電圧変換回路において、前記第2のスイッチング手段が、上記のいずれかに記載の整流回路を含み、前記第1のスイッチング手

段がオフからオンに切り換えられる前に前記整流回路が備える第3の半導体素子の第3の制御端を駆動し、前記第2のスイッチング手段に含まれる前記第2の半導体素子が有する第2の制御端を駆動し前記第2の半導体素子をオフさせ、前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され前記第2の半導体素子の他端に負電位が印加されるとき、前記整流電流路を遮断することを特徴とする。

発明の効果

[0039] 本発明の第1の局面にかかる整流回路は、第1の定電流源(例えば第1図の定電流素子CS1)によって第1の制御端(例えば第1図のトランジスタQ1のベース)を有する第1の半導体素子(例えば第1図のトランジスタQ1)が駆動される第1の電流路と、第2の定電流源(例えば第1図の定電流素子CS2)によってPN接合素子(例えば第1図のエミッターベース間を短絡したトランジスタQ2)が駆動される第2の電流路と、第2の制御端(例えば第1図のFET1のゲート)を有する第2の半導体素子(例えば第1図のFET1)により断続制御される整流電流路とを備えている。

第2の半導体素子の一端(例えば第1図のFET1のドレイン)とPN接合素子の一端(例えば第1図のトランジスタQ2のコレクタ)に正電位が印加され、第2の半導体素子の他端(例えば第1図のFET1のソース)に負電位が印加されるとき、第2の電流路が遮断されることにより、第1の電流路は導通され、第2の半導体素子の第2の制御端(例えば第1図のFET1のゲート)を駆動し、第2の半導体素子を遮断させ整流電流路を遮断する。

一方、第2の半導体素子の一端(例えば第1図のFET1のドレイン)とPN接合素子の一端(例えば第1図のトランジスタQ2のコレクタ)に負電位が印加され、第2の半導体素子の他端(例えば第1図のFET1のソース)に正電位が印加されるとき、第2の電流路が導通されることにより、第1の電流路は遮断され、第2の半導体素子の第2の制御端(例えば第1図のFET1のゲート)を駆動し、第2の半導体素子を導通させ整流電流路を導通する。

これにより、印加される電位の正負に応じて整流電流路が断続制御される整流回路を実現することができる。

[0040] 上記の整流回路は、第2の電流路が有するPN接合素子(例えば第1図のエミッタ―ベース間を短絡したトランジスタQ2)をバイパスする第3の制御端(例えば第1図のトランジスタQ5のベース)を有する第3の半導体素子(例えば第1図のトランジスタQ5)をさらに備えることができる。第2の電流路が遮断されているとき、第3の半導体素子の第3の制御端に電圧を印加することにより、第3の半導体素子を導通させ、第2の電流路を導通させることにより、第1の電流路は遮断され、第2の半導体素子の第2の制御端(例えば第1図のFET1のゲート)を駆動し、第2の半導体素子を導通させ整流電流路を導通する。

これにより、整流電流路が遮断状態にあるときに、第3の制御端に電圧が印加された期間だけ整流電流路を導通させることができる。

[0041] 本発明の第2の局面にかかる整流回路は、第1の定電流源(例えば第1図の定電流素子CS1)によって第1の制御端(例えば第1図のトランジスタQ1のベース)を有する第1の半導体素子(例えば第1図のトランジスタQ1)が駆動される第1の電流路と、第2の定電流源(例えば第1図の定電流素子CS2)によって第4の制御端(例えば第1図のトランジスタQ2のベース)を有する第4の半導体素子(例えば第1図のトランジスタQ2)が駆動される第2の電流路と、第2の制御端(例えば第1図のFET1のゲート)を有する第2の半導体素子(例えば第1図のFET1)により断続制御される整流電流路とを備える。

第2の半導体素子の一端(例えば第1図のFET1のドレイン)と第4の半導体素子の一端(例えば第1図のトランジスタQ2のコレクタ)に正電位が印加され、第2の半導体素子の他端(例えば第1図のFET1のソース)に負電位が印加されるとき、第2の電流路が遮断されることにより、第1の電流路は導通され、第2の半導体素子の第2の制御端(例えば第1図のFET1のゲート)を駆動し、前記第2の半導体素子を遮断させ前記整流電流路を遮断する。

一方、第2の半導体素子の一端(例えば第1図のFET1のドレイン)と第4の半導体素子の一端(例えば第1図のトランジスタQ2のコレクタ)に負電位が印加され、第2の半導体素子の他端(例えば第1図のFET1のソース)に正電位が印加されるとき、第2の電流路が導通されることにより、第1の電流路は遮断され、第2の半導体素子の第

2の制御端(例えば第1図のFET1のゲート)を駆動し、第2の半導体素子を導通させ整流電流路を導通する。

これにより、印加される電位の正負に応じて整流電流路が断続制御される整流回路を実現することができる。

- [0042] 上記の整流回路は、第2の電流路が有する第4の半導体素子(例えば第1図のトランジスタQ2)をバイパスする第3の制御端(例えば第1図のトランジスタQ5のベース)を有する第3の半導体素子(例えば第1図のトランジスタQ5)をさらに備えることができる。第2の電流路が遮断されているとき、第3の半導体素子の第3の制御端に電圧を印加することにより、第3の半導体素子を導通(これが第2の電流路に相当する。すなわち、定電流素子CS2を通過する電流を総称して、第2の電流路を通過する電流としている。)させ、第2の電流路を導通させることにより、第1の電流路は遮断され、第2の半導体素子の第2の制御端(例えば第1図のFET1のゲート)を駆動し、第2の半導体素子を導通させ整流電流路を導通する。

これにより、整流電流路が遮断状態にあるときに、第3の制御端に電圧が印加された期間だけ整流電流路を導通させることができる。

- [0043] また、上記の第1または第2いずれかの局面にかかる本発明の整流回路は、第1の電流路が有する第1の半導体素子の一端(例えば第1図のトランジスタQ1のコレクタ)の電位を検知し、第1の電流路に電流が流れるとき第2の半導体素子が有する第2の制御端(例えば第1図のFET1のゲート)を駆動し、第2の半導体素子を遮断し、第1の電流路に電流が流れないとき第2の半導体素子が有する第2の制御端を駆動し、第2の半導体素子を導通するための第2の制御端に印加する電圧を制御するエミッタフォロア回路(例えば第1図のトランジスタQ3及びQ4)を備えた構成とすることができる。

- [0044] 以上のとおり、第1または第2の局面にかかる本発明によれば、印加される電位の正負に応じて整流電流路が断続制御される整流回路を、半導体素子を用いて、あるいは半導体素子とPN接合素子を用いて、シンプルに実現することができる。

- [0045] また、従来の力率改善された回路は、力率改善のための大容量のIGBT等の素子を、大容量のダイオードと並列に付加するものであったが、本発明によれば、単一の

整流回路によって、整流電流路が遮断状態にあるときに所定の制御端に電圧が印加された期間だけ整流電流路を導通させることができ、かつ、単一の整流回路によって大容量特性を実現することができる。従って、本発明の整流回路を電源装置に搭載することにより、力率改善された電源装置を安価に実現できる。

[0046] 次に、本発明の第3の局面にかかる整流回路は、第1の定電流源(例えば第9図の定電流素子CS1)によって第1の制御端(例えば第9図のトランジスタQ1のベース)を有する第1の半導体素子(例えば第9図のトランジスタQ1)が駆動される第1の電流路と、第2の定電流源(例えば第9図の定電流素子CS2)によってPN接合素子(例えば第9図のエミッターベース間を短絡したトランジスタQ2)が駆動される第2の電流路と、第2の制御端(例えば第9図のFET1のゲート)を有する第2の半導体素子(例えば第9図のFET1)により断続制御される整流電流路と、第1の電流路が有する第1の半導体素子(例えば第9図のトランジスタQ1)をバイパスする第3の制御端(例えば第9図のトランジスタQ5のベース)を有する第3の半導体素子(例えば第9図のトランジスタQ5)とを備えている。

[0047] 第2の半導体素子の一端(例えば第9図のFET1のドレイン)とPN接合素子の一端(例えば第9図のトランジスタQ2のコレクタ)に正電位が印加され、第2の半導体素子の他端(例えば第9図のFET1のソース)に負電位が印加されるとき、第2の電流路が遮断されることにより、第1の電流路は導通され、第2の半導体素子の第2の制御端(例えば第9図のFET1のゲート)を駆動し、第2の半導体素子を遮断させ整流電流路を遮断する。一方、第2の半導体素子の一端(例えば第9図のFET1のドレイン)とPN接合素子の一端(例えば第9図のトランジスタQ2のコレクタ)に負電位が印加され、第2の半導体素子の他端(例えば第9図のFET1のソース)に正電位が印加されるとき、第2の電流路が導通されることにより、第1の電流路は遮断され、第2の半導体素子の第2の制御端(例えば第9図のFET1のゲート)を駆動し、第2の半導体素子を導通させ整流電流路を導通する。

[0048] このようにして、第2の半導体素子の一端および他端に印加される電位の正負に応じて整流電流路が断続制御される整流回路が実現されるので、従来のFET等のスイッチング素子のようにそのゲート等の制御端に電圧が印加されない状態でボディー

ダイオードを通して電流が流れることがなく、電力損失を大幅に低減することができる。

[0049] また、第3の局面にかかる本発明の整流回路においては、特に、第2の電流路が導通されているとき、第3の半導体素子の第3の制御端(例えば第9図のトランジスタQ5のベース)を駆動し、第3の半導体素子を導通させることにより、第1の電流路は導通され、第2の半導体素子の第2の制御端(例えば第9図のFET1のゲート)を駆動し、第2の半導体素子をオフさせる。従って、整流電流路が導通状態にあるときでも、第3の制御端に電圧が印加された場合、逆方向電流遮断状態に転換維持することができる。これは後述する図11に示すような回路に使用すると、スイッチング手段D10に例えばショットキーダイオードのような順方向電圧降下の小さいダイオードを並列接続すると、スイッチング手段D10の内部に存在するFET1がオフ時、FET1の寄生ダイオードを流れる電流が無い場合スイッチング手段D10のV_{off}印加端子に制御電圧を印加して、FET1をオフすることで、FET1のドレインに正極性電位が印加される前に十分余裕をもってスイッチング手段D10の逆方向電圧を阻止できる。これは、FETの寄生ダイオード電流による少数キャリア消滅時間を考慮しなくてもよいという効果がある。図11のFET21のスイッチング速度が非常に速いため、通常は、FET21とFET1のデッドタイム制御が必ず必要なところ、この整流回路では、これを考慮しないで済む。

[0050] 第4の局面にかかる本発明の整流回路は、第1の定電流源(例えば第9図の定電流素子CS1)によって第1の制御端(例えば第9図のトランジスタQ1のベース)を有する第1の半導体素子(例えば第9図のトランジスタQ1)が駆動される第1の電流路と、第2の定電流源(例えば第9図の定電流素子CS2)によって第4の制御端(例えば第9図のトランジスタQ2のベース)を有する第4の半導体素子(例えば第9図のトランジスタQ2)が駆動される第2の電流路と、第2の制御端(例えば第9図のFET1のゲート)を有する第2の半導体素子(例えば第9図のFET1)により断続制御される整流電流路と、第1の電流路が有する第1の半導体素子(例えば第9図のトランジスタQ1)をバイパスする第3の制御端(例えば第9図のトランジスタQ5のベース)を有する第3の半導体素子(例えば第9図のトランジスタQ5)とを備える。

- [0051] 第2の半導体素子の一端(例えば第9図のFET1のドレイン)と第4の半導体素子の一端(例えば第9図のトランジスタQ2のコレクタ)に正電位が印加され、第2の半導体素子の他端(例えば第9図のFET1のソース)に負電位が印加されるとき、第2の電流路が遮断されることにより、第1の電流路は導通され、第2の半導体素子の第2の制御端(例えば第9図のFET1のゲート)を駆動し、前記第2の半導体素子を遮断させ前記整流電流路を遮断する。
- [0052] 一方、第2の半導体素子の一端(例えば第9図のFET1のドレイン)と第4の半導体素子の一端(例えば第9図のトランジスタQ2のコレクタ)に負電位が印加され、第2の半導体素子の他端(例えば第9図のFET1のソース)に正電位が印加されるとき、第2の電流路が導通されることにより、第1の電流路は遮断され、第2の半導体素子の第2の制御端(例えば第9図のFET1のゲート)を駆動し、第2の半導体素子を導通させ整流電流路を導通する。更に、第2の電流路が導通されているとき、第3の半導体素子の第3の制御端(例えば第9図のトランジスタQ5のベース)を駆動し、第3の半導体素子を導通させることにより、第1の電流路は導通され、第2の半導体素子の第2の制御端(例えば第9図のFET1のゲート)を駆動し、第2の半導体素子をオフさせる。
- [0053] 従って第2の半導体素子の一端および他端に印加される電位の正負に応じて整流電流路が断続制御される整流回路が実現されるとともに、整流電流路が導通状態にあるときでも、第3の制御端に電圧が印加された場合、逆方向電流遮断状態に転換維持することができるため、第3の局面にかかる本発明の整流回路と同様の効果が得られる。
- [0054] また、上記した第3または第4の局面のいずれかにかかる本発明の整流回路は、第1の電流路が有する第1の半導体素子の一端(例えば第9図のトランジスタQ1のエミッタ)の電位を検知し、第1の電流路に電流が流れるとき第2の半導体素子が有する第2の制御端(例えば第9図のFET1のゲート)を駆動し、第2の半導体素子を遮断し、第1の電流路に電流が流れないとき第2の半導体素子が有する第2の制御端を駆動し、第2の半導体素子を導通するための第2の制御端に印加する電圧を制御するエミッタフォロア回路(例えば第9図のトランジスタQ3及びQ4)を備えた構成とすることができる。

- [0055] 以上のとおり、第3または第4の局面にかかる本発明によれば、印加される電位の正負に応じて整流電流路が断続制御されるとともに、整流電流路が導通状態にあるときでも、第3の制御端に電圧が印加された場合、逆方向電流遮断状態に転換維持することができるための制御端を備えた整流回路を、半導体素子を用いて、あるいは半導体素子とPN接合素子を用いて、シンプルに実現することができる。
- [0056] 上記した第3または第4の局面にかかる本発明の整流回路は、第11図に示す電圧変換回路におけるフライホイール用のスイッチング手段として使用すると特に有利である。すなわち、一次側に第1のコイル（例えば第11図のコイルP）が配設され、二次側に第1のコイルと磁気結合された第2のコイル（例えば第11図のコイルS）が配設されたトランス（例えば第11図のトランスT）と、第3のコイル（例えば第11図のコイルL21）と、トランスの一次側に対する直流電圧供給のオン／オフを切り換える第1のスイッチング手段（例えば第11図のFET21）と、第1のスイッチング手段により前記トランスに対する電圧供給がオンにされた状態で、第2のコイルに生じる起電力に基づいて直流電圧を出力する第1の負荷電流路と、第2のスイッチング手段を含み、第1のスイッチング手段によりトランスに対する電圧供給がオンからオフに切り換えられた後、第2のスイッチング手段をオンして第3のコイルに生じる起電力に基づいて直流電圧を出力する第2の負荷電流路と、を備えた電圧変換回路において、第2のスイッチング手段が、上記に記載の整流回路を含むものとする（例えば第11図のスイッチング手段D10。（この例では、スイッチング手段D10にショットキーバリアダイオードDSが並列接続されている。）。そして、第2のスイッチング手段がオンされているときに、第1のスイッチング手段がオフからオンに切り換えられる前に整流回路が備える第3の半導体素子の第3の制御端（例えば第11図のスイッチング手段D10の電圧VOFF印加端）を駆動し、整流電流路が導通状態にあるときでも、第3の制御端に電圧が印加された場合、逆方向電流遮断状態に転換維持することができる。
- [0057] このように構成した電圧変換回路によれば、第3の制御端に印加される電圧に基づいて、効率が最もよくなるようにそのスイッチング手段のオン時刻を容易に制御することができるので、負荷電流の逆流や貫通電流の問題を解消した電圧変換回路を簡易に実現することができる。

[0058] 上記した本発明の目的および利点並び他の目的および利点は、以下の実施の形態の説明を通じてより明確に理解される。もともと、以下に記述する実施の形態は例示であって、本発明はこれらに限定されるものではない。

図面の簡単な説明

[0059] [図1]本発明を適用した第1の実施の形態における整流回路の構成を示す回路図である。

[図2]第1図に示す整流回路におけるトランジスタQ1, Q2, Q5、定電流素子CS1及びCS2を含む回路部分の等価回路を示す回路図である。

[図3]第1の実施の形態における整流回路の電流、電圧波形を測定するための測定回路図である。

[図4]第3図に示す測定回路により観測された整流回路の電流、電圧波形である。

[図5]第3図に示す測定回路により観測された整流回路の電流、電圧波形である。

[図6]第1の実施の態様の整流回路を適用して交流直流変換回路20を構成したときの基本回路図である。

[図7]従来の交流直流変換回路の例を示す回路図である。

[図8]従来のダイオードに並列にIGBTを接続し、ダイオードで遮断されるべき逆電流をIGBTによりバイパスして断続制御する場合の回路図である。

[図9]本発明を適用した第2の実施の形態における整流回路の構成を示す回路図である。

[図10]第9図に示す整流回路におけるトランジスタQ1, Q2, Q5、定電流素子CS1及びCS2を含む回路部分の等価回路を示す回路図である。

[図11]第9図に示す整流回路をフライホイール用のスイッチング手段として適用した電圧変換回路の回路図である。

[図12]第11図に示す電圧変換回路における軽負荷時および重負荷時の各部の電流、電圧波形を示す模式図である。

[図13]従来の同期整流回路を使用したフォワード型の電圧変換回路の例を示す回路図である。

[図14]第13図に示す従来の電圧変換回路における重負荷時および軽負荷時の各

部の電圧、電流波形を示す模式図である。

発明を実施するための最良の形態

[0060] [第1の実施の形態]

第1図は、本発明を適用した第1の実施の形態における整流回路100の基本的な構成を示す回路図である。

[0061] 第1図に示す整流回路100において、アノード端1とカソード端2を備えた電流路に、Nチャネル・パワーMOS-FET等のコレクタ耐電圧が大きくかつ電流容量の大きいFET1が設けられている。FET1のソースはアノード端1に接続され、FET1のドレインはカソード端2に接続されており、FET1のゲートにHighが入力されるとFET1がオンして電流路を導通状態とし、FET1のゲート入力が高からLowに下がると、FET1がオフして電流路を遮断する。つまり、FET1は、そのスイッチング動作により、アノード端1とカソード端2との間の整流電流路を断続制御する。トランジスタQ1、及びトランジスタQ2は、実質同一特性のNPN型バイポーラトランジスタであり、トランジスタQ1及びQ2のベースは共通接続されており、トランジスタQ1はコレクタがFET1のソース、すなわちアノード端1に接続され、他方のトランジスタQ2のコレクタはカソード端2に接続され、エミッタはベースに接続されてエミッターベース間が短絡されている。

[0062] 定電圧ダイオードD1、ダイオードD2、ジャンクショントランジスタJ-FET (Junction Field Effect Transistor)、抵抗R1、及びコンデンサC1は、前記トランジスタQ1及びQ2、並びに後述するトランジスタQ3、Q4及びQ5を駆動する駆動電圧源を構成する。このような駆動電圧源は、後述するようにカソード端2に正電位が印加される半周期に、アノードがカソード端2に接続されているダイオードD2及びジャンクショントランジスタJ-FETを通してコンデンサC1を充電し、コンデンサC1の両端のうちアノード端1に接続された一方側を負、他方側を正とする電圧を発生させる。アノード端1に接続されているコンデンサC1の一方側(駆動源として負側)には、トランジスタQ1のコレクタ、FET1のソース、後述するトランジスタQ4のコレクタ、及びトランジスタQ5のエミッタが接続されている。一方、ダイオードD2及びジャンクショントランジスタJ-FETを介してカソード端1に接続されているコンデンサC1の他方側(駆動源として正側)には、

後述するトランジスタQ3のコレクタが接続されると共に、トランジスタQ1のエミッタ、トランジスタQ2のエミッタが、それぞれ定電流素子CS1、及び定電流素子CS2を介して接続されている。

従って、整流回路100において、駆動電圧源としてのコンデンサC1と、トランジスタQ1との接続関係をみると、定電流素子CS1から、トランジスタQ1のエミッタ、コレクタを通過してコンデンサC1の一方側(駆動源として負側)に接続されている。また、トランジスタQ2については、定電流素子CS2から、トランジスタQ2のエミッタ、コレクタを通過してコンデンサC1の一方側に接続されている。さらに、トランジスタQ5については、定電流素子CS1からトランジスタQ5のコレクタ、エミッタを通過してコンデンサC1の一方側に接続されている。

[0063] 第2図は、第1図に示す整流回路100におけるトランジスタQ1、Q2、Q5、定電流素子CS1及びCS2を含む回路部分(第1図の破線部分)の等価回路を示す回路図である。既に第1図を参照して説明したように、トランジスタQ2のエミッタはベースに接続されており、ベースーエミッタ間が短絡されている。このため、NPN型バイポーラトランジスタであるトランジスタQ2は、ベースーコレクタ間のPN接合ダイオードを提供する。ここで、定電流素子CS2から、トランジスタQ2のエミッタ、コレクタを通過して、FET1のドレインすなわちカソード端2に至る電流路(第1図)を考えると、この電流路は、第2図に示すとおり、定電流素子CS2からアノードが接続され、FET1のドレインすなわちカソード端2にカソードが接続されるように、PN接合ダイオードを挿入した電流路と等価である。従って、定電流素子CS2及びトランジスタQ2を含む電流路において、トランジスタQ2のコレクタ、すなわちトランジスタQ2と等価なPN接合ダイオードのカソードに、カソード端2の電位が印加されるよう構成されている。

[0064] トランジスタQ2がオフのとき、トランジスタQ1のベースに、トランジスタQ2のベースーエミッタ間電位(約0.6ボルト)を与えているため、カソード端2(トランジスタQ2のコレクタであり、同様にPN接合ダイオードのカソード)が負電位にならない限り、アノード端1、カソード端2の間の導通は遮断される。

[0065] 定電流素子CS2及びトランジスタQ2を含む電流路においては、上述のとおりトランジスタQ2のコレクタにカソード端2の電位が印加される。ここで、カソード端2に正電

位が印加されるときは、トランジスタQ2と等価なPN接合ダイオードに逆方向電圧が印加されることと等価である。このとき、トランジスタQ1のベースには定電流素子CS2を通してベース電流が供給されるため、トランジスタQ1はオン状態にあり、コンデンサC1を駆動電圧源として、定電流素子CS1を通してトランジスタQ1のエミッタに向かう電流路に電流が流れる。

これに対し、カソード端2に負電位が印加されるときは、トランジスタQ2と等価なPN接合ダイオードに順方向電圧が印加されることと等価である。このため、カソード端2に負電位が印加されると、トランジスタQ2のコレクタ電位が下がり、同時にコレクターベース間電位(PN接合ダイオードに生ずる約0.6V)を維持しようとして、トランジスタQ2のベース電位も低下する。トランジスタQ2のベース電位が低下することで、トランジスタQ1のベース電位も低下し、トランジスタQ1がオフして定電流素子CS1を通してトランジスタQ1のエミッタに向かう電流路が遮断される。

[0066] 基本的には、第2図に示すPN接合素子を使用した等価回路が本発明の整流回路の動作原理を示している。本実施形態においてトランジスタQ2を使用した理由は、トランジスタQ1がバイポーラトランジスタである必要があり、そのトランジスタQ1の特性(温度特性、ベース－エミッタ間電圧等)が略同一のトランジスタをPN接合素子として使用するほうが、をより好ましいからである。なお、トランジスタQ1、Q2としてバイポーラトランジスタを使用しているが、それに代えてFETを使用してもよいことは勿論である。

[0067] 第1図を再び参照して、トランジスタQ3及びトランジスタQ4は、エミッタフォロワ型のバッファ増幅器を構成する。トランジスタQ3、Q4には、例えばバイポーラトランジスタを用いることができる。本実施態様では、トランジスタQ3にはNPN型バイポーラトランジスタが、トランジスタQ4にはPNP型バイポーラトランジスタが用いられ、両トランジスタQ3、Q4のエミッタは共通接続されると共に、その共通エミッタはFET1のゲートに接続されている。また、両トランジスタQ3、Q4のベースも共通接続され、そのベースにはトランジスタQ1のエミッタが接続されている。

[0068] トランジスタQ1のエミッタ、トランジスタQ2のエミッタには、コンデンサC1を駆動電圧源として、それぞれ定電流素子CS1、CS2を介して、所定の定電流が供給される

ように構成されている。

[0069] トランジスタQ3及びQ4の共通ベースと、トランジスタQ4のコレクタ間には抵抗R2が接続されている。後述するようにトランジスタQ1がオフとされたときに、定電流素子CS1を通して電流が抵抗R2を流れることにより、トランジスタQ3及びQ4の共通ベースの電位を上昇させる。

[0070] トランジスタQ3及びQ4は、エミッタフォロワ型のバッファ増幅器を構成し、しかもトランジスタQ3及びQ4の共通エミッタはFET1のゲートに接続されており、また、トランジスタQ4のコレクタはFET1のソースに接続されているため、トランジスタQ1のエミッタ電位、すなわちトランジスタQ1のエミッターコレクタ間電圧と同じ電圧が、直接FET1のゲートに入力されるよう構成されている。従って、例えばトランジスタQ1がオンし、定電流素子CS2を通してトランジスタQ1のエミッタからコレクタに電流が流れるときには、トランジスタQ3及びQ4の共通ベースの電位は実質的にゼロボルトであり(このとき、NPN型バイポーラトランジスタであるトランジスタQ3はオフ、PNP型バイポーラトランジスタであるトランジスタQ4はオンの状態にある)、後述するようにFET1のゲート入力もゼロボルト(Low)となる。逆に、トランジスタQ1がオフし、定電流素子CS1を通して抵抗R2に電流が流れるときには、トランジスタQ3及びQ4の共通ベースの電位が抵抗R2による電圧降下に等しい電圧だけ上昇し(このときトランジスタQ3はオン、トランジスタQ4はオフの状態にある)、後述するようにFET1のゲート入力もHighとなる。

[0071] 整流回路100は、第1図に示すようにトランジスタQ5を更に備える。トランジスタQ5のコレクタは、トランジスタQ1及びQ2の共通ベースに接続され、エミッタはFET1のソースに(従って、トランジスタQ1のコレクタ及びアノード端1)接続されている。また、トランジスタQ5のベースは抵抗R3を介して、電圧入力端3、4の一方の入力端3に接続され、トランジスタQ5のエミッタは他方の入力端4に接続されている。なお、トランジスタQ5のベース－エミッタ間には抵抗R4が接続されている。そして、電圧入力端3、4間には、例えば図示しないPWM制御手段が発生する所望のパルス幅変調された電圧が印加される。

[0072] 次に、整流回路100の動作について説明する。

まず、電圧入力端3, 4に電圧が印加されていない状態で、整流回路100のカソード端2に正電位が印加された場合の整流回路100の基本整流動作を考える。上述のとおり、カソード端2に正電位が印加されることは、トランジスタQ2と等価なPN接合ダイオードに逆方向電圧が印加されることと等価である。このとき、トランジスタQ1のベースには定電流素子CS2を通してベース電流が供給されるため、トランジスタQ1はオン状態にあり、コンデンサC1を駆動電圧源として、定電流素子CS1を通してトランジスタQ1のエミッタに向かう電流路に電流が流れる。

[0073] トランジスタQ1がオンされると、トランジスタQ1のエミッタ電位(コレクターエミッタ間電圧)は実質的にゼロボルト(Low)となるため、PNP型バイポーラトランジスタであるQ4はオフからオンに切り替わり、NPN型バイポーラトランジスタであるトランジスタQ3はオンからオフに切り替わる。トランジスタQ3がオフ、トランジスタQ4がオンのとき、トランジスタQ3及びQ4の共通エミッタの電位はゼロボルト(Low)であるので、FET1のゲート入力ゼロボルト(Low)であり、FET1はオフとされる。この結果、電圧入力端3, 4の電圧入力がない状態でカソード端2に正電位が与えられたとき、アノード端1とカソード端2を結ぶ電流路がFET1によって遮断され、カソード端2からFET1のドレイン、ソース、そしてアノード端1に向かう方向の電流は流れない。

[0074] なお、カソード端2に正電位が印加されているとき、ダイオードD2及びジャンクショントランジスタJ-FETを通してコンデンサC1は充電され、その充電電圧は定電圧ダイオードD1によってジャンクショントランジスタJ-FETのゲートを制御して一定値(例えば約10ボルト)に制限される。

[0075] 次に、電圧入力端3, 4に電圧が印加されていない状態で、整流回路100のカソード端2に正電位が印加された状態からカソード端2の電位が低下してゼロとなり、その後アノード端1、カソード端2間の極性が反転してカソード端2に負電位が印加された状態に変化する場合の、整流回路100の基本整流動作を考える。

[0076] カソード端2の電位がゼロとなり、その後負電位が印加されると、トランジスタQ2と等価なPN接合ダイオードに順方向電圧が印加されることと等価である。このため、カソード端2に負電位が印加されると、トランジスタQ2のコレクタ電位が下がり、同時にコレクターベース間電位(PN接合ダイオードに生ずる約0.6V)を維持しようとして、トラ

ンジスタQ2のベース電位も低下する。トランジスタQ2のベース電位が低下することで、トランジスタQ1のベース電位も低下し、トランジスタQ1がオフに反転して定電流素子CS1を通してトランジスタQ1のエミッタに向かう電流路が遮断される。トランジスタQ1がオフすると、定電流素子CS1を通る電流は、そのエミッターコレクタ間をもはや流れないが、抵抗R2を通して流れる。このため、トランジスタQ1のエミッタ電位は抵抗R2の電圧降下に相当する分だけ上昇する。このようにしてトランジスタQ1のエミッタ電位が上昇(Highに反転)すると、PNP型バイポーラトランジスタであるQ4はオンからオフに切り替わり、NPN型バイポーラトランジスタであるトランジスタQ3はオフからオンに切り替わる。トランジスタQ3がオン、トランジスタQ4がオフのとき、トランジスタQ3及びQ4の共通エミッタの電位は上昇(Highに反転)する。従って、FET1のゲート入力Highに反転し、FET1はオンとされる。この結果、カソード端2の電位が低下してゼロとなり、その後アノード端1、カソード端2間の極性が反転してカソード端2に負電位が与えられると、アノード端1とカソード端2を結ぶ電流路がFET1によって導通状態とされ、アノード端1からFET1のソース、ドレイン、そしてカソード端2に向かう方向に電流が流れる。

[0077] 本実施形態の整流回路100では、例えば電源装置に搭載した場合の当該電源装置の力率改善を目的として、整流回路100のカソード端2に正電位が与えられている状態、すなわち、整流回路100の整流電流路が遮断状態にあるときに、電圧入力端3、4間に電圧が印加される。以下に、かかる整流回路100の基本的動作を説明する。

[0078] 第1図を参照して、整流回路100において、電圧入力端3、4間に電圧が印加されていないとき、トランジスタQ5のベースに電圧が印加されないため、トランジスタQ5のベース－エミッタ間にベース電流は流れず、トランジスタQ5はオフである。つまり、定電流素子CS2を通して更にトランジスタQ5のコレクター－エミッタ間を通る電流路は遮断されている。従って、電圧入力端3、4間に電圧が印加されていないときには、トランジスタQ1のベース－コレクタ間にトランジスタQ5が接続されていても、トランジスタQ1のベース電位は何ら影響を受けない。

[0079] 次に、整流回路100において、電圧入力端3、4間に電圧入力端3側を正とする電

圧(例えば制御パルス信号)が、抵抗R3を通してトランジスタQ5のベースに印加されると、トランジスタQ5のベース－エミッタ間にベース電流が流れ、トランジスタQ5をオンさせる。すると、トランジスタQ5のコレクター－エミッタ間電圧は実質的にゼロボルトとなるため、トランジスタQ5のオフからオンへの反転は、オン状態にあるトランジスタQ1のベース電位を実質的にゼロボルトまで低下させる。このため、トランジスタQ1は、ベース電位がゼロボルトに低下することによってオフに反転させられる。これにより、トランジスタQ1のエミッタ電位が上昇(Highに反転)し、トランジスタQ3及びQ4の共通ベースもまた上昇(Highに反転)する。エミッタフォロワ型のバッファ増幅器を構成するトランジスタQ3及びQ4のエミッタ電位が上昇(Highに反転)するので、FET1のゲート入力Highに反転し、FET1はオンとされる。この結果、カソード端2に正電位が与えられている状態で、電圧入力端3、4に入力端3側を正とする電圧を印加することで、電圧が印加されている期間(Highの期間)、アノード端1とカソード端2を結ぶ電流路がFET1によって導通状態とされ、カソード端2からFET1のドレイン、ソース、そしてアノード端1に向かう方向、すなわち整流回路100の整流電流路に通常とは逆方向に電流を流すことができる。

[0080] 電圧入力端3、4を備える整流回路100の有利な動作は、例えば、アノード端1、カソード端2間に正弦波の交流入力電圧を与えた場合の整流回路100の電流、電圧波形を観察すれば容易に理解可能である。第3図は、アノード端1、カソード端2間に正弦波の交流入力電圧を入力し、整流回路100の電流、電圧波形を測定する測定回路を示し、第4図、第5図は、第3図の測定回路によって観察された電流、電圧波形を示す。

[0081] 第4図を参照して、時刻Z1において、整流回路100のアノード端には正電位が、カソード端には負電位が与えられ、トランジスタQ1はオフ、従ってFET1はオンとされ、アノード端からカソード端の方向に電流が流れる。このときの整流回路100のアノード－カソード間電圧はゼロボルトである(時刻Z1から時刻Z2)。

[0082] 時刻Z2において、交流入力電圧の極性が反転し、整流回路100のアノード端には負電位が、カソード端には正電位が与えられる。電圧入力端3、4に電圧が印加されない通常の動作では、トランジスタQ1はオン、トランジスタQ2はオフし、従ってFET1

はオフであり、カソード端からアノード端の方向の電流は遮断される。ところが、電圧入力端3、4間に電圧入力端3を正電位とする電圧(例えば制御パルス信号)を印加することで、その制御パルス信号がHighの期間に限りトランジスタQ1をオフさせ、従ってFET1をオンさせて、カソード端からアノード端の方向に電流を流すことができる。すなわち、第5図に別個に示す電圧波形、電流波形から明らかなように、電圧が発生している期間では電流が遮断され、電圧が発生していない期間は、導通電流が流れる。このように断続する個々の電圧波形及び電流波形のピークを結んだ包絡線は、交流入力電圧が正弦波状であることから、正弦波状となっている(時刻Z2から時刻Z3)。

[0083] 第6図は、本実施態様の整流回路100を適用して交流直流変換回路20を構成したときの基本回路図である。第6図に示す変換回路20において、ダイオードD33、D34には本実施態様の整流回路100が用いられている。また、ダイオードD31、D32には、整流回路100においてトランジスタQ5、抵抗R3、R4、及び電圧入力端3、4を省略した整流回路、又は通常のダイオードが用いられている。変換回路20によれば、交流入力端のうちコイルL31が接続されている一端に正電位が与えられ、他端に負電位が与えられている状態で、ダイオードD33(整流回路100)の電圧入力端(第1図の整流回路100における電圧入力端3に相当する。以下同様である。)に電圧を印加し、コイルL31が接続されている一端に負電位が与えられ、他端に正電位が与えられている状態で、D34の電圧入力端に電圧を印加することで、力率改善を図ることができる。

[0084] 第6図に示す変換回路20の動作を以下に説明する。まず、交流入力端のうちコイルL31が接続されている一端に正電位が印加されている状態を考える。ダイオードD31のアノード側に正電位が印加されるとして、ダイオードD31のアノード側の電位 V_i がコンデンサC31の充電電圧 V_{C31} よりも低い場合、ダイオードD31を通してコンデンサC31に向かって電流は流れない。この状態でダイオードD33(整流回路100)の電圧入力端に電圧を印加すると、ダイオードD33(整流回路100)が導通状態とされるので、交流入力端のうちコイルL31が接続されている一端から、コイルL31、ダイオードD33(整流回路100)、ダイオードD34(整流回路100)を通して交流入力端の他

端に電流が流れる。ここでコイルL31に電流が流れるので、ダイオードD33(整流回路100)が遮断した時に、コイルL31の自己誘導により電圧 V_{L31} を発生させ、コイルL31の自己誘導電圧 V_{L31} がコンデンサC31の充電電圧 V_{C31} よりも大きいことで、ダイオードD31からコンデンサC31に向かって電流を流すことができる。

[0085] 入力電圧 V_i がコンデンサC11の充電電圧 V_{C31} を超えると、ダイオードD31、コンデンサC31、ダイオードD34にいたる経路に電流が流れることによりコンデンサC31を充電し、入力電圧 V_i を負荷に供給する。入力電圧 V_i が、コンデンサC11の充電電圧 V_{C31} より低くなると、ダイオードD31を通してコンデンサC31に向かって電流は流れない。この状態でダイオードD33(整流回路100)の電圧入力端に電圧を印加すると、ダイオードD33(整流回路100)が導通状態とされるので、交流入力端のうちコイルL31が接続されている一端から、コイルL31、ダイオードD33(整流回路100)、ダイオードD34(整流回路100)を通して交流入力端の他端に電流が流れる。このようにして、入力電圧 V_i の大きさがコンデンサC11の充電電圧 V_{C31} よりも小さい期間において、交流入力からコイルL31、ダイオードD33(整流回路100)、ダイオードD34(整流回路100)を通して断続的に電流を流すことにより、コイルL31の自己誘導電圧 V_{L31} に基づくエネルギーを負荷に供給することができる。

[0086] 交流入力端の他端に正電位が印加されている状態においては、入力電圧 V_i の大きさが、コンデンサC11の充電電圧 V_{C31} の大きさよりも小さいときに、ダイオードD32を通してコンデンサC31に向かって電流は流れない。この状態でダイオードD34(整流回路100)の電圧入力端に電圧を印加すると、ダイオードD34(整流回路100)が導通状態とされるので、交流入力端の他端から、ダイオードD34(整流回路100)、ダイオードD33(整流回路100)、コイルL31を通して交流入力端の一端に電流が流れる。ここでコイルL31に電流が流れるので、ダイオードD34(整流回路100)が遮断した時に、コイルL31の自己誘導により電圧 $-V_{L31}$ を発生させ、コイルL31の自己誘導電圧 $-V_{L31}$ がコンデンサC31の充電電圧 V_{C31} よりも大きいことで、ダイオードD32からコンデンサC31を通りコイルL31に向かう電流を流すことができる。

[0087] 従来の変換回路10では、入力電圧 V_i の大きさがコンデンサC11の充電電圧 V_{C11} よりも小さい期間では交流入力からダイオードを通して負荷に電流が流れず、コンデン

サC11から負荷に向かって放電されるに過ぎないものであった。これに対し、本実施態様の整流回路100を適用した変換回路10によれば、入力電圧 V_i の大きさがコンデンサC11の充電電圧 V_{C31} よりも小さい期間において、コンデンサC31の充電電圧 V_{C31} に加え、コイルL31の自己誘導電圧 V_{L31} に基づくエネルギーを負荷に供給することができる。これにより、入力電圧の半周期中の大部分において、交流入力端から出力端に接続される負荷に十分な電流を供給できるので、力率を大幅に改善することができる。

- [0088] 上記の実施の形態において、アノード端1、カソード端2間に正弦波の交流入力電圧を印加する例を説明したが、アノード端1、カソード端2間に印加する電圧は、任意の波形の交流電圧(例えば、鋸歯状の交流電圧等)であってもよいことは勿論である。また、上記の実施の形態において、一例として、FET1がオフしている期間中に、電圧入力端3、4間にパルス幅変調された電圧を印加して、整流電流路を導通させる例を説明したが、本発明はこれに限定されるものではなく、印加する電圧波形を適宜変更することにより、任意の電流を流せるようにしてもよい。
- [0089] 上記の実施の形態において、整流回路100のトランジスタQ1からQ5として、バイポーラトランジスタを使用しているが、FET(MOS-FET)を使用することも勿論可能であり、この場合でも上記の実施の形態と同様の効果が得られる。さらに、整流回路100において、NPN型バイポーラトランジスタをPNP型バイポーラトランジスタに、PNP型バイポーラトランジスタをNPN型バイポーラトランジスタにそれぞれ変更し、同様にNチャネル・パワーMOS-FETをPチャネル・パワーMOS-FETに変更してもよい。この場合、電圧の極性は逆となる。
- [0090] また、上記の実施の形態において、定電流素子CS1、CS2としては、抵抗、能動半導体素子等の任意の素子を使用することができる。
- [0091] また、整流回路100の具体的構成についても特に限定はなく、整流回路100の一部または全部を等価回路により置換することも勿論可能である。例えば、整流回路100に含まれる定電流素子をカレントミラー回路に置き換えることも可能であり、その他の細部構成についても、特許請求の範囲を逸脱しない限度において適宜変更可能であることは勿論である。

[0092] [第2の実施の形態]

第9図は、本発明を適用した第2の実施の形態における整流回路200の基本的な構成を示す回路図である。

[0093] 第9図に示す整流回路200において、アノード端1とカソード端2を備えた電流路に、Nチャネル・パワーMOS-FET等のコレクタ耐電圧が大きくかつ電流容量の大きいFET1が設けられている。FET1のソースはアノード端1に接続され、FET1のドレインはカソード端2に接続されており、FET1のゲートにHighが入力されるとFET1がオンして電流路を導通状態とし、FET1のゲート入力が高からLowに下がると、FET1がオフしてカソード端子2からアノード端子1へ向かう電流路を遮断する。つまり、FET1は、そのスイッチング動作により、アノード端1とカソード端2との間の整流電流路を断続制御する(アノード端1からカソード端2へ向かう電流のみ流す)。トランジスタQ1、及びトランジスタQ2は、実質同一特性のNPN型バイポーラトランジスタであり、トランジスタQ1及びQ2のベースは共通接続されており、トランジスタQ1はコレクタがFET1のソース、すなわちアノード端1に接続され、他方のトランジスタQ2のコレクタはカソード端2に接続され、エミッタはベースに接続されてエミッターベース間が短絡されている。

[0094] 定電圧ダイオードD1、ダイオードD2、ジャンクショントランジスタJ-FET (Junction Field Effect Transistor)、抵抗R1、及びコンデンサC1は、前記トランジスタQ1及びQ2、並びに後述するトランジスタQ3、Q4及びQ5を駆動する駆動電圧源を構成する。このような駆動電圧源は、後述するようにカソード端2に正電位が印加される半周期に、アノードがカソード端2に接続されているダイオードD2及びジャンクショントランジスタJ-FETを通してコンデンサC1を充電し、コンデンサC1の両端のうちアノード端1に接続された一方側を負、他方側を正とする電圧を発生させる。アノード端1に接続されているコンデンサC1の一方側(駆動源として負側)には、トランジスタQ1のコレクタ、FET1のソース、後述するトランジスタQ4のコレクタ、及びトランジスタQ5のエミッタが接続されている。一方、ダイオードD2及びジャンクショントランジスタJ-FETを介してカソード端1に接続されているコンデンサC1の他方側(駆動源として正側)には、後述するトランジスタQ3のコレクタが接続されると共に、トランジスタQ1のエミッタ、ト

ランジスタQ2のエミッタが、それぞれ定電流素子CS1、及び定電流素子CS2を介して接続されている。

[0095] 従って、整流回路200において、駆動電圧源としてのコンデンサC1と、トランジスタQ1との接続関係をみると、定電流素子CS1から、トランジスタQ1のエミッタ、コレクタを通過してコンデンサC1の一方側(駆動源として負側)に接続されている。また、トランジスタQ2については、定電流素子CS2から、トランジスタQ2のエミッタ、コレクタを通過してコンデンサC1の一方側に接続されている。さらに、トランジスタQ5については、定電流素子CS1からトランジスタQ5のコレクタ、エミッタを通過してコンデンサC1の一方側に接続されている。

[0096] 第10図は、第9図に示す整流回路200におけるトランジスタQ1、Q2、Q5、定電流素子CS1及びCS2を含む回路部分(第9図の破線部分)の等価回路を示す回路図である。既に第9図を参照して説明したように、トランジスタQ2のエミッタはベースに接続されており、ベース－エミッタ間が短絡されている。このため、NPN型バイポーラトランジスタであるトランジスタQ2は、ベース－コレクタ間のPN接合ダイオードを提供する。ここで、定電流素子CS2から、トランジスタQ2のエミッタ、コレクタを通過して、FET1のドレインすなわちカソード端2に至る電流路(第9図)を考えると、この電流路は、第10図に示すとおり、定電流素子CS2からPN接合ダイオードのアノードが接続され、FET1のドレインすなわちカソード端2にPN接合ダイオードのカソードが接続されるように、PN接合ダイオードを挿入した電流路と等価である。従って、定電流素子CS2及びトランジスタQ2を含む電流路において、トランジスタQ2のコレクタ、すなわちトランジスタQ2と等価なPN接合ダイオードのカソードに、カソード端2の電位が印加されるよう構成されている。

[0097] トランジスタQ2がオフのとき、トランジスタQ1のベースに、トランジスタQ2のベース－エミッタ間電位(約0.6ボルト)を与えているため、トランジスタQ1はオンであり、カソード端2(トランジスタQ2のコレクタであり、同様にPN接合ダイオードのカソード)が負電位にならない限り、アノード端1、カソード端2の間の導通は遮断される。

[0098] 定電流素子CS2及びトランジスタQ2を含む電流路においては、上述のとおりトランジスタQ2のコレクタにカソード端2の電位が印加される。ここで、カソード端2に正電

位が印加されるときは、トランジスタQ2と等価なPN接合ダイオードに逆方向電圧が印加されることと等価である。このとき、トランジスタQ1のベースには定電流素子CS2を通してベース電流が供給されるため、トランジスタQ1はオン状態にあり、コンデンサC1を駆動電圧源として、定電流素子CS1を通してトランジスタQ1のエミッタに向かう電流路に電流が流れる。トランジスタQ1のエミッタ、コレクタ電流が流れトランジスタQ3はオフ、Q4はオン。

[0099] これに対し、カソード端2に負電位が印加されるときは、トランジスタQ2と等価なPN接合ダイオードに順方向電圧が印加されることと等価である。このため、カソード端2に負電位が印加されると、トランジスタQ2のコレクタ電位が下がり、同時にコレクターベース間電位(PN接合ダイオードに生ずる約0.6V)を維持しようとして、トランジスタQ2のベース電位も低下する。トランジスタQ2のベース電位が低下することで、トランジスタQ1のベース電位も低下し、トランジスタQ1がオフして定電流素子CS1を通してトランジスタQ1のエミッタに向かう電流路が遮断される。このときトランジスタQ3はオン、Q4はオフ。

[0100] 基本的には、第10図に示すPN接合素子を使用した等価回路が本発明の整流回路200の動作原理を示している。本実施形態においてトランジスタQ2を使用した理由は、トランジスタQ1がバイポーラトランジスタである必要があり、そのトランジスタQ1の特性(温度特性、ベース－エミッタ間電圧等)が略同一のトランジスタをPN接合素子として使用するほうがより好ましいからである。なお、トランジスタQ1、Q2としてバイポーラトランジスタを使用しているが、それに代えてFETを使用してもよいことは勿論である。

[0101] 第9図を再び参照して、トランジスタQ3及びトランジスタQ4は、エミッタフォロワ型のバッファ増幅器を構成する。トランジスタQ3、Q4には、例えばバイポーラトランジスタを用いることができる。本実施態様では、トランジスタQ3にはNPN型バイポーラトランジスタが、トランジスタQ4にはPNP型バイポーラトランジスタが用いられ、両トランジスタQ3、Q4のエミッタは共通接続されると共に、その共通エミッタはFET1のゲートに接続されている。また、両トランジスタQ3、Q4のベースも共通接続され、そのベースにはトランジスタQ1のエミッタが接続されている。

- [0102] トランジスタQ1のエミッタ、トランジスタQ2のエミッタには、コンデンサC1を駆動電圧源として、それぞれ定電流素子CS1、CS2を介して、所定の定電流が供給されるように構成されている。
- [0103] トランジスタQ3及びQ4の共通ベースと、トランジスタQ4のコレクタ間には抵抗R2が接続されている。後述するようにトランジスタQ1がオフとされたときに、定電流素子CS1を通して電流が抵抗R2を流れることにより、トランジスタQ3及びQ4の共通ベースの電位を上昇させる。
- [0104] トランジスタQ3及びQ4は、エミッタフォロワ型のバッファ増幅器を構成し、しかもトランジスタQ3及びQ4の共通エミッタはFET1のゲートに接続されており、また、トランジスタQ4のコレクタはFET1のソースに接続されているため、トランジスタQ1のエミッタ電位、すなわちトランジスタQ1のエミッターコレクタ間電圧と同じ電圧が、直接FET1のゲートに入力されるよう構成されている。従って、例えばトランジスタQ1がオンし、定電流素子CS2を通してトランジスタQ1のエミッタからコレクタに電流が流れるときには、トランジスタQ3及びQ4の共通ベースの電位は実質的にゼロボルトであり(このとき、NPN型バイポーラトランジスタであるトランジスタQ3はオフ、PNP型バイポーラトランジスタであるトランジスタQ4はオンの状態にある)、後述するようにFET1のゲート入力もゼロボルト(Low)となる。逆に、トランジスタQ1がオフし、定電流素子CS1を通して抵抗R2に電流が流れるときには、トランジスタQ3及びQ4の共通ベースの電位が抵抗R2による電圧降下に等しい電圧だけ上昇し(このときトランジスタQ3はオン、トランジスタQ4はオフの状態にある)、後述するようにFET1のゲート入力もHighとなる。
- [0105] 整流回路200は、第9図に示すようにトランジスタQ5を更に備える。トランジスタQ5のコレクタは、トランジスタQ3及びQ4の共通ベースに接続され、エミッタはFET1のソースに(従って、トランジスタQ1のコレクタ及びアノード端1に)接続されている。また、トランジスタQ5のベースは抵抗R3を介して、電圧入力端3、4の一方の入力端3に接続され、トランジスタQ5のエミッタは他方の入力端4に接続されている。なお、トランジスタQ5のベース－エミッタ間には抵抗R4が接続されている。そして、電圧入力端3、4間には、図示しない電圧発生手段が発生する所望のパルス電圧が印加される。

[0106] 次に、整流回路200の動作について説明する。

まず、整流回路200のカソード端2に正電位が印加された場合の整流回路200の基本整流動作を考える。上述のとおり、カソード端2に正電位が印加されることは、トランジスタQ2と等価なPN接合ダイオードに逆方向電圧が印加されることと等価である。このとき、トランジスタQ1のベースには定電流素子CS2を通してベース電流が供給されるため、トランジスタQ1はオン状態にあり、コンデンサC1を駆動電圧源として、定電流素子CS1を通してトランジスタQ1のエミッタに向かう電流路に電流が流れる。

[0107] トランジスタQ1がオンされると、トランジスタQ1のエミッタ電位(コレクター-エミッタ間電圧)は実質的にゼロボルト(Low)となるため、PNP型バイポーラトランジスタであるQ4はオフからオンに切り替わり、NPN型バイポーラトランジスタであるトランジスタQ3はオンからオフに切り替わる。トランジスタQ3がオフ、トランジスタQ4がオンのとき、トランジスタQ3及びQ4の共通エミッタの電位はゼロボルト(Low)であるので、FET1のゲート入力ゼロボルト(Low)であり、FET1はオフとされる。この結果、電圧入力端3、4の電圧入力がない状態でカソード端2に正電位が与えられたとき、アノード端1とカソード端2を結ぶ電流路がFET1によって遮断され、カソード端2からFET1のドレイン、ソース、そしてアノード端1に向かう方向の電流は流れない。

[0108] なお、カソード端2に正電位が印加されているとき、ダイオードD2及びジャンクショントランジスタJ-FETを通してコンデンサC1は充電され、その充電電圧は定電圧ダイオードD1によってジャンクショントランジスタJ-FETのゲートを制御して一定値(例えば約10ボルト)に制限される。

[0109] 次に、電圧入力端3、4に電圧が印加されていない状態で、整流回路200のカソード端2に正電位が印加された状態からカソード端2の電位が低下してゼロとなり、その後アノード端1、カソード端2間の極性が反転してカソード端2に負電位が印加された状態に変化する場合の、整流回路200の基本整流動作を考える。

[0110] カソード端2の電位がゼロとなり、その後負電位が印加されると、トランジスタQ2と等価なPN接合ダイオードに順方向電圧が印加されることと等価である。このため、カソード端2に負電位が印加されると、トランジスタQ2のコレクタ電位が下がり、同時にコレクター-ベース間電位(PN接合ダイオードに生ずる約0.6V)を維持しようとして、トラ

ンジスタQ2のベース電位も低下する。トランジスタQ2のベース電位が低下することで、トランジスタQ1のベース電位も低下し、トランジスタQ1がオフに反転して定電流素子CS1を通してトランジスタQ1のエミッタに向かう電流路が遮断される。トランジスタQ1がオフすると、定電流素子CS1を通る電流は、トランジスタQ1のエミッターコレクタ間をもはや流れないが、抵抗R2を通して流れる。このため、トランジスタQ1のエミッタ電位は抵抗R2の電圧降下に相当する分だけ上昇する。このようにしてトランジスタQ1のエミッタ電位が上昇(Highに反転)すると、PNP型バイポーラトランジスタであるQ4はオンからオフに切り替わり、NPN型バイポーラトランジスタであるトランジスタQ3はオフからオンに切り替わる。トランジスタQ3がオン、トランジスタQ4がオフのとき、トランジスタQ3及びQ4の共通エミッタの電位は上昇(Highに反転)する。従って、FET1のゲート入力Highに反転し、FET1はオンとされる。この結果、カソード端2の電位が低下してゼロとなり、その後アノード端1、カソード端2間の極性が反転してカソード端2に負電位が与えられると、アノード端1とカソード端2を結ぶ電流路がFET1によって導通状態とされ、アノード端1からFET1のソース、ドレイン、そしてカソード端2に向かう方向に電流が流れる。

[0111] 本実施形態の整流回路200は、例えば電源装置の同期整流回路におけるフライホイール用のスイッチング手段として使用すると、当該電源装置の効率を改善することができる。この場合、好ましくは、整流回路200のアノード端1に正電位が与えられている状態、すなわち、整流回路200の整流電流路が導通状態にあるときに、電圧入力端3、4間に電圧を印加することで、FET1をオフ状態とする。以下に、かかる整流回路200の基本的動作を説明する。

[0112] 第9図を参照して、整流回路200において、電圧入力端3、4間に電圧が印加されていないとき、トランジスタQ5のベースに電圧が印加されないため、トランジスタQ5のベース－エミッタ間にベース電流は流れず、トランジスタQ5はオフである。つまり、定電流素子CS1を通して更にトランジスタQ5のコレクターエミッタ間を通る電流路は遮断されている。従って、電圧入力端3、4間に電圧が印加されていないときには、トランジスタQ1(このときトランジスタQ1はオフ状態にある)のエミッタ、並びにトランジスタQ3、Q4の共通ベースにトランジスタQ5のコレクタが接続されていても、トランジスタ

Q1のエミッタ、並びにトランジスタQ3、Q4の共通ベースの電位は何ら影響を受けない。

[0113] 次に、整流回路200において、電圧入力端3、4間に電圧入力端3側を正とする電圧(例えば制御パルス信号)が、抵抗R3を通してトランジスタQ5のベースに印加されると、トランジスタQ5のベース－エミッタ間にベース電流が流れ、トランジスタQ5をオンさせる。すると、トランジスタQ5のコレクター－エミッタ間電圧は実質的にゼロボルトとなるため、トランジスタQ5のオフからオンへの反転は、オフ状態にあるトランジスタQ1のエミッタ電位を実質的にゼロボルトまで低下させる。これにより、トランジスタQ1のエミッタ電位が低下(Lowに反転)し、トランジスタQ3及びQ4の共通ベースもまた低下(Lowに反転)する。すると、エミッタフォロワ型のバッファ増幅器を構成するトランジスタQ3及びQ4のエミッタ電位が低下(Lowに反転)するので、FET1のゲート入力 はLowに反転し、FET1はオフとされる。この結果、アノード端1に正電位が与えられている状態で、電圧入力端3、4に電圧入力端3側を正とする電圧を印加することで、電圧(VOFF)が印加されたときFET1をオフとする。

[0114] 以上のとおり、整流回路200は、電圧入力端3、4に電圧入力端3側を正とする電圧が印加されていない状態で、アノード端1とカソード端2とに印加される電圧の正負に応じて整流電流路が断続制御されるので、従来の半導体ダイオード素子と全く同様の整流機能が実現される。

[0115] 第11図は、本実施態様の整流回路200を適用して電圧変換回路300を構成したときの基本回路図である。第11図に示す変換回路300においては、フライホイール用のスイッチング手段D10には本実施態様の整流回路200が用いられている。なお、第13図に示した従来の電圧変換回路400と同一部分には同一符号を付している。

[0116] 電圧変換回路300においては、FET21がオンからオフになったときに、コイルL21に生じる逆起電力により、コイルL21から負荷L、フライホイール用のスイッチング手段D10(整流回路200)を経由する電流路において電流が流れるが、このFET21のオフ期間中に、フライホイール用のスイッチング手段D10の電圧入力端(第9図の整流回路200における電圧入力端3に相当する。以下同様である。)に電圧を印加することで、スイッチング手段D10に含まれる第2半導体素子をオフに切り換えることがで

きる。

[0117] 第12図は、電圧変換回路300の各部の電圧、電流波形を示す模式図である。第12図において、(a)はFET21のゲートG1に印加される電圧波形、(b)はフライホイール用のスイッチング手段D10の電圧印加端に印加される電圧(VOFF)の電圧波形、(c)は負荷Lが軽負荷のときにダイオードD21を流れる電流波形、(d)は負荷Lが軽負荷のときにフライホイール用のスイッチング手段D10を流れる電流波形、(e)は負荷Lが重負荷のときにダイオードD21を流れる電流波形、(f)は負荷Lが重負荷のときにフライホイール用のスイッチング手段D10を流れる電流波形をそれぞれ示している。

[0118] 時刻 t_1 にFET21がオフに切り換えられた後、チョークコイルL21に逆起電力が生じると、この起電力の向きは、フライホイール用のスイッチング手段D10の順方向電圧に相当する。このため、チョークコイルL21の逆起電力により、チョークコイルL21から負荷L、フライホイール用のスイッチング手段D10を経由する電流路において電流が流れる(第12図の(d)、(f)参照。T31、またはT32の期間)。よって、電圧変換回路300では、フライホイール用のスイッチング手段D10をオフからオンに切り換えるための電圧を制御端に印加する必要はない。

接続される負荷Lが軽負荷のときを考察する。既に背景技術に関連して述べたように、時刻 t_1 にFET21がオフに切り換えられた後、時刻 t_3 に再びオンに切り換えられるまでの期間T2内のある時刻 t_2 に、チョークコイルL21からのエネルギー供給が停止し、それ以降、チョークコイルL21から負荷L、フライホイール用のスイッチング手段D10を経由する電流が流れなくなる(第12図の(d))。

[0119] このとき、負荷Lに並列に接続された平滑コンデンサC21から、チョークコイルL21を通してスイッチング手段D10に向かって、負荷電流が逆流しようとする。ところが、電圧変換回路300においてスイッチング手段D10は、チョークコイルL21側をカソード端とするダイオードとして機能するので、チョークコイルL21側を正とする電圧が印加されるとき、この電圧は逆方向電圧であり、スイッチング手段D10は遮断状態となる。このため、時刻 t_2 以降再びFET21がオフからオンに切り換えられる時刻 t_3 まで、コイルL21からスイッチング手段D10に向かう方向の電流は流れない。FETをフライホ

イール用のスイッチング手段として用いた従来の電圧変換回路では、負荷の変動に応じて、フライホイール用のFETをオンからオフに切り換えるタイミングを制御し、負荷電流の逆流を防止することが不可欠であったが、電圧変換回路300によれば、そのようなタイミング制御無しに、スイッチング手段D10の有する整流機能によって、負荷電流の逆流防止効果が得られる利点がある。

[0120] 次に、接続される負荷Lが重負荷のときを考察する。時刻 t_1 にFET21がオフに切り換えられた後、時刻 t_3 に再びオンに切り換えられる期間 T_2 内の、ある時刻 t_2 に、フライホイール用のスイッチング手段D10の電圧印加端に比較的幅の短い電圧(VOFF)を印加することにより、スイッチング手段D10を遮断状態にする(第12図の(e)、(f)参照)。ここで、上記電圧(VOFF)の印加時間($t_4 - t_2$)は、スイッチング手段D10(整流回路200のFET1)のオフ動作遅延時間 t_{off} よりも長くなるように、かつ、FET21のゲートG1に次の周期の電圧(VG1)が印加される時刻 t_3 と重なるように選定するのが好ましい。

[0121] 重負荷時に、フライホイール用のスイッチング手段D10の電圧印加端にこのような電圧(VOFF)を印加すると、時刻 t_3 においてFET21がオンとされたときに、フライホイール用のスイッチング手段D10は既に遮断状態とされている。従って、フライホイール用のスイッチング手段D10が導通状態のままで二次側のコイルSからダイオードD21、フライホイール用のスイッチング手段D10を経由する貫通電流が流れることがない。

[0122] 従来の電圧変換回路では、一次側のFETと二次側のフライホイール用のFETとが同時にオンしてしまい貫通電流が流れて大きな電力損失となることとFET22の破壊を防止するために、二次側のフライホイール用のFETのゲートに印加する電圧の印加時刻を調整する必要があった。すなわち、いわゆるデッドタイム制御によって、一次側のFETと二次側のフライホイール用のFETとが同時にオフする期間を強制的に作り出すことが不可欠であった。第11図に示す本実施態様の電圧変換回路300によれば、フライホイール用のスイッチング手段D10の電圧印加端に第12図の(b)に示すような電圧(VOFF)を印加することで、デッドタイム制御と同様の効果を達成することができるという更なる利点がある。また、デッドタイムロスによる効率の低下がな

い。

- [0123] なお、電圧変換回路に、負荷Lにかかる電圧を検出して一次側のFETのオン幅をフィードバック制御するPWM(Pulse Width Modulation)制御回路を別途設ける場合がある。このような場合においても、フライホイール用のスイッチング手段D10の電圧印加端に電圧(VOFF)を印加することによりスイッチング手段D10を遮断状態にすると、負荷電流の逆流防止、及び貫通電流の防止に有効であることは明らかである。
- [0124] 上記した本発明の電圧変換回路によれば、以下のとおり、従来の同期整流方式の電圧変換回路が抱える実用上の問題点を、悉く解決することができる。
- [0125] 同期整流方式の電圧変換回路においては、負荷が変動したときの負荷電流の逆流を防止するために、フライホイール用のFETをオフするタイミングを制御すること、換言すればオフ制御周期の調整が必要となる。つまり、一時側FETのPWM制御とは別に、軽負荷時にはオフ・タイミングを早くする一方、重負荷時にはこれを遅くする制御も必要。これは、オフ・タイミングを制御せずに一定周期に保った場合、軽負荷では負荷電流が逆流し、重負荷ではチョークコイルでのエネルギー損が発生するからである。しかしながら、現実には負荷が変動したときにどの時刻でFETをオフすればよいかは分からないため、従来の同期整流方式の電圧変換回路においてフライホイール用のFETのオフ・タイミングを制御することは極めて困難であった。また、従来の同期整流方式の電圧変換回路では、一次側のコイルに対する直流電圧の供給がオフされたときに、適切なタイミングにフライホイール用のFETをオンする、オン・タイミング制御も必要であった。
- [0126] これに対し、本願発明の電圧変換回路は、一次側のコイルに対する直流電圧の供給がオンされる前に、フライホイール用のスイッチング手段D10の電圧印加端に電圧を印加するオフ制御のみによって、上記した問題点を解決することができる。すなわち、フライホイール用のスイッチング手段D10として用いる整流回路200は、従来の半導体ダイオード素子と全く同様の整流機能を有しているため、接続される負荷が軽負荷か重負荷かにかかわらず、チョークコイルL21からのエネルギー供給が停止し、負荷Lに並列に接続された平滑コンデンサC21から、チョークコイルL21を通してスイッチング手段D10に向かって、負荷電流が逆流しようとする、整流回路200自体

がオフ状態(遮断状態)となり、この逆流が阻止されるからであり、一次側のコイルに対する直流電圧の供給がオフされた後にチョークコイルL21に逆起電力が生じると、整流回路200自体がオン状態(導通状態)となり、チョークコイルから負荷にエネルギーを供給することができるからである。以上のように、図11に示すような回路に使用すると、スイッチング手段D10に例えばショットキーダイオードのような順方向電圧降下の小さいダイオードを並列接続すると、スイッチング手段D10の内部に存在するFET1がオフ時、FET1の寄生ダイオードを流れる電流が無いためスイッチング手段D10のV_{off}印加端子に制御電圧を印加して、FET1をオフすることで、FET1のドレインに正極性電位が印加される前に十分余裕をもってスイッチング手段D10の逆方向電圧を阻止できる。これは、FETの寄生ダイオード電流による少数キャリア消滅時間を考慮しなくてもよいという効果がある。図11のFET21のスイッチング速度が非常に速いため、通常は、FET21とFET1のデッドタイム制御が必ず必要なところ、この整流回路では、これを考慮しないで済む。

[0127] なお、上記した第2の実施の形態において、整流回路200のトランジスタQ1からQ5として、バイポーラトランジスタを使用しているが、FET(MOS-FET)を使用することも勿論可能であり、この場合でも上記の実施の形態と同様の効果が得られる。さらに、整流回路200において、NPN型バイポーラトランジスタをPNP型バイポーラトランジスタに、PNP型バイポーラトランジスタをNPN型バイポーラトランジスタにそれぞれ変更し、同様にNチャネル・パワーMOS-FETをPチャネル・パワーMOS-FETに変更してもよい。この場合、電圧の極性を逆にする。

[0128] また、上記した第2の実施の形態において、定電流素子CS1、CS2としては、抵抗、能動半導体素子等の任意の素子を使用することができる。

[0129] また、整流回路200の具体的構成についても特に限定はなく、整流回路200の一部または全部を等価回路により置換することも勿論可能である。例えば、整流回路200に含まれる定電流素子をカレントミラー回路に置き換えることも可能であり、その他の細部構成についても、特許請求の範囲を逸脱しない限度において適宜変更可能であることは勿論である。

産業上の利用可能性

[0130] 第1または第2の局面にかかる本発明の整流回路は、交流を直流に変換する機器に広く適用可能であり、例えば、電圧変換回路(DC-DCコンバータ)の入力側に本発明の整流回路を接続し、当該整流回路に交流電圧を入力すれば、交流電圧から所望の直流電圧を出力する電源回路(例えば、スイッチング電源回路)として利用できる。また、電圧変換回路に含まれるダイオードに代えて、本発明の整流回路を用いれば、低消費電力、かつ高力率の回路を実現することができる。本発明の整流回路は、整流動作を必要とする全ての回路及び当該回路を搭載する機器に適用可能である。

[0131] また、第3または第4の局面にかかる本発明の整流回路は、交流(高周波電圧)を直流に変換する機器に広く適用可能であり、例えば、トランスまたはコイルによってエネルギー変換を行う電圧変換回路(DC-DCコンバータ)の同期整流回路、あるいは、交流電圧から所望の直流電圧を出力する同期整流スイッチング電源回路にそれぞれ含まれているスイッチング手段の代替手段として、本発明の整流回路を利用することができる。また、整流動作を必要とする各種回路及び当該回路を搭載する機器に対して、本発明の整流回路の整流動作がこれら回路及び機器の動作目的に合致する限りにおいて適用可能であることは勿論である。

請求の範囲

- [1] 第1の定電流源によって第1の制御端を有する第1の半導体素子が駆動される第1の電流路と、第2の定電流源によってPN接合素子が駆動される第2の電流路と、第2の制御端を有する第2の半導体素子により断続制御される整流電流路とを備え、
- 前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され、前記第2の半導体素子の他端に負電位が印加されるとき、前記第2の電流路が遮断されることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を遮断させ前記整流電流路を遮断し、
- 前記第2の半導体素子の一端と前記PN接合素子の一端に負電位が印加され、前記第2の半導体素子の他端に正電位が印加されるとき、前記第2の電流路が導通されることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通すること
- を特徴とする整流回路。
- [2] 前記第2の電流路が有する前記PN接合素子をバイパスする第3の制御端を有する第3の半導体素子をさらに備え、
- 前記第2の電流路が遮断されているとき、前記第3の半導体素子の第3の制御端に電圧を印加することにより、前記第3の半導体素子を導通させ、前記第2の電流路を導通させることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通することを特徴とする請求の範囲第1項に記載の整流回路。
- [3] 第1の定電流源によって第1の制御端を有する第1の半導体素子が駆動される第1の電流路と、第2の定電流源によって第4の制御端を有する第4の半導体素子が駆動される第2の電流路と、第2の制御端を有する第2の半導体素子により断続制御される整流電流路とを備え、
- 前記第2の半導体素子の一端と前記第4の半導体素子の一端に正電位が印加され、前記第2の半導体素子の他端に負電位が印加されるとき、前記第2の電流路が遮断されることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を遮断させ前記整流電流路を遮断し、

前記第2の半導体素子の一端と前記第4の半導体素子の一端に負電位が印加され、前記第2の半導体素子の他端に正電位が印加されるとき、前記第2の電流路が導通されることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通すること

を特徴とする整流回路。

- [4] 前記第2の電流路が有する前記第4の半導体素子をバイパスする第3の制御端を有する第3の半導体素子をさらに備え、

前記第2の電流路が遮断されているとき、前記第3の半導体素子の第3の制御端に電圧を印加することにより、前記第3の半導体素子を導通させ、前記第2の電流路を導通させることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通することを特徴とする請求の範囲第3項に記載の整流回路。

- [5] 前記第1の電流路が有する前記第1の半導体素子の一端の電位を検知し、前記第1の電流路に電流が流れるとき前記第2の半導体素子が有する第2の制御端を駆動し、前記第2の半導体素子を遮断し、前記第1の電流路に電流が流れないとき前記第2の半導体素子が有する第2の制御端を駆動し、前記第2の半導体素子を導通するための前記第2の制御端に印加する電圧を制御するエミッタフォロア回路を備えることを特徴とする請求の範囲第1項、第2項、第3項または第4項のいずれかに記載の整流回路。

- [6] 第1の定電流源によって第1の制御端を有する第1の半導体素子が駆動される第1の電流路と、第2の定電流源によってPN接合素子が駆動される第2の電流路と、第2の制御端を有する第2の半導体素子により断続制御される整流電流路と、前記第1の電流路が有する前記第1の半導体素子をバイパスする第3の制御端を有する第3の半導体素子と、を備え、

前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され、前記第2の半導体素子の他端に負電位が印加されるとき、前記第2の電流路が遮断されることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御

端を駆動し、前記第2の半導体素子を遮断させ前記整流電流路を遮断し、

前記第2の半導体素子の一端と前記PN接合素子の一端に負電位が印加され、前記第2の半導体素子の他端に正電位が印加されるとき、前記第2の電流路が導通されることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通し、

前記第2の電流路が導通されているとき、前記第3の半導体素子の第3の制御端を駆動し、前記第3の半導体素子を導通させることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子をオフさせ、前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され前記第2の半導体素子の他端に負電位が印加されるとき、前記整流電流路を遮断すること

を特徴とする整流回路。

- [7] 第1の定電流源によって第1の制御端を有する第1の半導体素子が駆動される第1の電流路と、第2の定電流源によって第4の制御端を有する第4の半導体素子が駆動される第2の電流路と、第2の制御端を有する第2の半導体素子により断続制御される整流電流路と、前記第1の電流路が有する前記第1の半導体素子をバイパスする第3の制御端を有する第3の半導体素子と、を備え、

前記第2の半導体素子の一端と前記第4の半導体素子の一端に正電位が印加され、前記第2の半導体素子の他端に負電位が印加されるとき、前記第2の電流路が遮断されることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を遮断させ前記整流電流路を遮断し、

前記第2の半導体素子の一端と前記第4の半導体素子の一端に負電位が印加され、前記第2の半導体素子の他端に正電位が印加されるとき、前記第2の電流路が導通されることにより、前記第1の電流路は遮断され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子を導通させ前記整流電流路を導通し、

前記第2の電流路が導通されているとき、前記第3の半導体素子の第3の制御端を駆動し、前記第3の半導体素子を導通させることにより、前記第1の電流路は導通され、前記第2の半導体素子の第2の制御端を駆動し、前記第2の半導体素子をオフ

させ、前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され前記第2の半導体素子の他端に負電位が印加されるとき、前記整流電流路を遮断すること

を特徴とする整流回路。

- [8] 前記第1の電流路が有する前記第1の半導体素子の一端の電位を検知し、前記第1の電流路に電流が流れるとき前記第2の半導体素子が有する第2の制御端を駆動し、前記第2の半導体素子を遮断し、前記第1の電流路に電流が流れないとき前記第2の半導体素子が有する第2の制御端を駆動し、前記第2の半導体素子を導通するための前記第2の制御端に印加する電圧を制御するエミッタフォロア回路を備えることを特徴とする請求項1または2に記載の整流回路。

- [9] 一次側に第1のコイルが配設され、二次側に前記第1のコイルと磁気結合された第2のコイルが配設されたトランスと、第3のコイルと、前記トランスの一次側に対する直流電圧供給のオン／オフを切り換える第1のスイッチング手段と、前記第1のスイッチング手段により前記トランスに対する電圧供給がオンにされた状態で、前記第2のコイルに生じる起電力に基づいて直流電圧を出力する第1の負荷電流路と、第2のスイッチング手段を含み、前記第1のスイッチング手段により前記トランスに対する電圧供給がオンからオフに切り換えられた後、前記第2のスイッチング手段をオンして前記第3のコイルに生じる起電力に基づいて直流電圧を出力する第2の負荷電流路と、を備えた電圧変換回路において、

前記第2のスイッチング手段が、請求の範囲第6項または第7項のいずれかに記載の整流回路を含み、

前記第1のスイッチング手段がオフからオンに切り換えられる前に前記整流回路が備える第3の半導体素子の第3の制御端を駆動し、前記第2のスイッチング手段に含まれる前記第2の半導体素子の第2の制御端を駆動し該第2の半導体素子をオフさせ、前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され前記第2の半導体素子の他端に負電位が印加されるとき、前記整流電流路を遮断すること

を特徴とする電圧変換回路。

- [10] 一次側に第1のコイルが配設され、二次側に前記第1のコイルと磁気結合された第2のコイルが配設されたトランスと、第3のコイルと、前記トランスの一次側に対する直流電圧供給のオン／オフを切り換える第1のスイッチング手段と、前記第1のスイッチング手段により前記トランスに対する電圧供給がオンにされた状態で、前記第2のコイルに生じる起電力に基づいて直流電圧を出力する第1の負荷電流路と、第2のスイッチング手段を含み、前記第1のスイッチング手段により前記トランスに対する電圧供給がオンからオフに切り換えられた後、前記第2のスイッチング手段をオンして前記第3のコイルに生じる起電力に基づいて直流電圧を出力する第2の負荷電流路と、を備えた電圧変換回路において、

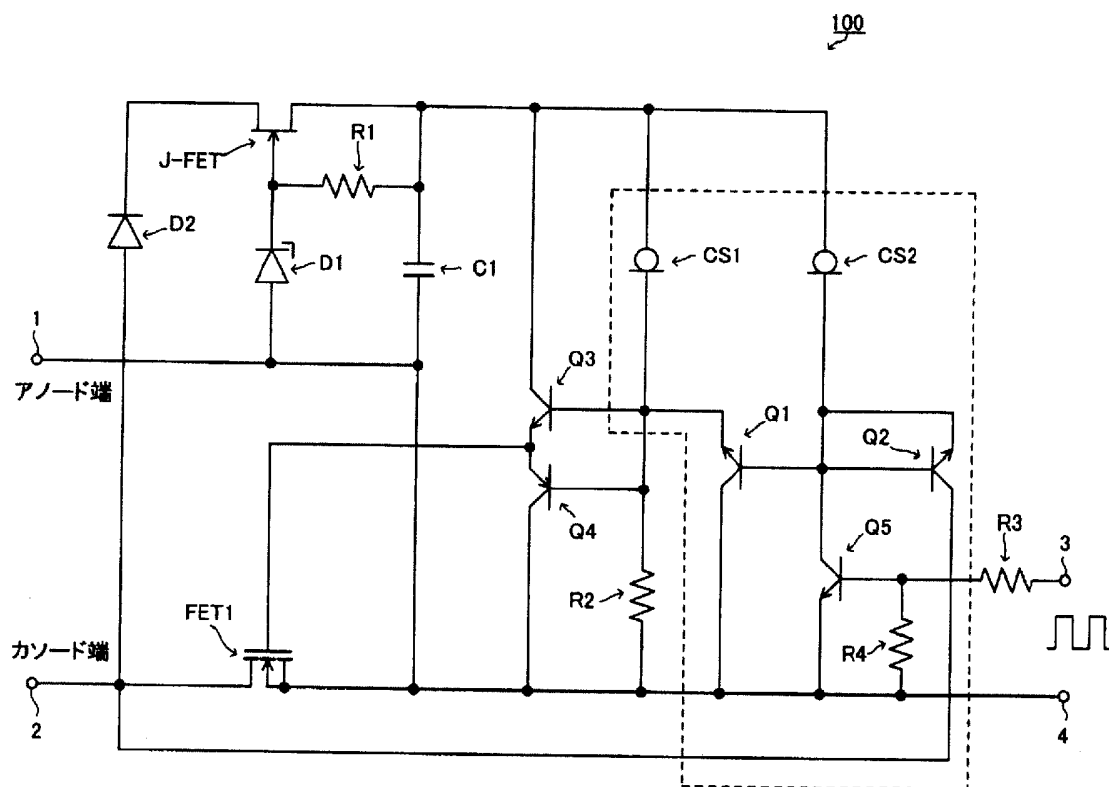
前記第2のスイッチング手段が、請求の範囲第8項に記載の整流回路を含み、

前記第1のスイッチング手段がオフからオンに切り換えられる前に前記整流回路が備える第3の半導体素子の第3の制御端を駆動し、前記第2のスイッチング手段に含まれる前記第2の半導体素子の第2の制御端を駆動し該第2の半導体素子をオフさせ、前記第2の半導体素子の一端と前記PN接合素子の一端に正電位が印加され前記第2の半導体素子の他端に負電位が印加されるとき、前記整流電流路を遮断すること

を特徴とする電圧変換回路。

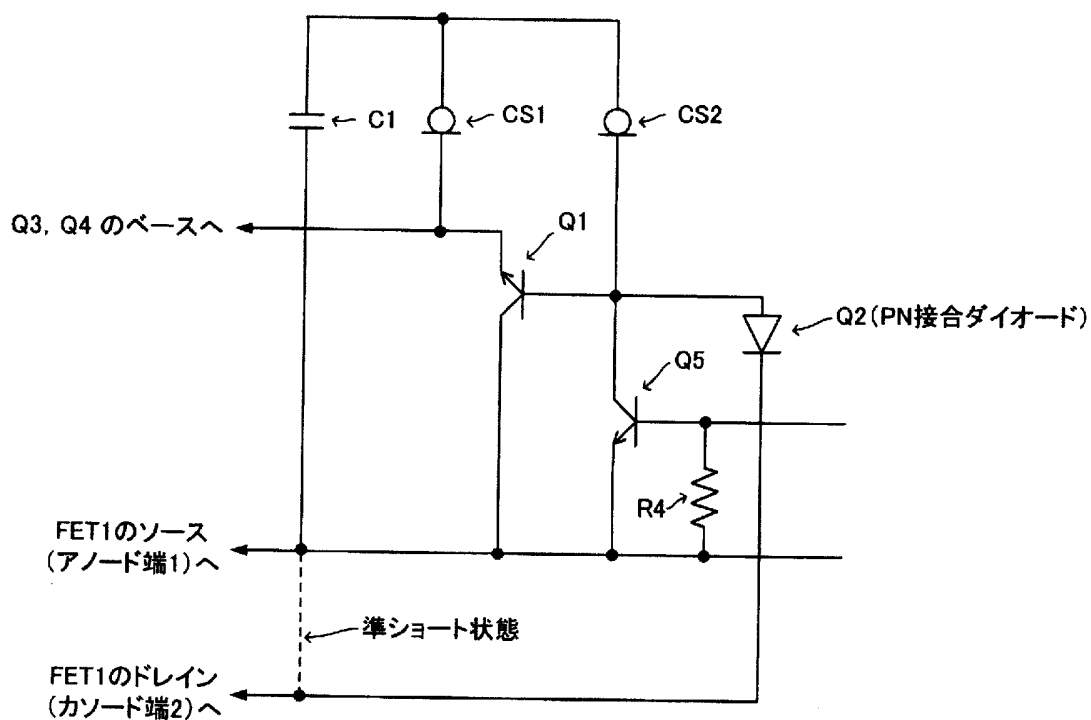
[図1]

第1図



[図2]

第2図



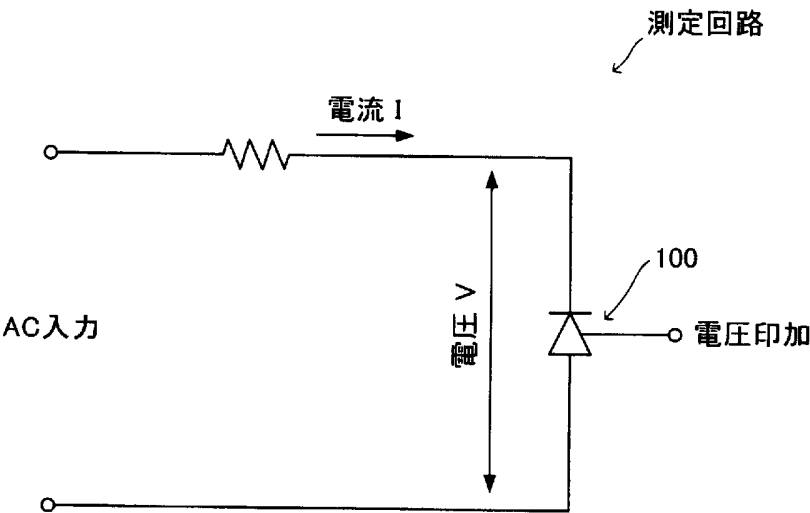
FET1のソース
(アノード端1)へ

FET1のドレイン
(カソード端2)へ

—準ショート状態

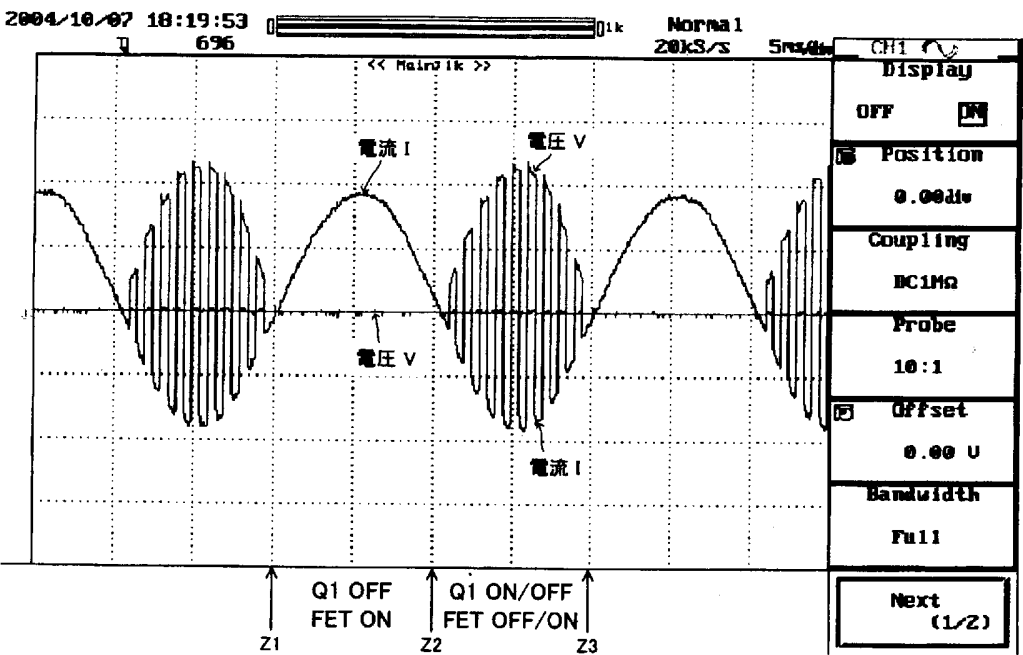
[図3]

第3図



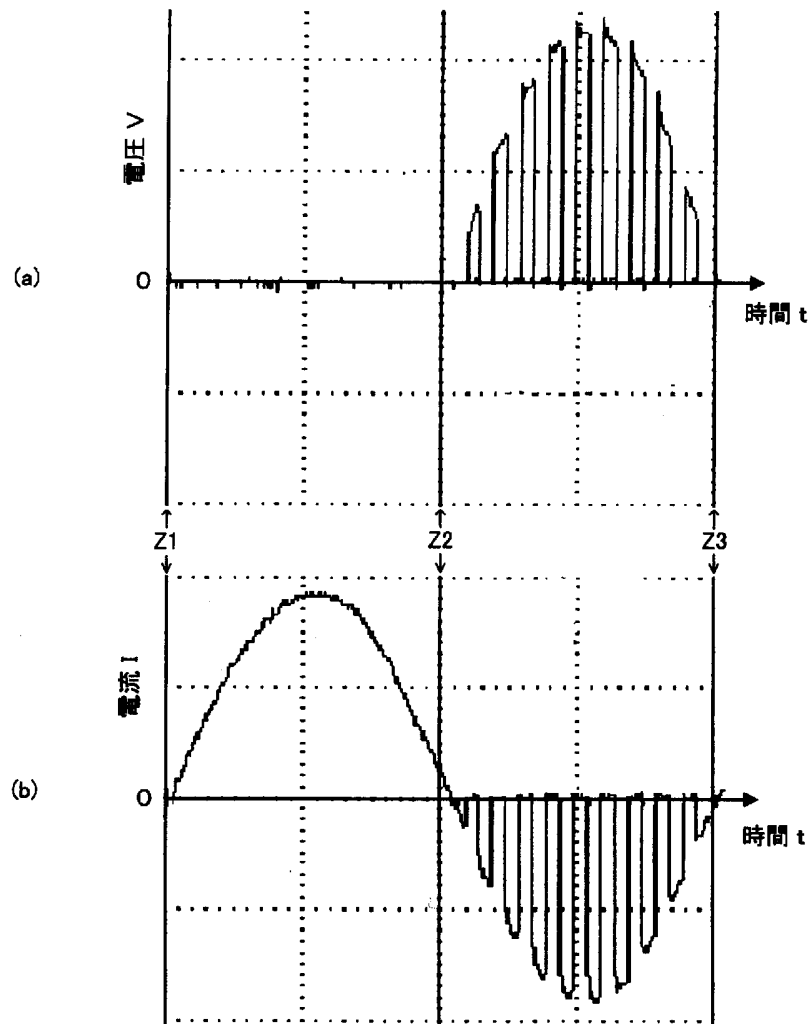
[図4]

第4図



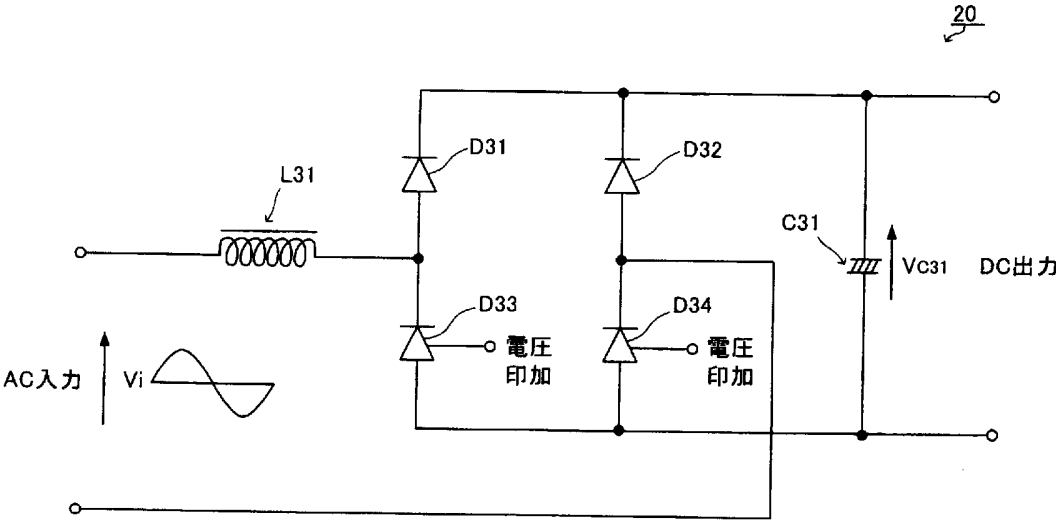
[図5]

第5図



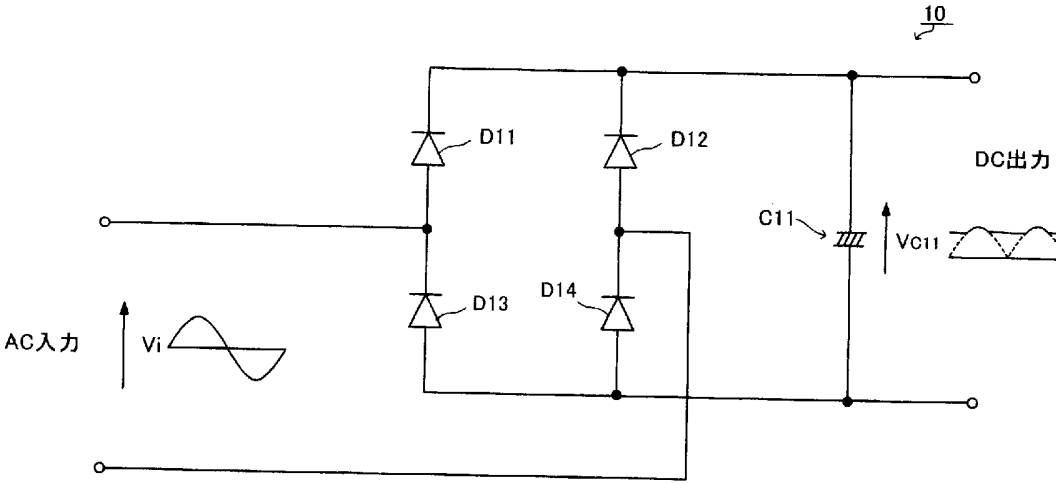
[図6]

第6図



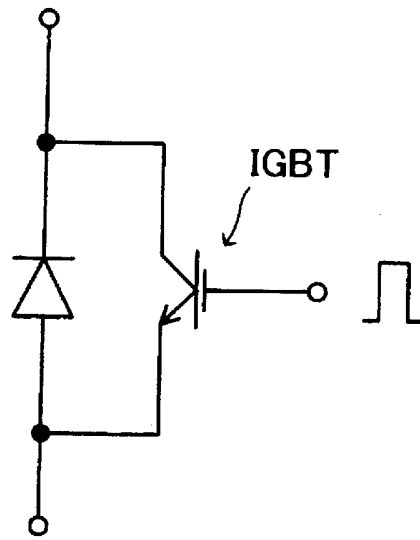
[図7]

第7図



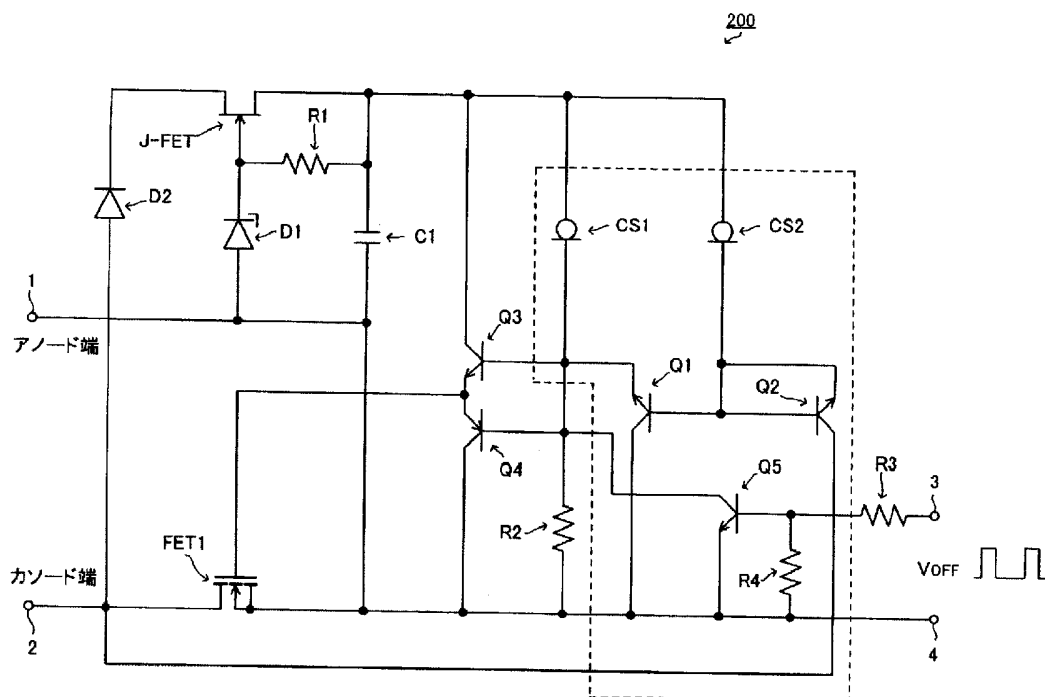
[図8]

第8図



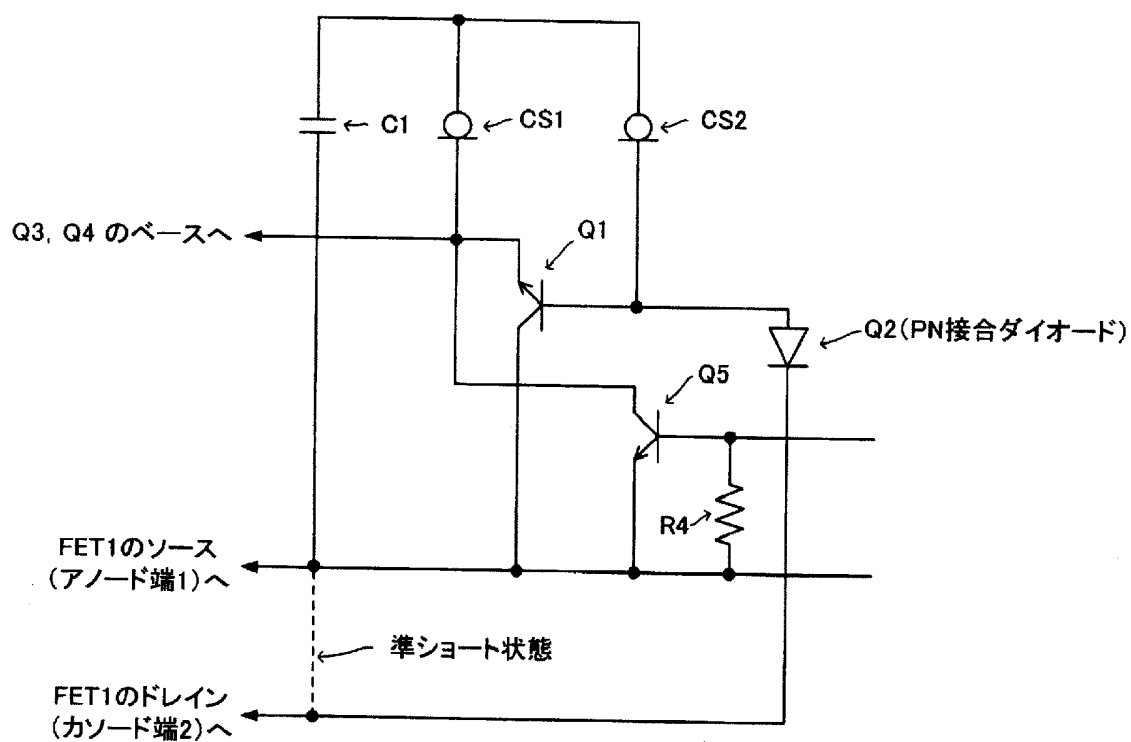
[図9]

第9図



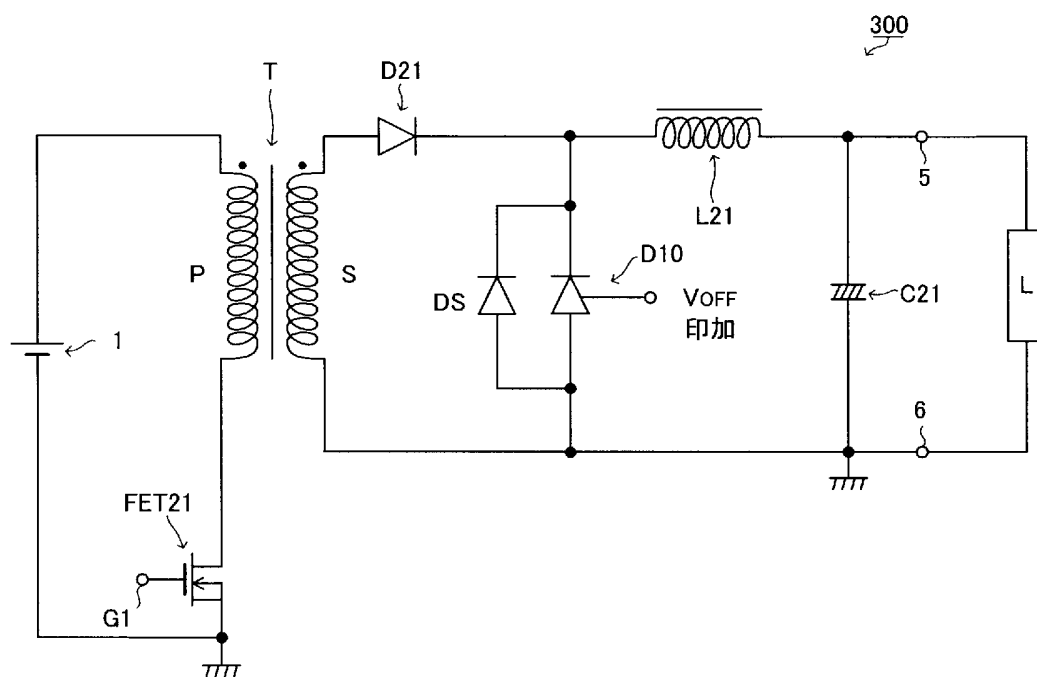
[図10]

第10図



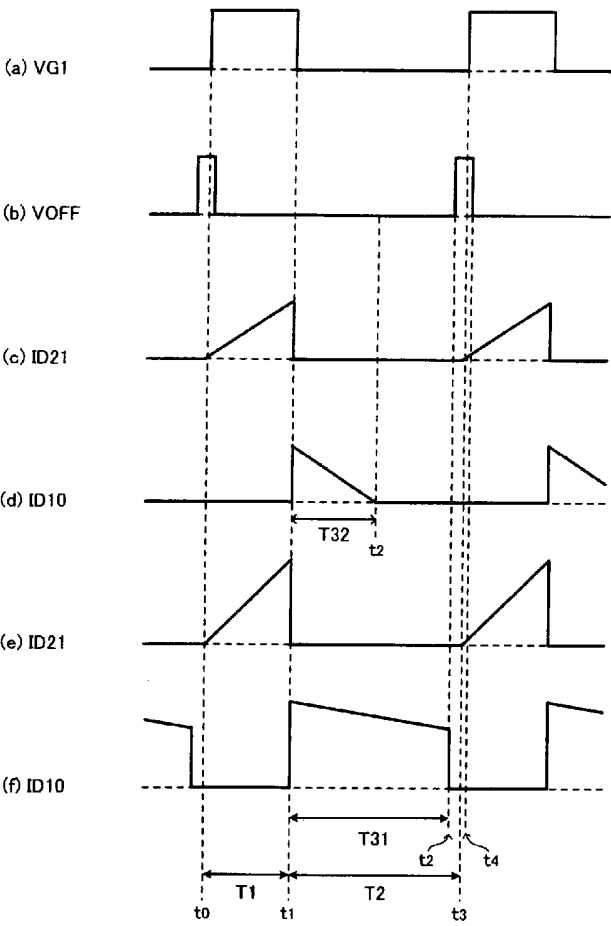
[図11]

第11図



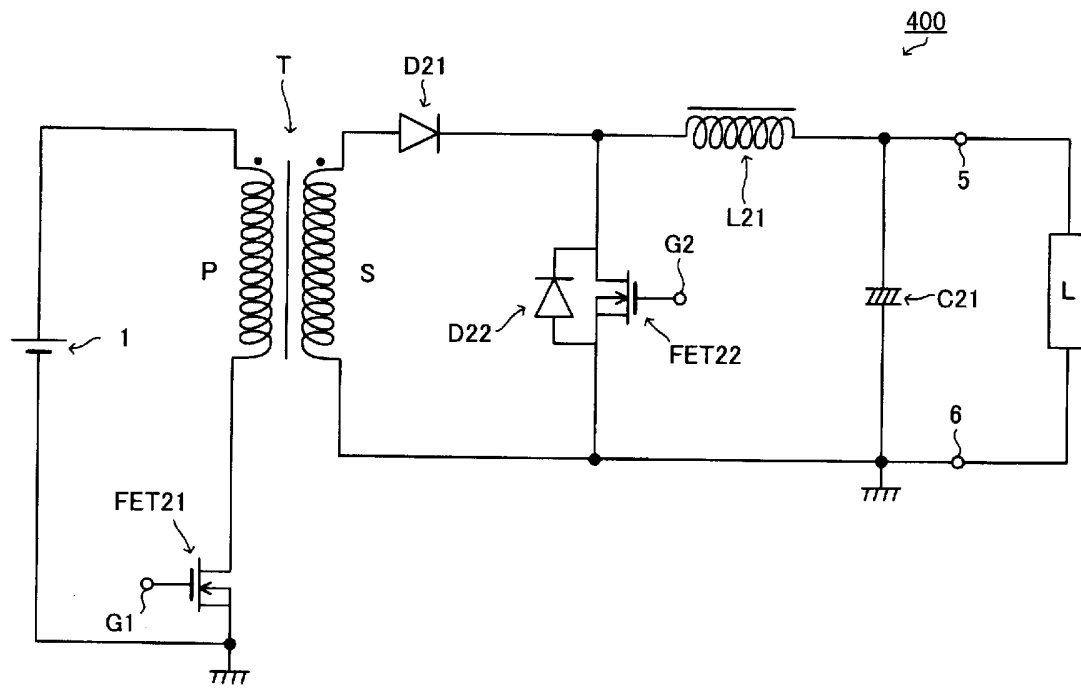
[図12]

第12図



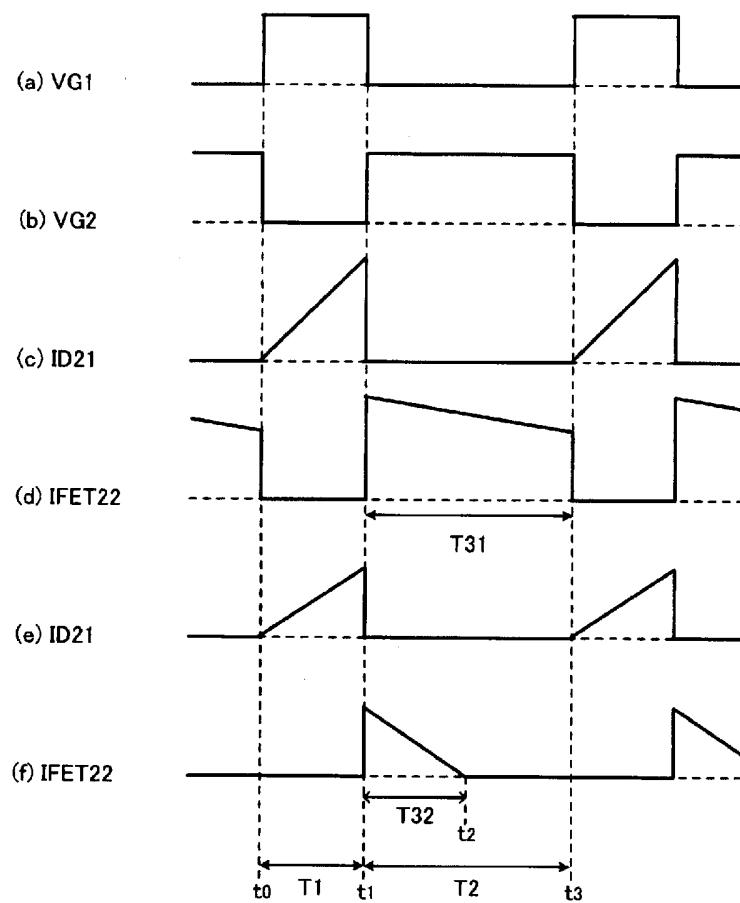
[図13]

第13図



[図14]

第14図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/306972

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01), **H02M7/12**(2006.01), **H02M7/21**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28(2006.01), **H02M7/00**(2006.01),

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 6-98540 A (Hitachi, Ltd.), 08 April, 1994 (08.04.94), Par. No. [0016]; Fig. 9 (Family: none)	1-4, 6, 7 5, 8-10
Y	JP 2001-224173 A (Fuji Xerox Co., Ltd.), 17 August, 2001 (17.08.01), Par. Nos. [0066] to [0199]; Fig. 1 (Family: none)	5, 8-10

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 April, 2006 (19.04.06)Date of mailing of the international search report
02 May, 2006 (02.05.06)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M3/28 (2006. 01), H02M7/12 (2006. 01), H02M7/21 (2006. 01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M3/28 (2006. 01), H02M7/00 (2006. 01),

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 6-98540 A (株式会社日立製作所) 08.04.1994, 【0016】段落, 図 9, (ファミリーなし)	1-4, 6, 7 5, 8-10
Y	JP 2001-224173 A (富士ゼロックス株式会社) 17.08.2001, 【0066】 - 【0199】段落, 図 1, (ファミリーなし)	5, 8-10

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 4 . 2 0 0 6

国際調査報告の発送日

0 2 . 0 5 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

杉浦 貴之

3 V

3 3 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8