

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5640147号
(P5640147)

(45) 発行日 平成26年12月10日 (2014. 12. 10)

(24) 登録日 平成26年10月31日 (2014. 10. 31)

(51) Int. Cl.	F I
GO 1 R 19/00 (2006. 01)	GO 1 R 19/00 B
HO 3 K 17/687 (2006. 01)	HO 3 K 17/687 G
HO 3 K 17/00 (2006. 01)	HO 3 K 17/00 E

請求項の数 21 (全 38 頁)

(21) 出願番号	特願2013-510954 (P2013-510954)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(86) (22) 出願日	平成24年4月10日 (2012. 4. 10)	(74) 代理人	100089071 弁理士 玉村 静世
(86) 国際出願番号	PCT/JP2012/059756	(72) 発明者	牧野 良成 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
(87) 国際公開番号	W02012/144373	(72) 発明者	早川 博彦 兵庫県伊丹市瑞原四丁目1番地3 株式会社ルネサスデザイン内
(87) 国際公開日	平成24年10月26日 (2012. 10. 26)	審査官	吉岡 一也
審査請求日	平成25年9月26日 (2013. 9. 26)		
(31) 優先権主張番号	特願2011-94801 (P2011-94801)		
(32) 優先日	平成23年4月21日 (2011. 4. 21)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 スイッチ回路、選択回路、及び電圧測定装置

(57) 【特許請求の範囲】

【請求項1】

入力端子と出力端子の間に設けられたスイッチ素子と、
前記スイッチ素子のオンオフを指示する制御信号に基づいて、前記スイッチ素子を駆動するスイッチ駆動部と、を有するスイッチ回路であって、

前記スイッチ駆動部は、前記入力端子に供給される入力電圧を挟んで、相互に異なる第1電源電圧と第2電源電圧との間で駆動され、

前記第1電源電圧が供給される第1電源端子側にドレイン側が接続され、前記入力電圧に応じた電圧を入力し、出力側に生じた電圧を前記スイッチ素子を駆動するための駆動電圧として前記スイッチ素子に供給するソースフォロア回路と、

前記制御信号に応じて、前記ソースフォロア回路の出力側と前記第2電源電圧が供給される第2電源端子との間の電流経路を開閉する電流制御部と、を有し、

前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給される第1導電型の第1MOSトランジスタと、

ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第1MOSトランジスタのゲート端子側に接続され、ソース端子が前記第1MOSトランジスタのソース端子と共通に接続される第1導電型の第2MOSトランジスタと、を有し、

前記ソースフォロア回路は、ドレイン端子が前記第1電源端子側に接続され、ゲート端子が前記第1MOSトランジスタ及び前記第2MOSトランジスタのソース端子側に接続される第2導電型の第3MOSトランジスタと、

10

20

一端が前記第3 MOSトランジスタのソース端子側に接続され、他端が前記第1 MOSトランジスタ及び前記第2 MOSトランジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部と、を有し、

前記電流制御部は、前記制御信号が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第2電源端子との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じ、

前記スイッチ駆動部は、前記電流制御部によって形成された電流経路に流れる電流よりも小さい電流が流れる電流経路を、前記第1電源端子と前記第1 MOSトランジスタ及び前記第2 MOSトランジスタのソース端子との間に、前記電圧生成部の他端、並びに、前記第1 MOSトランジスタ及び前記第2 MOSトランジスタのゲート端子を介して形成するオフ加速部を更に有する、スイッチ回路。

10

【請求項2】

前記第1電源電圧は、前記入力電圧以上の電圧値とされ、

前記第1導電型はPチャネル型であり、前記第2導電型はNチャネル型である、請求項1記載のスイッチ回路。

【請求項3】

前記第1電源電圧はグラウンド電圧とされ、前記第2電源電圧は前記入力電圧以上の電圧値とされ、

前記第1導電型はNチャネル型であり、前記第2導電型はPチャネル型である、請求項1記載のスイッチ回路。

20

【請求項4】

入力端子と出力端子の間に設けられたスイッチ素子と、

前記スイッチ素子のオンオフを指示する制御信号に基づいて、前記スイッチ素子を駆動するスイッチ駆動部と、を有するスイッチ回路であって、

前記スイッチ駆動部は、前記入力端子に供給される入力電圧を挟んで、相互に異なる第1電源電圧と第2電源電圧との間で駆動され、

前記第1電源電圧が供給される第1電源端子側にドレイン側が接続され、前記入力電圧に応じた電圧を入力し、出力側に生じた電圧を前記スイッチ素子を駆動するための駆動電圧として前記スイッチ素子に供給するソースフォロア回路と、

前記制御信号に応じて、前記ソースフォロア回路の出力側と前記第2電源電圧が供給される第2電源端子との間の電流経路を開閉する電流制御部と、を有し、

30

前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給される第1導電型の第1 MOSトランジスタと、

ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第1 MOSトランジスタのゲート端子側に接続され、ソース端子が前記第1 MOSトランジスタのソース端子と共通に接続される第1導電型の第2 MOSトランジスタと、を有し、

前記ソースフォロア回路は、ドレイン端子が前記第1電源端子側に接続され、ゲート端子が前記第1 MOSトランジスタ及び前記第2 MOSトランジスタのソース端子側に接続される第2導電型の第3 MOSトランジスタと、

一端が前記第3 MOSトランジスタのソース端子側に接続され、他端が前記第1 MOSトランジスタ及び前記第2 MOSトランジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部と、を有し、

40

前記電流制御部は、前記制御信号が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第2電源端子との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じ、

前記スイッチ駆動部は、前記電流制御部が電流経路を閉じている期間に前記第1電源端子と前記第1 MOSトランジスタ及び前記第2 MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して電流経路を形成するオフ加速部を更に有する、スイッチ回路。

【請求項5】

50

前記オフ加速部が電流経路を形成する期間は、前記電流制御部が電流経路を閉じている期間のうち一部の期間である、請求項4記載のスイッチ回路。

【請求項6】

前記オフ加速部が電流経路を形成する期間は、前記電流制御部が電流経路を閉じている期間に対応する期間である、請求項4記載のスイッチ回路。

【請求項7】

素電池の一端と他端が接続されて組電池を構成する複数の素電池のうち1又は複数の素電池から構成されるブロックを1単位とし、入力された制御信号に応じて、いずれかの前記ブロックの両端に接続される信号線を選択して第1出力端子と第2出力端子に接続する選択回路であって、

10

前記ブロックの一端に接続される信号線が接続される入力端子と前記第1出力端子に接続される信号線が接続される出力端子とを有し、前記制御信号に応じて当該入力端子と当該出力端子とを電氣的に接続する第1スイッチ回路と、

前記ブロックの他端に接続される信号線が接続される入力端子と前記第2出力端子に接続される信号線が接続される出力端子とを有し、前記制御信号に応じて当該入力端子と当該出力端子とを電氣的に接続する第2スイッチ回路と、を夫々の前記ブロックに対応して有し、

前記第1スイッチ回路及び前記第2スイッチ回路は、当該スイッチ回路の入力端子と出力端子の間に設けられたスイッチ素子と、前記制御信号に応じて前記スイッチ素子を駆動するスイッチ駆動部と、を有し、

20

前記スイッチ駆動部は、前記入力端子に供給される入力電圧を挟んで、相互に異なる第1電源電圧と第2電源電圧との間で駆動され、

前記第1電源電圧が供給される第1電源端子と、前記第2電源電圧が供給される第2電源端子との間に配置され、前記入力電圧に応じた電圧を入力し、出力側に生じた電圧を前記スイッチ素子を駆動するための駆動電圧として前記スイッチ素子に供給するソースフォロア回路と、

前記制御信号に応じて、前記第1電源端子と前記第2電源端子との間の前記ソースフォロア回路が配置された電流経路を開閉する電流制御部と、を有し、

前記第1電源電圧は、前記組電池を構成する素電池のうち最高位の素電池の一端の電圧に応じた電圧であり、

30

前記スイッチ素子は、ゲート端子が前記駆動電圧により制御されるP型のMOSトランジスタ又はN型のMOSトランジスタを有し、

前記ブロックに対応される前記第1スイッチ回路及び前記第2スイッチ回路のスイッチ素子のトランジスタの種類は同一とされ、

前記ブロックのうち前記他端の電位が所定の電位以上となる第1ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路のスイッチ素子は、P型のMOSトランジスタとされ、

前記ブロックのうち前記他端の電位が前記所定の電位より低い第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路のスイッチ素子は、N型のMOSトランジスタとされる、選択回路。

40

【請求項8】

前記第1ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において、

前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給されるP型の第1MOSトランジスタと、ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第1MOSトランジスタのゲート端子側に接続され、ソース端子が前記第1MOSトランジスタのソース端子と共通に接続されるP型の第2MOSトランジスタと、を有し、

前記ソースフォロア回路は、ドレイン端子が前記第1電源端子側に接続され、ゲート端子が前記第1MOSトランジスタ及び前記第2MOSトランジスタのソース端子側に接続

50

されるN型の第3MOSトランジスタと、

一端が前記第3MOSトランジスタのソース端子側に接続され、他端が前記第1MOSトランジスタ及び前記第2MOSトランジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部と、を有し、

前記電流制御部は、前記制御信号が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第2電源端子との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じる、請求項7記載の選択回路。

【請求項9】

前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において、

前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給されるN型の第4MOSトランジスタと、ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第4MOSトランジスタのゲート端子側に接続され、ソース端子が前記第4MOSトランジスタのソース端子と共通に接続されるN型の第5MOSトランジスタと、を有し、

前記ソースフォロア回路は、ドレイン端子が前記第2電源端子側に接続され、ゲート端子が前記第4MOSトランジスタ及び前記第5MOSトランジスタのソース端子側に接続されるP型の第6MOSトランジスタと、

一端が前記第6MOSトランジスタのソース端子側に接続され、他端が前記第4MOSトランジスタ及び前記第5MOSトランジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部と、を有し、

前記電流制御部は、前記制御信号が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第1電源端子との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じる、請求項8記載の選択回路。

【請求項10】

前記第1ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において、

前記スイッチ駆動部は、前記電流制御部によって形成される電流経路に流れる電流よりも小さい電流が流れる電流経路を、前記第1電源端子と前記第1MOSトランジスタ及び前記第2MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部と、を更に有する請求項9記載の選択回路。

【請求項11】

前記第1ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において、

前記スイッチ駆動部は、前記電流制御部が電流経路を閉じている期間に、前記第1電源端子と前記第1MOSトランジスタ及び前記第2MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して電流経路を形成するオフ加速部と、を更に有する請求項9記載の選択回路。

【請求項12】

前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において、

前記スイッチ駆動部は、前記電流制御部によって形成される電流経路に流れる電流よりも小さい電流が流れる電流経路を、前記第2電源端子と前記第4MOSトランジスタ及び前記第5MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部と、を更に有する請求項10記載の選択回路。

【請求項13】

前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において、

前記スイッチ駆動部は、前記電流制御部が電流経路を閉じている期間に、前記第2電源端子と前記第1MOSトランジスタ及び前記第2MOSトランジスタのソース端子との間

10

20

30

40

50

に前記電圧生成部の他端を介して電流経路を形成するオフ加速部と、を更に有する請求項 11 記載の選択回路。

【請求項 14】

素電池の一端と他端が接続されて組電池を構成する複数個の素電池のうち 1 又は複数の素電池から構成されるブロックを 1 単位とし、1 ブロック毎に前記ブロックの両端の電圧を測定するための電圧測定装置であって、

入力された制御信号に応じて、前記ブロックの両端に接続される信号線を 1 ブロック毎に選択して第 1 出力端子と第 2 出力端子に接続する選択部と、

前記第 1 出力端子と前記第 2 出力端子の電圧を入力して、両端子間の電圧を測定する測定部と、を有し、

前記選択部は、前記ブロックの一端に接続される信号線が接続される入力端子と前記第 1 出力端子に接続される信号線が接続される出力端子とを有し、前記制御信号に応じて前記入力端子と前記出力端子とを電氣的に接続する第 1 スイッチ回路と、

前記ブロックの他端に接続される信号線が接続される入力端子と前記第 2 出力端子に接続される信号線が接続される出力端子とを有し、前記制御信号に応じて前記入力端子と前記出力端子とを電氣的に接続する第 2 スイッチ回路と、を夫々の前記ブロックに対応して有し、

前記第 1 スイッチ回路及び前記第 2 スイッチ回路は、当該スイッチ回路の入力端子と出力端子との間に設けられたスイッチ素子と、前記制御信号に応じて前記スイッチ素子を駆動するスイッチ駆動部と、を有し、

前記スイッチ駆動部は、前記入力端子に供給される入力電圧を挟んで、相互に異なる第 1 電源電圧と第 2 電源電圧との間で駆動され、

前記第 1 電源電圧が供給される第 1 電源端子と、前記第 2 電源電圧が供給される第 2 電源端子との間に配置され、前記入力電圧に応じた電圧を入力し、出力側に生じた電圧を前記スイッチ素子を駆動するための駆動電圧として前記スイッチ素子に供給するソースフォロア回路と、

前記制御信号に応じて、前記第 1 電源端子と前記第 2 電源端子との間の前記ソースフォロア回路が配置された電流経路を開閉する電流制御部と、を有し、

前記第 1 電源電圧は、前記組電池を構成する素電池のうち最高位の素電池の一端の電圧に応じた電圧であり、

前記スイッチ素子は、ゲート端子が前記駆動電圧により制御される P 型の MOS トランジスタ又は N 型の MOS トランジスタを有し、

前記ブロックに対応される前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチ素子のトランジスタの種類は同一とされ、

前記ブロックのうち前記他端の電位が所定の電位以上となる第 1 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチ素子は、P 型の MOS トランジスタとされ、

前記ブロックのうち前記他端の電位が前記所定の電位より低い第 2 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチ素子は、N 型の MOS トランジスタとされる、電圧測定装置。

【請求項 15】

前記第 1 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路において、

前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給される P 型の第 1 MOS トランジスタと、ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第 1 MOS トランジスタのゲート端子側に接続され、ソース端子が前記第 1 MOS トランジスタのソース端子と共通に接続される P 型の第 2 MOS トランジスタと、を有し、

前記ソースフォロア回路は、ドレイン端子が前記第 1 電源端子側に接続され、ゲート端子が前記第 1 MOS トランジスタ及び前記第 2 MOS トランジスタのソース端子側に接続

10

20

30

40

50

されるN型の第3MOSトランジスタと、

一端が前記第3MOSトランジスタのソース端子側に接続され、他端が前記第1MOSトランジスタ及び前記第2MOSトランジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部と、を有し、

前記電流制御部は、前記制御信号が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第2電源端子との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じる、請求項14記載の電圧測定装置。

【請求項16】

前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において

10

前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給されるN型の第4MOSトランジスタと、ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第4MOSトランジスタのゲート端子側に接続され、ソース端子が前記第4MOSトランジスタのソース端子と共通に接続されるN型の第5MOSトランジスタと、を有し、

前記ソースフォロア回路は、ドレイン端子が前記第2電源端子側に接続され、ゲート端子が前記第4MOSトランジスタ及び前記第5MOSトランジスタのソース端子側に接続されるP型の第6MOSトランジスタと、

一端が前記第6MOSトランジスタのソース端子側に接続され、他端が前記第4MOSトランジスタ及び前記第5MOSトランジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部と、を有し、

20

前記電流制御部は、前記制御信号が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第1電源端子との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じる、請求項15記載の電圧測定装置。

【請求項17】

前記第1ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において

前記スイッチ駆動部は、前記電流制御部によって形成される電流経路に流れる電流よりも小さい電流が流れる電流経路を、前記第1電源端子と前記第1MOSトランジスタ及び前記第2MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部、を更に有する請求項16記載の電圧測定装置。

30

【請求項18】

前記第1ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において

前記スイッチ駆動部は、前記電流制御部が電流経路を閉じている期間に、前記第1電源端子と前記第1MOSトランジスタ及び前記第2MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して電流経路を形成するオフ加速部と、を更に有する請求項16記載の電圧測定装置。

40

【請求項19】

前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において

前記スイッチ駆動部は、前記電流制御部によって形成される電流経路に流れる電流よりも小さい電流が流れる電流経路を、前記第2電源端子と前記第4MOSトランジスタ及び前記第5MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部、を更に有する請求項17記載の電圧測定装置。

【請求項20】

前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路において

50

前記スイッチ駆動部は、前記電流制御部が電流経路を閉じている期間に、前記第2電源端子と前記第1MOSトランジスタ及び前記第2MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して電流経路を形成するオフ加速部と、を更に有する請求項18記載の電圧測定装置。

【請求項21】

前記測定部は、デルタ・シグマ方式のアナログデジタル変換器を有する、請求項14記載の電圧測定装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチ回路、選択回路、及び電圧測定装置に関し、特に複数の電圧から1つの電圧を選択して測定する電圧測定装置に適用して、有効な技術に関する。

【背景技術】

【0002】

現在、車両走行用の駆動源としてモータを使用する電気自動車（EV：electric vehicle）やハイブリッド車（HEV：hybrid electric vehicle）が自動車メーカを問わず多くの企業・団体に開発されている。これらモータを駆動するためには数百ボルトの高電圧を有する車両搭載電源が必要とされる。前記車両搭載電源は、数ボルト程度の電圧を発生する素電池（「電池セル」とも称する。）を複数個直列に接続した組電池で実現されている。

【0003】

電気自動車等では車両の走行時や充電時などすべての使用環境下において、電池の状態（例えば、過充電状態、過放電状態、充電残量等）を判断するために各電池セルVCL1つずつの電圧を高精度で測定する必要がある。電池電圧の高精度な検出技術は電池エネルギーの有効活用には必須であり、特に車両用電源としては車両の安全性や車両走行距離の長距離化に繋がる重要な技術である。

【0004】

このような高精度化の要求に応え、且つさらなる低コスト化を実現するために、車両搭載電源における電圧測定装置は、電池セルVCL1つにつき1つのAD変換器（以下、ADC（Analog-to-Digital Converter）とも称する。）を備えるのではなく、電池セル数個～十数個を1ブロックとして捉え、1ブロックにつき1つのADCを持つ構成が主に実用化されている。またその構成を実現するために、電圧測定装置は、マルチプレクサ回路（以下、MUX（multiplexer）とも称する。）を搭載し、MUXにより最下位電位（グラウンド（GND）レベル）を基準にして設計されるADCの信号入力に複数の異なる電圧水準にある電池電圧を時間的に順次切り替えることで、電圧の測定を実現している。また電池電圧を測定する回路方式として、従来はフライングキャパシタ回路を用いる方式が最もよく使用されている（例えば特許文献1参照）。この方式はMUX回路の一部として、少なくとも1つのキャパシタを使用して構成される。このキャパシタは通常時は両極いずれの端子も特定の電位に固定されておらず、電池側のスイッチ回路を通じて各電池の両極の入力電圧端子に接続可能とされ、ADC側のスイッチ回路を通じてADCの2つの入力端子に接続可能とされる。また、別のスイッチ回路によってキャパシタの一方の端子はGND電位や所定の固定電位に接続可能とされる。特許文献1に記載のフライングキャパシタ回路の測定時の動作を簡単に説明すると以下となる。例えば、まず電圧を測定する電池の両端とキャパシタCとを接続する電池側スイッチをオンしてキャパシタCに電池電圧を充電する。次に電池側スイッチをオフしてから、キャパシタCのどちらか一方の電極をGND電位や一定電位に接続する。これにより電圧水準の異なる電池電圧をADCの動作範囲内の電圧領域にシフトさせることができる。そしてこの状態でADC側のスイッチをオンにすることでADCと電氣的に接続し、ADCによってその電圧値を読み取る。なお、キャパシタCとADCの間にバッファアンプや差動アンプを使用する場合があるが動作手順は同様である。

10

20

30

40

50

【 0 0 0 5 】

電圧測定装置の従来技術として特許文献 1 乃至 9 に開示があり、その他の関連技術として特許文献 1 0 乃至 1 2 に開示がある。

【 0 0 0 6 】

特許文献 1 には、フライングキャパシタ方式の電圧測定装置の各スイッチ回路において、電池電圧入力とキャパシタ間を接続するスイッチ素子をオンにする際に電池から消費されるスイッチの駆動電流を均一化する方法として、上位の単位電池セルに接続されたスイッチを駆動するレベルシフト回路ほど、そのレベルシフト回路に流れる消費電流を大きくするように、電池毎に前記駆動電流に重み付けを行う技術が開示されている。

【 0 0 0 7 】

特許文献 2 には、電池セル数 N 個に対して、キャパシタとの接続に $N + 1$ 個の P N P 構造または N P N 構造のスイッチング素子を使用して電圧検出回路に接続する方法が開示されている。

【 0 0 0 8 】

特許文献 3 乃至 6 には、測定対象の電圧源と同数のキャパシタを用い、各スイッチ回路のスイッチ素子には N 型または P 型の M O S F E T を 1 つだけ使用する構成が開示されている。また特許文献 5 では、フライングキャパシタで使用されるスイッチの寄生容量による測定誤差を改善するために、スイッチ群の寄生容量を含む浮遊容量を予め測定し、フライングキャパシタの容量と測定した前記浮遊容量等に基づいて浮遊容量に蓄積された電荷による誤差電圧を算出し、その誤差電圧に基づいて測定電圧を算出する方法が開示されている。更に、特許文献 6 ではスイッチの寄生容量成分による誤差の改善方法が開示されている。

【 0 0 0 9 】

特許文献 7 には、スイッチ素子として用いる M O S トランジスタのソース・ドレイン間の寄生ダイオードによる電荷抜けに対応するため、電圧測定回路において電池セル数分のキャパシタを用いるとともに、各スイッチ回路のスイッチ素子には M O S F E T を用いる方法が開示されている。

【 0 0 1 0 】

特許文献 8 には、電池電圧入力とキャパシタ間を接続するスイッチをオンするための信号のレベルシフト回路にコンデンサを用いて、交流信号でスイッチを O N する方法が開示されている。

【 0 0 1 1 】

特許文献 9 には、前記特許文献 5 と同様にスイッチの寄生容量による測定誤差を改善するために、スイッチと差動増幅回路 (O P アンプ) を組み合わせたサンプルホールド回路を用いる方法が開示されている。

【 0 0 1 2 】

特許文献 1 0 には、バッテリー保護回路においてバッテリーの充電を安定して行うための外部電極とバッテリーとの間の給電経路の開閉制御の方法が開示されている。

【 0 0 1 3 】

特許文献 1 1 には、1 つの M O S トランジスタでは耐圧が不足するシステムにおける縦続トランジスタの接続方法が開示されている。

【 0 0 1 4 】

特許文献 1 2 には、バッテリー充電制御において、バッテリーの過充電や入力電圧低下によるバッテリーからの電流の逆流を防止するための技術が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 5 】

【 特許文献 1 】 特開 2 0 0 5 - 2 6 5 7 7 6 号公報

【 特許文献 2 】 特開 2 0 0 6 - 5 3 1 2 0 号公報

【 特許文献 3 】 国際公開 W O 2 0 0 4 / 0 8 6 0 6 5 号パンフレット

10

20

30

40

50

- 【特許文献4】特開2005-283258号公報
- 【特許文献5】特開2006-105824号公報
- 【特許文献6】特開2005-3394号公報
- 【特許文献7】特開2005-91136号公報
- 【特許文献8】特開2005-17289号公報
- 【特許文献9】特開2008-99371号公報
- 【特許文献10】特開2006-320183号公報
- 【特許文献11】特開2002-9600号公報
- 【特許文献12】特開2009-301209号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0016】

本願発明者は、電圧測定装置における電圧測定精度の高精度化や電池の消費電流の均一化の要求に伴い、その技術的課題を見直した結果、以下の新たな課題を見出した。

【0017】

第1の課題は、測定対象の電池エネルギー消費のアンバランスによる電池持続力の低下である。

【0018】

図19は、公知技術ではないが、本願発明者が本願発明に先立って検討したP型MOSトランジスタをスイッチ素子とするスイッチ回路の一例である。また、図20は、図19と同様に、本願発明者が本願発明に先立って検討したN型MOSトランジスタをスイッチ素子とするスイッチ回路の一例である。

20

【0019】

図19及び図20に示されるスイッチ回路は、2つのMOSトランジスタのソースを共通に接続するとともにゲートを共通に接続する双方向スイッチと、当該スイッチを制御するための制御信号(ENABLE)によって制御されるMOSトランジスタと、定電流を発生させるMOSトランジスタと、抵抗Rと、から構成されるスイッチ駆動部を備える。例えば、電圧測定装置のMUX回路におけるスイッチ回路として、同図のスイッチ回路を用いた場合を考える。この電圧測定装置によって組電池を構成する夫々の電池セルの電圧を測定する場合には、スイッチ駆動回路によってスイッチをオンして、測定対象の電池セルが接続される入力端子(VIN)を計測回路側に接続される出力端子(VOU)に接続する。このときスイッチ駆動回路には、スイッチをオンするための駆動電流Iが入力側(VIN)から抵抗Rを介してグラウンド(GND)に流れる。このように、スイッチ駆動回路の低耐圧素子の使用や信号での制御の容易化のため、計測対象の電池セルの電極からGNDレベルに駆動電流Iが流れるようにすることでスイッチ素子を駆動すると、夫々の電池セルは直列に接続されているため、下位側に配置された電池セルほど駆動電流を何度も取り出すこととなる。逆に最上位側に配置された電池セルからはあまり駆動電流は取り出されないために、電池エネルギー消費のアンバランスを引き起こしてしまう。この対策方法として、前述したように、特許文献1にスイッチ駆動回路の駆動電流の重み付けを行う方法が示されているが、この方法では、直列に接続する電池セルの数を増加させた場合には、その数に応じて駆動電流が大きくなり、電池の消費電力を抑えるためには駆動電流の単位電流をかなり小さくする必要がある。また、最下位付近のスイッチ素子は微少電流でオン電圧を発生させなければならず、駆動回路のオン電圧を発生させるための抵抗素子(例えば、図19及び図20の抵抗Rに相当する抵抗素子)が高抵抗となってしまう、電圧測定装置の面積の増大を招く。

30

40

【0020】

第2の課題は、スイッチ素子及び信号経路の抵抗成分とスイッチ素子の駆動電流とで生ずる電圧降下による電圧測定精度の悪化である。上記の第1の課題で示したように、スイッチ素子をオンするための駆動電流を計測対象の電池セルから供給すると、スイッチ素子のオン抵抗、前記駆動電流が流れる信号経路の抵抗成分、電池セルの電極とスイッチ素子

50

との間の外付けノイズカットフィルタの抵抗成分に前記駆動電流が流れることにより電圧降下が発生する。これらの抵抗成分はすべての製品で均一に製造することはできず、必ず素子のバラつきが生じてしまうが、この抵抗成分のバラつきが夫々の電圧降下に差を生じさせる。この電圧降下の差が電圧測定精度を悪化させる要因となる。例えば特許文献2では、各電池セルに対応するスイッチ素子としてプラス極側のスイッチにPMOSトランジスタを用い、マイナス極側にNMOSスイッチを用いているが、このような組み合わせ構成したスイッチ回路において前記抵抗成分のバラつきが大きい場合には、駆動電流の流れる方向の違いから電圧降下が相殺されることなく、逆に大きな測定誤差要因を生む可能性がある。この駆動電流による測定誤差の改善方法については、上記特許文献1乃至12では特に言及されていない。特許文献8では、前述したようにスイッチ素子を駆動するためにドライブコンデンサを用いる方法が示されているが、スイッチをオンさせる交流信号自体が測定ノイズとなる可能性がある。測定ノイズを防止するには、電池側とのスイッチをOFFのときに測定出来る様に電圧を保持するフライングキャパシタ回路を必要と考えられる。また、この方法を電圧測定装置で実現するには面積の大きな容量素子を使用せざるを得ず、回路規模の増大を招く。

10

【0021】

第3の課題は、オフ状態のスイッチ素子において想定外の電流リークパスが生じることによる測定精度悪化である。例えば1つフライングキャパシタに選択的に電池セルを接続するMUX回路において、夫々のスイッチ素子としてMOSトランジスタを用いる場合を考える。一つの電池セルの電圧を測定するために、当該電池セルのスイッチ素子(MOSトランジスタ)をオンしているとき、他の電池セルのスイッチ素子(MOSトランジスタ)はオフとされる。しかしながら、他の電池セルのMOSトランジスタのゲートを制御してオフとしても、そのソース・ドレイン間の寄生ダイオードが導通するような電圧関係が生じると、測定対象の電池セルからフライングキャパシタへの電流経路に加え、オフしているスイッチ素子への電流経路が生じてしまい、測定対象の電池セルにとっては想定外の負荷電流として見えてしまう可能性がある。この負荷電流と電池からMUX回路出力までの経路における抵抗成分とによって電圧降下が生じてしまい、その電圧降下が測定誤差を生じさせる誤差要因となる。この課題の対策方法として、前述の特許文献3乃至7に寄生ダイオードが働かない構成が提案されているが、これらの方法では電池セル数分のフライングキャパシタを内蔵しないとイケないため、回路面積が大きくなってしまう。一方、特許文献9等のように、スイッチ素子として2つのMOSトランジスタのソースを共通に接続するとともにゲートを共通に接続する双方向スイッチを用いる場合であっても、例えば、オフ状態のスイッチ素子のPMOSトランジスタのソースノードよりも測定対象の電池の電圧が高い場合には、前記PMOSトランジスタの寄生ダイオードが動作してしまい、負荷電流が生じてしまう。また、オフ状態のスイッチ素子のNMOSトランジスタのソースノードよりも測定対象の電池の電圧が低い場合には、前記NMOSトランジスタの寄生ダイオードが動作してしまい負荷電流が生じてしまう。

20

30

【0022】

第4の課題は、フライングキャパシタ方式の電圧測定装置におけるスイッチ素子の寄生容量及びOPアンプのオフセット誤差等によるデバイス起因の測定誤差の発生である。前述した特許文献5及び特許文献9でも言及されているように、フライングキャパシタ方式の電圧測定装置では、スイッチ素子の寄生容量が測定誤差要因となるために、測定の高精度化には対策が必要である。特許文献5及び特許文献9のいずれにおいても、誤差を補正するための処理等が複雑であり、回路規模の増大を招く。特に、特許文献9のようにフライングキャパシタ回路においてキャパシタとADCの間にバッファ用途でOPアンプを追加したり、OPアンプを用いたサンプルホールド回路を用いたりする場合、OPアンプ自身のオフセット電圧などが誤差要因となってしまふ。その誤差を補正する方法は各種あるが、多くの手間がかかり、計測時間の増大や消費電力の増大を招く可能性がある。

40

【0023】

また特許文献10乃至12に開示されたいずれの技術によっても上記の問題を解決する

50

ことはできない。

【 0 0 2 4 】

本発明の目的は、電圧測定装置における電圧測定精度の向上と電池の消費電流の均一化に資する技術を提供することにある。

【 0 0 2 5 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 2 6 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

10

【 0 0 2 7 】

すなわち、スイッチ回路は、入力端子と出力端子の間に設けられたスイッチ素子と、前記入力端子に供給される入力電圧を挟んで、相互に異なる第1電源電圧と第2電源電圧との間で駆動されるスイッチ駆動部とを有する。前記スイッチ駆動部は、前記第1電源電圧が供給される第1電源端子側にドレイン側が接続され、前記入力電圧に応じた電圧を入力し、出力側に生じた電圧を前記スイッチ素子を駆動するための駆動電圧として前記スイッチ素子に供給するソースフォロア回路と、前記制御信号に応じて前記ソースフォロア回路の出力側と前記第2電源電圧が供給される第2電源端子との間の電流経路を開閉する電流制御部とを有する。

20

【発明の効果】

【 0 0 2 8 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 2 9 】

すなわち、本スイッチ回路は、電圧測定装置における電圧測定精度の向上と電池の消費電流の均一化に資する。

【図面の簡単な説明】

【 0 0 3 0 】

【図1】図1は、実施の形態1に係る電圧測定装置の一例を示すブロック図である。

30

【図2】図2は、電圧測定装置2の電源供給の一例を示す説明図である。

【図3】図3は、電圧測定装置2におけるMUX回路30の一部のスイッチ回路の接続部分を示した説明図である。

【図4】図4は、電圧測定装置2の動作タイミングの一例を示すタイミングチャートである。

【図5】図5は、MUX回路30のP型MOSトランジスタをスイッチ素子とするスイッチ回路の一例を示す回路図である。

【図6】図6は、MUX回路30のN型MOSトランジスタをスイッチ素子とするスイッチ回路の一例を示す回路図である。

【図7】図7は、2種類のスイッチ回路を用いたMUX回路30の構成例を示すブロック図である。

40

【図8】図8は、EV又はHEV用のバッテリーの電圧測定システムの一例を示すブロック図である。

【図9】図9は、EV又はHEV用のバッテリーの電圧測定システムの別の一例を示すブロック図である。

【図10】図10は、P型MOSトランジスタの双方向スイッチ素子を用いたスイッチ回路の別の一例を示す回路図である。

【図11】図11は、図10におけるオフ信号(OFF)を示す説明図である。

【図12】図12は、P型MOSトランジスタの双方向スイッチ素子を用いたスイッチ回路の別の一例を示す回路図である。

50

【図13】図13は、図12におけるオフ信号(OFF)を示す説明図である。

【図14】図14は、N型MOSトランジスタの双方向スイッチ素子を用いたスイッチ回路の別の一例を示す回路図である。

【図15】図15は、図14におけるオフ信号(OFF)を示す説明図である。

【図16】図16は、電圧測定装置2の電源供給を別電源から供給する場合の一例を示すブロック図である。

【図17】図17は、MUX回路30を適用したフライングキャパシタ方式の電圧測定装置の一例を示すブロック図である。

【図18】図18は、電圧測定装置4の動作タイミングの一例を示すタイミングチャートである。

10

【図19】図19は、本願発明者が本願発明に先立って検討したP型MOSトランジスタをスイッチ素子とするスイッチ回路の回路図である。

【図20】図20は、本願発明者が本願発明に先立って検討したN型MOSトランジスタをスイッチ素子とするスイッチ回路の回路図である。

【発明を実施するための形態】

【0031】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

20

【0032】

〔1〕(電源電圧駆動のスイッチ回路)

本発明の代表的な実施の形態に係るスイッチ回路(SWP、SWN)は、入力端子(VIN)と出力端子(VOU)T)の間に設けられたスイッチ素子(MP1及びMP2、又はMN1及びMN2)と、前記スイッチ素子のオンオフを指示する制御信号(ENABLE)に基づいて、前記スイッチ素子を駆動するスイッチ駆動部(401~409)とを有する。前記スイッチ駆動部は、前記入力端子に供給される入力電圧を挟んで相互に異なる第1電源電圧(VCC又はGND)と第2電源電圧(GND又はVCC)との間で駆動される。また、前記スイッチ駆動部は、前記第1電源電圧が供給される第1電源端子側にドレイン側が接続され、前記入力電圧に応じた電圧を入力し、出力側に生じた電圧を前記スイッチ素子を駆動するための駆動電圧として前記スイッチ素子に供給するソースフォロア回路(401、404)と、前記制御信号に応じて前記ソースフォロア回路の出力側と前記第2電源電圧が供給される第2電源端子との間の電流経路を開閉する電流制御部(402、405)とを有する。

30

【0033】

項1のスイッチ回路は、前記スイッチ回路の入力端子側から駆動電流を供給するのではなく、前記ソースフォロア回路を介して前記第1電源端子と前記第2電源端子との間に流れる駆動電流によってスイッチ素子を駆動させる。これにより、スイッチの駆動電流とスイッチの入出力端子間の抵抗成分とによる電圧降下は生じず、且つスイッチ駆動のために入力端子側の電力を消費することはない。したがって、例えば前述した電圧測定装置のMUX回路に項1のスイッチ回路を適用すれば、上記の第1の課題と第2の課題を解決することができる。

40

【0034】

〔2〕(スイッチ回路の詳細)

項1のスイッチ回路において、前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給される第1導電型の第1MOSトランジスタ(MP1又はMN2)と、ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第1MOSトランジスタのゲート端子側に接続され、ソース端子が前記第1MOSトランジスタのソース端子と共通に接続される第1導電型の第2MOSトランジスタ(MP2又はMN2)と、を有する。前記ソースフォロア回路は、ドレイン端子が前記第1電源端子

50

側に接続され、ゲート端子が前記第1 MOS トランジスタ及び前記第2 MOS トランジスタのソース端子側に接続される第2 導電型の第3 MOS トランジスタ (MN3 又はMP5) と、一端が前記第3 MOS トランジスタのソース端子側に接続され、他端が前記第1 MOS トランジスタ及び前記第2 MOS トランジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部 (R1、R2) とを有する。前記電流制御部は、前記制御信号が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第2 電源端子との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じる。

【0035】

これによれば、項1のスイッチ回路を簡易な構成で実現することができる。また、前記電圧生成部に流れる電流に基づいて第1 MOS トランジスタ及び第2 MOS トランジスタのゲート・ソース間電圧を発生させるから、前記入力電圧によらないオン電圧を生成することができる。

【0036】

(3) (定電流タイプのオフ加速回路を備えるスイッチ回路)

項1又は2のスイッチ回路において、前記スイッチ駆動部は、前記電流制御部によって形成された電流経路に流れる電流よりも小さい電流が流れる電流経路を、前記第1 電源端子と第1 MOS トランジスタ及び第2 MOS トランジスタのソース端子との間に前記電圧生成部の他端、並びに、前記第1 MOS トランジスタ及び前記第2 MOS トランジスタのゲート端子を介して形成するオフ加速部 (403、406) と、を更に有する。

【0037】

これによれば、スイッチ素子がオフ状態のとき、前記電圧生成部の他端のノードの電位が前記第1 電源電圧側に遷移するため、スイッチ素子のオフ状態がより安定となる。また、前記第1 MOS トランジスタ及び前記第2 MOS トランジスタのソース端子の電位が前記第1 電源電圧側に遷移するため、オフ状態の前記第1 MOS トランジスタ及び前記第2 MOS トランジスタの寄生ダイオードを介した電荷の移動を防止することができる。したがって、例えば前述した電圧測定装置のMUX回路に項3のスイッチ回路を適用すれば、上記の第1の課題と第2の課題に加え、第3の課題を解決することができる。

【0038】

(4) (スイッチタイプのオフ加速回路を備えるスイッチ回路)

項1又は2のスイッチ回路において、前記スイッチ駆動部は、前記電流制御部が電流経路を閉じている期間のうち所定の期間に前記第1 電源端子と第1 MOS トランジスタ及び第2 MOS トランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部 (407 ~ 409) と、を更に有する。

【0039】

これによれば、項3と同様に、スイッチ素子のオフ状態がより安定となり、且つオフ状態の前記第1 MOS トランジスタ及び前記第2 MOS トランジスタの寄生ダイオードを介した電荷の移動を防止することができる。したがって、例えば前述した電圧測定装置のMUX回路に項3のスイッチ回路を適用すれば、上記の第1の課題と第2の課題に加え、第3の課題を解決することができる。また、前記オフ加速部は、スイッチ素子がオン状態であるときには電流を流さないので消費電流を低減することができ、且つスイッチ素子のオン電圧を決定する前記電圧生成部に流れる電流として前記電流制御部に流れる電流のみを考慮すればよいので、オン電圧の精度向上に資する。更に前記オフ加速部はスイッチ的に動作するので、定電流で動作する場合に比べ前記スイッチ素子がオフ状態に移行するまでの時間をより短くすることができ、且つより早いタイミングで寄生ダイオードを介した電荷の移動を防止することができる。

【0040】

(5) (オフ加速回路：ワンショット信号)

項4のスイッチ回路において、前記オフ加速部が電流経路を形成する期間は、前記電流制御部が電流経路を閉じている期間のうち一部の期間 (図11のオフ信号のハイレベル期

10

20

30

40

50

間)である。

【0041】

〔6〕(オフ加速回路：反転信号)

項4のスイッチ回路において、前記オフ加速部が電流経路を形成する期間は、前記電流制御部が電流経路を閉じている期間に対応する期間(図13又は図15のオフ信号のハイレベル期間)である。

【0042】

これによれば、前記オフ加速部が電流経路を形成する期間を、例えばスイッチ素子のオフ状態を指示する期間とすることができるから、設計が容易となる。

【0043】

〔7〕(スイッチ回路(Pch))

項2乃至6のいずれかのスイッチ回路において、前記第1電源電圧は、前記入力電圧以上の電圧値(VCC)とされ、前記第1導電型はPチャンネル型であり、前記第2導電型はNチャンネル型である。

【0044】

〔8〕(スイッチ回路(Nch))

項2乃至6のいずれかのスイッチ回路において、前記第1電源電圧はグラウンド電圧とされ、前記第2電源電圧は前記入力電圧以上の電圧値(VCC)とされ、前記第1導電型はNチャンネル型であり、前記第2導電型はPチャンネル型である。

【0045】

〔9〕(電源電圧駆動のスイッチ回路を備えるマルチプレクサ回路)

本発明の代表的な実施の形態に係る選択回路(30)は、一端と他端が接続されて組電池を構成する複数個の素電池(VCL₁~VCL_n)のうち1又は複数の素電池から構成されるブロックを1単位とし、入力された制御信号に応じて、いずれかの前記ブロックの両端に接続される信号線を選択して第1出力端子(INP(+))と第2出力端子(INN(-))に接続する。前記選択回路は、前記ブロックの一端(電池セルVCLの正側電極)に接続される信号線が接続される入力端子(VIN)と前記第1出力端子に接続される信号線が接続される出力端子(VOU)とを有して、前記制御信号に応じて当該入力端子と当該出力端子とを電氣的に接続する第1スイッチ回路(SWP)と、前記ブロックの他端(電池セルVCLの負側電極)に接続される信号線が接続される入力端子(VIN)と前記第2出力端子に接続される信号線が接続される出力端子(VOU)とを有して、前記制御信号に応じて当該入力端子と当該出力端子とを電氣的に接続する第2スイッチ回路(SWN)とを夫々の前記ブロックに対応して有する。また、前記第1スイッチ回路及び前記第2スイッチ回路は、当該スイッチ回路の入力端子と出力端子の間に設けられたスイッチ素子(MP1及びMP2、又はMN1及びMN2)と、前記制御信号に応じて前記スイッチ素子を駆動するスイッチ駆動部(401~409)と、を有する。前記スイッチ駆動部は、前記第1電源電圧(VCC又はGND)が供給される第1電源端子と、前記第2電源電圧(GND又はVCC)が供給される第2電源端子との間に配置され、前記入力電圧に応じた電圧を入力し、出力側に生じた電圧を前記スイッチ素子を駆動するための駆動電圧として前記スイッチ素子に供給するソースフォロア回路(401、404)と、前記制御信号に応じて、前記第1電源端子と前記第2電源端子との間の前記ソースフォロア回路が配置された電流経路を開閉する電流制御部(402、405)とを有する。

【0046】

これによれば、項1と同様に、前記第1スイッチ回路及び前記第2スイッチ回路によれば、スイッチの駆動電流とスイッチの入出力端子間の抵抗成分とによる電圧降下は生じず、且つスイッチ駆動のために入力端子側の電力を消費することはない。したがって、例えば前述した電圧測定装置のMUX回路として項9の選択回路を適用すれば、上記の第1の課題と第2の課題を解決することができる。

【0047】

〔10〕(VCCはバッテリー電圧)

10

20

30

40

50

項 9 の選択回路において、前記第 1 電源電圧は、前記組電池を構成する素電池のうち最高位の素電池の一端の電圧に応じた電圧（VCL_1 の正側電極の電圧）である。

【0048】

項 10 の選択回路において、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の駆動電流は前記組電池から供給される。すなわち、前記選択回路の選択動作において各素電池から均等に電力消費が行われるので、素電池間の電池エネルギー消費のバランスを保つことができる。

【0049】

〔11〕（ブロック毎のスイッチ回路は同一種類のトランジスタ）

項 10 の選択回路において、前記スイッチ素子は、ゲート端子が前記駆動電圧により制御される P 型の MOS トランジスタ（MP1、MP2）又は N 型の MOS トランジスタ（MN1、MN2）を有し、前記ブロックに対応される前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチ素子のトランジスタの種類は同一とされる。

【0050】

項 11 の選択回路は、前記選択対象の前記ブロックの夫々の電極に接続されるスイッチ素子の種類を同一とするから、前記ブロックの夫々の電極から前記第 1 出力端子までの抵抗成分と前記第 2 出力端子までの抵抗成分とのずれの低減に資する。

【0051】

〔12〕（同一種類のスイッチ回路の接続方法）

項 9 乃至 11 のいずれかの選択回路において、前記ブロックのうち前記他端の電位が所定の電位（VT）以上となる第 1 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチ素子は、P 型の MOS トランジスタ（MP1、MP2）とされ、前記ブロックのうち前記他端の電位が前記所定の電位より低い第 2 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチ素子は、N 型の MOS トランジスタ（MN1、MN2）とされる。

【0052】

これによれば、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチ素子として N 型 MOS トランジスタと P 型 MOS トランジスタを用いた場合であっても、夫々のブロックの両端に接続されるスイッチ素子を種類を等しくすることができる。

【0053】

〔13〕（スイッチ回路の詳細（Pch））

項 12 の選択回路において、前記第 1 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路の前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給される P 型の第 1 MOS トランジスタ（MP1）と、ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第 1 MOS トランジスタのゲート端子側に接続され、ソース端子が前記第 1 MOS トランジスタのソース端子と共通に接続される P 型の第 2 MOS トランジスタ（MP2）と、を有する。また、前記第 1 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路の前記ソースフォロア回路（401）は、ドレイン端子が前記第 1 電源端子側に接続され、ゲート端子が前記第 1 MOS トランジスタ及び前記第 2 MOS トランジスタのソース端子側に接続される N 型の第 3 MOS トランジスタ（MN3）と、一端が前記第 3 MOS トランジスタのソース端子側に接続され、他端が前記第 1 MOS トランジスタ及び前記第 2 MOS トランジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部（R1）とを有する。更に、前記第 1 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路の前記電流制御部（402）は、前記制御信号（ENABLE）が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第 2 電源端子（GND）との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じる。

【0054】

これによれば、項 2 と同様に前記第 1 スイッチ回路及び前記第 2 スイッチ回路を簡易な

10

20

30

40

50

構成で実現することができる。また、前記電圧生成部に流れる電流に基づいて第1 MOSトランジスタ及び第2 MOSトランジスタのゲート・ソース間電圧を発生させるから、前記入力電圧によらないオン電圧を生成することができる。

【0055】

〔14〕（スイッチ回路の詳細（Nch））

項12又は13の選択回路において、前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路の前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給されるN型の第4 MOSトランジスタ（MN1）と、ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第4 MOSトランジスタのゲート端子側に接続され、ソース端子が前記第4 MOSトランジスタのソース端子と共通に接続されるN型の第5 MOSトランジスタ（MN2）と、を有する。また、前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路の前記ソースフォロア回路（404）は、ドレイン端子が前記第2電源端子側に接続され、ゲート端子が前記第4 MOSトランジスタ及び前記第5 MOSトランジスタのソース端子側に接続されるP型の第6 MOSトランジスタ（MP5）と、一端が前記第6 MOSトランジスタのソース端子側に接続され、他端が前記第4 MOSトランジスタ及び前記第5 MOSトランジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部（R2）と、を有する。更に、前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路の前記電流制御部は、前記制御信号が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第1電源端子（VCC）との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じる。

10

20

【0056】

これによれば、項2と同様に前記第1スイッチ回路及び前記第2スイッチ回路を簡易な構成で実現することができる。また、前記電圧生成部に流れる電流に基づいて第4 MOSトランジスタ及び第5 MOSトランジスタのゲート・ソース間電圧を発生させるから、前記入力電圧によらないオン電圧を生成することができる。

【0057】

〔15〕（定電流タイプのオフ加速回路を備えるスイッチ回路）

項12乃至14のいずれかの選択回路において、前記第1ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路の前記スイッチ駆動部は、前記電流制御部によって形成される電流経路に流れる電流よりも小さい電流が流れる電流経路を、前記第1電源端子（VCC）と前記第1 MOSトランジスタ及び前記第2 MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部（403）と、を更に有する。

30

【0058】

これによれば、項3と同様に、スイッチ素子がP型 MOSトランジスタから構成される前記第1スイッチ回路及び前記第2スイッチ回路において、スイッチ素子のオフ状態がより安定となり、且つ、オフ状態の前記第1 MOSトランジスタ及び前記第2 MOSトランジスタの寄生ダイオードを介した電荷の移動を防止することができる。したがって、例えば前述した電圧測定装置のMUX回路として項15の選択回路を適用すれば、上記の第1の課題と第2の課題に加え、第3の課題を解決することができる。

40

【0059】

〔16〕（スイッチタイプのオフ加速回路を備えるスイッチ回路）

項12乃至14のいずれかの選択回路において、前記第1ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路の前記スイッチ駆動部は、前記電流制御部が電流経路を閉じている期間に、前記第1電源端子と前記第1 MOSトランジスタ及び第2 MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部（407、408）と、を更に有する。

【0060】

50

これによれば、項 4 と同様に、スイッチ素子が P 型 MOS トランジスタから構成される前記第 1 スイッチ回路及び前記第 2 スイッチ回路において、スイッチ素子のオフ状態がより安定となり、且つオフ状態時の寄生ダイオードを介した電荷の移動を防止することができる。したがって、項 16 の選択回路によれば、項 15 と同様に、上記の第 1 の課題と第 2 の課題に加え、第 3 の課題を解決することができる。また、前記オフ加速部は、項 4 と同様に、消費電流を低減することができ、且つスイッチ素子のオン電圧の精度向上に資する。更に前記オフ加速部はスイッチ的に動作するので、定電流で動作する場合に比べ前記スイッチ素子がオフ状態に移行するまでの時間をより短くすることができ、且つより早いタイミングで寄生ダイオードを介した電荷の移動を防止することができる。

【 0 0 6 1 】

10

〔 1 7 〕（定電流タイプのオフ加速回路を備えるスイッチ回路）

項 12 乃至 16 のいずれかの選択回路において、前記第 2 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路の前記スイッチ駆動部は、前記電流制御部によって形成される電流経路に流れる電流よりも小さい電流が流れる電流経路を前記第 2 電源端子と前記第 4 MOS トランジスタ及び前記第 5 MOS トランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部（ 4 0 6 ）と、を更に有する。

【 0 0 6 2 】

これによれば、項 15 と同様に、スイッチ素子が N 型 MOS トランジスタから構成される前記第 1 スイッチ回路及び前記第 2 スイッチ回路において、スイッチ素子のオフ状態がより安定となり、且つ、オフ状態の前記第 4 MOS トランジスタ及び前記第 5 MOS トランジスタの寄生ダイオードを介した電荷の移動を防止することができる。したがって、例えば前述した電圧測定装置の MUX 回路として項 17 の選択回路を適用すれば、上記の第 1 の課題と第 2 の課題に加え、第 3 の課題を解決することができる。

20

【 0 0 6 3 】

〔 1 8 〕（スイッチタイプのオフ加速回路を備えるスイッチ回路）

項 12 乃至 16 のいずれかの選択回路において、前記第 2 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路の前記スイッチ駆動部は、前記電流制御部が電流経路を閉じている期間に前記第 2 電源端子と前記第 4 MOS トランジスタ及び前記第 5 MOS トランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部（ 4 0 9 ）と、を更に有する。

30

【 0 0 6 4 】

これによれば、項 16 と同様に、スイッチ素子が N 型 MOS トランジスタから構成される前記第 1 スイッチ回路及び前記第 2 スイッチ回路において、スイッチ素子のオフ状態がより安定となり、且つオフ状態時の寄生ダイオードを介した電荷の移動を防止することができる。したがって、項 18 の選択回路によれば、項 16 と同様に、上記の第 1 の課題と第 2 の課題に加え、第 3 の課題を解決することができる。また、前記オフ加速部は、項 16 と同様に、消費電流を低減することができ、且つスイッチ素子のオン電圧の精度向上に資する。更に前記オフ加速部はスイッチ的に動作するので、定電流で動作する場合に比べ前記スイッチ素子がオフ状態に移行するまでの時間をより短くすることができ、且つより早いタイミングで寄生ダイオードを介した電荷の移動を防止することができる。

40

【 0 0 6 5 】

〔 1 9 〕（電源電圧駆動のスイッチ回路を備えるバッテリー電圧測定のためのバッテリー電圧測定装置）

本発明の代表的な実施の形態に係る電圧測定装置（ 2 ）は、一端と他端が接続されて組電池を構成する複数個の素電池（ V C L _ 1 ~ V C L _ n ）のうち 1 又は複数の素電池から構成されるブロックを 1 単位とし、 1 ブロック毎に前記ブロックの両端の電圧を測定するための電圧測定装置である。前記電圧測定装置は、入力された制御信号に応じて、前記ブロックの両端に接続される信号線を 1 ブロック毎に選択して第 1 出力端子（ I N P （ + ））と第 2 出力端子（ I N N （ - ））に接続する選択部（ 3 0 ）と、前記第 1 出力端子と前記第 2 出力端子の電圧を入力して、両端子間の電圧を測定する測定部（ 6 0 ）と、を有

50

する。前記選択部は、前記ブロックの一端（電池セルの正側電極）に接続される信号線が接続される入力端子（VIN）と前記第1出力端子に接続される信号線が接続される出力端子（VOUT）とを有して前記制御信号に応じて前記入力端子と前記出力端子とを電氣的に接続する第1スイッチ回路（SWP）と、前記ブロックの他端（電池セルの負側電極）に接続される信号線が接続される入力端子（VIN）と前記第2出力端子に接続される信号線が接続される出力端子（VOUT）とを有して前記制御信号に応じて前記入力端子と前記出力端子とを電氣的に接続する第2スイッチ回路（SWN）と、を夫々の前記ブロックに対応して有する。また、前記第1スイッチ回路及び前記第2スイッチ回路は、当該スイッチ回路の入力端子（VIN）と出力端子（VOUT）との間に設けられたスイッチ素子（MP1及びMP2、又はMN1及びMN2）と、前記制御信号に応じて前記スイッチ素子を駆動するスイッチ駆動部（401～409）と、を有する。前記スイッチ駆動部は、前記第1電源電圧VCC又はGND）が供給される第1電源端子と、前記第2電源電圧（GND又はVCC）が供給される第2電源端子との間に配置され、前記入力電圧に応じた電圧を入力し、出力側に生じた電圧を前記スイッチ素子を駆動するための駆動電圧として前記スイッチ素子に供給するソースフォロア回路（401、404）と、前記制御信号に応じて、前記第1電源端子と前記第2電源端子との間の前記ソースフォロア回路が配置された電流経路を開閉する電流制御部（402、405）と、を有する。

【0066】

項19の電圧測定装置において、前記第1スイッチ回路及び前記第2スイッチ回路の駆動電流は、項1と同様に、前記第1電源端子と前記第2電源端子との間で流れるから、スイッチの駆動電流とスイッチの入出力端子間の抵抗成分とによる電圧降下は生じず、且つスイッチ駆動のために入力端子側の電力を消費することはない。また、項19の電圧測定装置によれば、フライングキャパシタ方式を採用しない電圧測定装置を構成することができるから、電圧の測定に際し、スイッチ素子の寄生容量等によるデバイス起因の測定誤差を低減することができ、バッファやサンプリング用途の増幅回路の使用することによる誤差の発生を防ぐことができる。したがって、例えば前述した電圧測定装置として項19の電圧測定装置を適用すれば、上記の第1の課題、第2の課題、及び第4の課題を解決することができる。

【0067】

〔20〕（VCCはバッテリー電圧）

項19の電圧測定装置において、前記第1電源電圧は、前記組電池を構成する素電池のうち最高位の素電池の一端の電圧に応じた電圧（VCL₁の正側電極の電圧）である。

【0068】

これによれば、項10と同様に、電圧測定装置における前記選択回路の選択動作において、各素電池から均等に電力消費が行われるので、素電池間の電池エネルギー消費のバランスを保つことができる。

【0069】

〔21〕（ブロック毎のスイッチ回路は同一種類のトランジスタ）

項19又は20の電圧測定装置において、前記スイッチ素子は、ゲート端子が前記駆動電圧により制御されるP型のMOSトランジスタ（MP1、MP2）又はN型のMOSトランジスタ（MN1、MN2）を有し、前記ブロックに対応される前記第1スイッチ回路及び前記第2スイッチ回路のスイッチ素子のトランジスタの種類は同一とされる。

【0070】

これによれば、項11と同様に、前記選択対象の前記ブロックの夫々の電極に接続されるスイッチ素子の種類を同一とするから、測定対象の前記ブロックの正電極から前記第1出力端子までの信号経路の抵抗成分と、負電極から前記第2出力端子までの信号経路の抵抗成分との差異の低減に資する。これにより、例えば、外乱による同相ノイズが発生した場合であっても、測定部の入力に差動ノイズが発生することを防止することができる。したがって、例えば、比較的測定に時間を要するデルタ・シグマ方式のアナログデジタル変換器を用いても、電圧測定システム全体でのノイズ除去性能の低減を防止することができ

10

20

30

40

50

、測定誤差の発生を防ぐことができる。

【 0 0 7 1 】

〔 2 2 〕（同一種類のスイッチ回路の接続方法）

項 1 9 乃至 2 1 のいずれかの電圧測定装置において、前記ブロックのうち前記他端の電位が所定の電位（ V_T ）以上となる第 1 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチ素子は、P 型の MOS トランジスタ（ MP_1 、 MP_2 ）とされ、前記ブロックのうち前記他端の電位が前記所定の電位より低い第 2 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチ素子は、N 型の MOS トランジスタ（ MN_1 、 MN_2 ）とされる。

【 0 0 7 2 】

これによれば、項 1 2 と同様に、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチ素子として N 型 MOS トランジスタと P 型 MOS トランジスタを用いた場合であっても、夫々のブロックの両端に接続されるスイッチ素子を種類を等しくすることができる。

【 0 0 7 3 】

〔 2 3 〕（スイッチ回路の詳細（Pch））

項 2 2 の電圧測定装置において、前記第 1 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路の前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給される P 型の第 1 MOS トランジスタ（ MP_1 ）と、ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第 1 MOS トランジスタのゲート端子側に接続され、ソース端子が前記第 1 MOS トランジスタのソース端子と共通に接続される P 型の第 2 MOS トランジスタ（ MP_2 ）と、を有する。また、前記第 1 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路の前記ソースフォロア回路（401）は、ドレイン端子が前記第 1 電源端子側に接続され、ゲート端子が前記第 1 MOS トランジスタ及び前記第 2 MOS トランジスタのソース端子側に接続される N 型の第 3 MOS トランジスタ（ MN_3 ）と、一端が前記第 3 MOS トランジスタのソース端子側に接続され、他端が前記第 1 MOS トランジスタ及び前記第 2 MOS トランジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部（ R_1 ）と、を有する。前記第 1 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路の前記電流制御部は、前記制御信号が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第 2 電源端子（ GND ）との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じる。

【 0 0 7 4 】

これによれば、項 1 3 と同様に前記第 1 スイッチ回路及び前記第 2 スイッチ回路を簡易な構成で実現することができる。また、前記電圧生成部に流れる電流に基づいて第 1 MOS トランジスタ及び第 2 MOS トランジスタのゲート・ソース間電圧を発生させるから、前記入力電圧によらないオン電圧を生成することができる。

【 0 0 7 5 】

〔 2 4 〕（スイッチ回路の詳細（Nch））

項 2 2 又は 2 3 の電圧測定装置において、前記第 2 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路の前記スイッチ素子は、ドレイン端子が前記入力端子側に接続され、ゲート端子に前記駆動電圧が供給される N 型の第 4 MOS トランジスタ（ MN_1 ）と、ドレイン端子が前記出力端子側に接続され、ゲート端子が前記第 4 MOS トランジスタのゲート端子側に接続され、ソース端子が前記第 4 MOS トランジスタのソース端子と共通に接続される N 型の第 5 MOS トランジスタ（ MN_2 ）と、を有する。また、前記第 2 ブロックに対応する前記第 1 スイッチ回路及び前記第 2 スイッチ回路の前記ソースフォロア回路（404）は、ドレイン端子が前記第 2 電源端子側に接続され、ゲート端子が前記第 4 MOS トランジスタ及び前記第 5 MOS トランジスタのソース端子側に接続される P 型の第 6 MOS トランジスタ（ MP_5 ）と、一端が前記第 6 MOS トランジスタのソース端子側に接続され、他端が前記第 4 MOS トランジスタ及び前記第 5 MOS トラ

10

20

30

40

50

ンジスタのゲート端子側に接続され、供給された電流に応じて両端に電圧を生成する電圧生成部（R2）と、を有する。更に、前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路の前記電流制御部（405）は、前記制御信号が前記スイッチ素子のオンを指示する場合には、前記電圧生成部の他端と前記第1電源端子（VCC）との間の電流経路を開き、前記制御信号が前記スイッチ素子のオフを指示する場合には当該電流経路を閉じる。

【0076】

これによれば、項14と同様に前記第1スイッチ回路及び前記第2スイッチ回路を簡易な構成で実現することができる。また、前記電圧生成部に流れる電流に基づいて第4MOSトランジスタ及び第5MOSトランジスタのゲート・ソース間電圧を発生させるから、前記入力電圧によらないオン電圧を生成することができる。

10

【0077】

〔25〕（定電流タイプのオフ加速回路を備えるスイッチ回路（Pch））

項22乃至24のいずれかの電圧測定装置において、前記第1ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路の前記スイッチ駆動部は、前記電流制御部によって形成される電流経路に流れる電流よりも小さい電流が流れる電流経路を、前記第1電源端子と前記第1MOSトランジスタ及び第2MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部（403）、を更に有する。

【0078】

これによれば、項15と同様に、スイッチ素子がP型MOSトランジスタから構成される前記第1スイッチ回路及び前記第2スイッチ回路において、スイッチ素子のオフ状態がより安定となり、且つ、オフ状態の前記第1MOSトランジスタ及び前記第2MOSトランジスタの寄生ダイオードを介した電荷の移動を防止することができる。したがって、例えば項25の電圧測定装置によれば、上記の第1の課題、第2の課題、及び第4の課題に加え、第3の課題を解決することができる。

20

【0079】

〔26〕（スイッチタイプのオフ加速回路を備えるスイッチ回路（Pch））

項22乃至24のいずれかの電圧測定装置において、前記第1ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路の前記スイッチ駆動部は、前記電流制御部が電流経路を閉じている期間に、前記第1電源端子と前記第1MOSトランジスタ及び前記第2MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して電流経路を形成するオフ加速部と、を更に有する。

30

【0080】

これによれば、項16と同様に、上記の第1の課題と第2の課題に加え、第3の課題を解決することができる。また、項16と同様に、前記オフ加速部はスイッチ的に動作するので、定電流で動作する場合に比べ前記スイッチ素子がオフ状態に移行するまでの時間をより短くすることができ、且つより早いタイミングで寄生ダイオードを介した電荷の移動を防止することができる。

【0081】

〔27〕（定電流タイプのオフ加速回路を備えるスイッチ回路（Nch））

項22乃至26のいずれかの電圧測定装置において、前記第2ブロックに対応する前記第1スイッチ回路及び前記第2スイッチ回路の前記スイッチ駆動部は、前記電流制御部によって形成される電流経路に流れる電流よりも小さい電流が流れる電流経路を、前記第2電源端子と前記第4MOSトランジスタ及び前記第5MOSトランジスタのソース端子との間に前記電圧生成部の他端を介して形成するオフ加速部（406）、を更に有する。

40

【0082】

これによれば、項16と同様に、スイッチ素子がN型MOSトランジスタから構成される前記第1スイッチ回路及び前記第2スイッチ回路において、スイッチ素子のオフ状態がより安定となり、且つ、オフ状態の前記第4MOSトランジスタ及び前記第5MOSトランジスタの寄生ダイオードを介した電荷の移動を防止することができる。したがって、例

50

えば項 26 の電圧測定装置によれば、上記の第 1 の課題、第 2 の課題、及び第 4 の課題に加え、第 3 の課題を解決することができる。

【0083】

〔28〕（スイッチタイプのオフ加速回路を備えるスイッチ回路（Nch））

項 22 乃至 26 のいずれかの電圧測定装置において、前記第 2 ブロックに対応する前記第 1 スwitch回路及び前記第 2 スwitch回路の前記スitch駆動部は、前記電流制御部が電流経路を閉じている期間に、前記第 2 電源端子と前記第 1 MOS トランジスタ及び前記第 2 MOS トランジスタのソース端子との間に前記電圧生成部の他端を介して電流経路を形成するオフ加速部と、を更に有する。

【0084】

これによれば、項 18 と同様に、上記の第 1 の課題と第 2 の課題に加え、第 3 の課題を解決することができる。また、項 18 と同様に、前記オフ加速部はスイッチ的に動作するので、定電流で動作する場合に比べ前記スitch素子がオフ状態に移行するまでの時間をより短くすることができ、且つより早いタイミングで寄生ダイオードを介した電荷の移動を防止することができる。

【0085】

〔29〕（ADC は $\Delta\Sigma$ 方式の ADC であるバッテリー電圧測定のためのバッテリー電圧測定装置）

項 19 乃至 28 のいずれかの電圧測定装置において、前記測定部は、デルタ・シグマ方式のアナログデジタル変換器（601～603）を有する。

【0086】

2. 実施の形態の詳細

実施の形態について更に詳述する。

【0087】

実施の形態 1

図 1 は、実施の形態 1 に係る電圧測定装置の一例を示すブロック図である。

【0088】

同図に示される電圧測定装置 2 は、直列に接続された複数の電池セル $V_{CL_1} \sim V_{CL_n}$ （電池セルを総称する場合は、単に、 V_{CL} と表示する。）のうち、1 又は複数の電池セルからなる電池セルのかたまり（以下、「ブロック」とも称する。）毎に両端の電圧を測定する。ここでは一例として前記ブロックを 1 個の電池セルとする。すなわち、前記電圧測定装置 2 は、前記直列に接続された複数の電池セル V_{CL} から 1 個ずつ電池セル選択して電圧を測定するものとする。なお、前記直列に接続された複数の電池セル V_{CL} は、直列に 1 列で接続された電池セル列に限られず、直列に接続された電池セル列が複数並列に接続された電池セル列も含む。また、複数の電池セルを並列接続したものを 1 つの電池セルとしてみなして、それが複数個直列に接続されるものも意味する。

【0089】

電圧測定装置 2 は、各ブロックの両端の電極から電圧を入力するための電圧入力端子 20 と、電源電圧を入力するための電源端子 V_{CC} 及び GND と、測定対象となる 1 つの電池電圧を選択して出力する MUX 回路 30 と、入力される電圧差を計測する計測回路 60 と、保護素子 40 とから構成される。なお同図では、簡単のため、電圧測定装置 2 の機能部のうち電圧測定に係る機能部のみを表示している。

【0090】

電圧測定装置 2 の電源は、例えば、前記複数の電池セル V_{CL} から供給される。図 2 は、電圧測定装置 2 の電源供給の一例を示す説明図である。同図に示されるように、電圧測定装置 2 は、前記複数の電池セル V_{CL} のうち最上位の電池セル V_{CL_1} の正側電極の電圧が電源端子 V_{CC} に供給され、前記複数の電池セル V_{CL} のうち最下位の電池セル V_{CL_n} の負側電極の電圧が電源端子 GND に供給される。

【0091】

MUX 回路 30 は、複数の電圧入力端子 20 の夫々に接続される信号経路と計測回路 6

10

20

30

40

50

0の2つの入力端子INP(+)及びINN(-)とを接続するための複数のスイッチ回路を有する。具体的には、MUX回路30は、電池セルVCLの正側電極と計測部60の正側入力端子INP(+)とを接続するスイッチ回路SWP__1~SWP__n(総称する場合は単にSWPと表示する。)と、電池セルVCLの負側電極と計測部60の負側入力端子INN(-)とを接続するスイッチ回路SWN__1~SWN__n(総称する場合は単にSWNと表示する。)と、を有する。すなわち、前記複数の電池セルの数をN個とすると、夫々の電池セルの電圧を測定するために、MUX回路30は、2N個のスイッチ回路が必要となる。なお、図1では、最上位の電池セルの正側の電圧を入力する電圧入力端子20と計測回路60の負側の入力端子INNとを接続するスイッチ回路SWXと、最下位の電池セルの負側の電圧を入力する電圧入力端子20と計測回路60の正側の入力端子INPとを接続するスイッチ回路SWYとを含む2N+2個のスイッチ回路備える場合を示しているが、これら2つのスイッチ回路は無くてもよく、MUX回路30が適用されるシステム等に応じて適宜配置される。

10

【0092】

スイッチ回路SWP、SWNは、制御部50による制御信号によってスイッチのオン状態とオフ状態が制御される。例えば、所定の電池セルの電圧を測定するとき、当該電池セルの両端の電圧が計測回路60の入力端子間に印加されるように、制御部50がMUX回路30のスイッチ回路を制御する。MUX回路30の詳細は後述する。

【0093】

保護素子40は、計測回路60の2つの入力端子INP、INN間に接続され、計測回路60の入力段を保護するための保護素子であり、例えばツェナーダイオードである。

20

【0094】

制御部50は、MUX回路30や計測回路60を制御することにより、各電池セルの電圧測定のための統括的な制御を行う。前記制御部50は、例えば専用のロジック回路やマイクロコンピュータ等である。

【0095】

計測回路60は、制御部50からの制御信号に応じて、2つの入力端子INP、INNに入力された電位差を測定して測定結果を出力する。前記計測回路60は、例えば、デルタ・シグマ方式のA/D変換器によって実現される。計測回路60は、例えば、入力端INP、INNに入力された電圧を取り込むためのスイッチ部601及び容量602と、取り込んだ電圧を入力して電圧を測定する計測部603とを備える。容量602は高耐圧素子であり、計測部603は低耐圧素子によって構成される回路である。

30

【0096】

電圧測定装置2の測定動作について図3及び図4を用いて簡単に説明する。

【0097】

図3は、電圧測定装置2におけるMUX回路30の一部のスイッチ回路の接続部分を示した説明図である。

【0098】

図4は、電圧測定装置2の動作タイミングの一例を示すタイミングチャートである。

【0099】

図4において、例えば電池セルVCL__1の電圧を測定するため、先ず制御部50は、参照符号201のタイミングでMUX回路30を制御してスイッチ回路SWP__1及びSWN__1をオンさせる。これにより、電池セルVCL__1の電圧が計測回路60に入力される。入力電圧の安定後、参照符号202のタイミングで制御部50は計測回路60を制御し、電圧測定を実行させる。電池セルVCL__1の電圧の測定が完了すると、参照符号203のタイミングで、制御部50はスイッチ回路SWP__1及びSWN__1をオフさせる。次に、例えば電池セルVCL__2の電圧を測定するため、制御部50は、参照符号204のタイミングでMUX回路30を制御してスイッチ回路SWP__2及びSWN__2をオンさせる。このとき、スイッチをオンさせるタイミング204は、スイッチ回路SWP__1~SWN__2が全てオンすることによる短絡防止のため、スイッチ回路SWP__1及び

40

50

S W N _ 1 がオフ状態になってから一定時間経過後のタイミングである。スイッチ回路 S W P _ 2 及び S W N _ 2 がオンすることにより、電池セル V C L _ 2 の電圧が計測回路 6 0 に入力される。入力電圧の安定後、参照符号 2 0 5 のタイミングで制御部 5 0 は計測回路 6 0 を制御し、電圧測定を実行させる。電池セル V C L _ 2 の電圧の測定が完了すると、参照符号 2 0 6 のタイミングで、制御部 5 0 はスイッチ回路 S W P _ 2 及び S W N _ 2 をオフさせる。以上の動作を繰り返し実行することにより、直列に接続された複数の電池セルの全ての電池セルの電圧を測定する。このように、本実施の形態 1 に係る電圧測定装置 2 は、前記直列に接続された複数の電池セルの電位が計測回路 6 0 に直接入力されるため、前述したように計測回路 6 0 内の容量 6 0 2 は高耐圧素子にする必要があるが、フライングキャパシタ方式にした場合のフライングキャパシタやバッファとしての O P アンプ等が不要となるため、スイッチ回路のスイッチ素子の寄生容量等のデバイス起因の測定誤差や O P アンプ等のオフセット電圧等による測定誤差が生じることはない。

10

【 0 1 0 0 】

M U X 回路 3 0 を構成するスイッチ回路として、P 型の M O S トランジスタをスイッチ素子とするスイッチ回路と N 型の M O S トランジスタをスイッチ素子とするスイッチ回路の 2 種類がある。以下、夫々のスイッチ回路の詳細について説明する。

【 0 1 0 1 】

図 5 は、M U X 回路 3 0 の P 型 M O S トランジスタをスイッチ素子とするスイッチ回路の一例を示す回路図である。同図に示されるように、スイッチ回路は、2 つの P 型 M O S トランジスタ M P 1、M P 2 から構成される双方向スイッチ素子を有する。M P 1 と M P 2 のソース端子は共通に接続され、ゲート端子も共通に接続される。M P 1 のドレイン端子は電池電圧入力端子側の入力端子 V I N に接続され、M P 2 のドレイン端子は M U X 回路の信号出力側の出力端子 V O U T に接続される。また共通のソース端子とゲート端子の間にはダイオード D 1 が挿入され、アノードが共通ゲート端子側、カソードが共通ソース端子側にそれぞれ接続される。なお、ゲート耐圧保護が必要な場合は双方向スイッチ素子のオン電圧以上のブレイクダウン電圧を持ったツェナーダイオードを前記ダイオード D 1 の代わりに用いてもよい。

20

【 0 1 0 2 】

スイッチ回路は更に、オン電圧発生部 4 0 1、電流制御部 4 0 2、及びオフ加速部 4 0 3 を備える。

30

【 0 1 0 3 】

オン電圧発生部 4 0 1 は、N 型 M O S トランジスタ M N 3 と電圧発生素子である抵抗 R 1 から構成されるソースフォロア回路である。M N 3 のゲート端子は双方向スイッチ素子の共通ソース端子に接続され、ドレイン端子は最上位電位である電源端子 V C C に接続され、ソース端子は抵抗 R 1 を介して双方向スイッチ素子の共通ゲート端子に接続される。なお、電圧発生素子として抵抗以外の素子を用いてもよい。例えば、抵抗素子 R 1 の代わりに、バイアス電圧をゲート端子に印加した M O S トランジスタを用いてもよいし、デプレッション型の M O S トランジスタを電流源として用いてもよい。なお、ここでいうデプレッション型の M O S トランジスタとは、例えば、ゲート・ソース間電位差が 0 V でも電流を生じさせるように閾値が調整された M O S トランジスタである。また、M N 3 と双方向スイッチ素子 M P 1 及び M P 2 の各ゲート端子や各ドレイン端子には静電気破壊防止のために抵抗素子を直列に挿入してもよい。

40

【 0 1 0 4 】

電流制御部 4 0 2 は、例えば、バイアス電圧 (B I A S) が印加され、電流 (2 I) を供給するための N 型 M O S トランジスタ M N 4 と、双方向スイッチ素子 M P 1、M P 2 のオンオフを制御するためのイネーブル信号 (E N A B L E) が印加される N 型 M O S トランジスタ M N 5 とがカスコードに接続される構成である。M N 4 のドレイン端子は双方向スイッチ素子 M P 1、M P 2 のゲート端子に接続される。イネーブル信号は、制御部 5 0 からの制御信号である。なお、M N 4 と M N 5 との接続関係を逆にしてもよい。また、電流を供給するための M N 4 及び M N 6 は例えばカレントミラー回路によって構成されるが

50

、チャネル長変調効果による電流値変動を抑制するために、カスコード型カレントミラー回路によって構成されてもよい。同様にMP3及びMP4から成るカレントミラー回路もカスコード型カレントミラー回路としてもよい。

【0105】

オフ加速部403は、MN4と共通のバイアス電圧(BIAS)が印加され、電流(I)を供給するためのN型MOSトランジスタMN6と、MN6の電流(I)を折り返して双方向スイッチ素子のゲート端子に供給するためのカレントミラー回路を構成するP型MOSトランジスタMP3及びMP4とから構成される。

【0106】

イネーブル信号がハイ(High)レベルにされ、双方向スイッチ素子のオンが指示されると、MN5がオン状態となり、MN4によって駆動電流 $2I$ を生じる。この駆動電流 $2I$ はオフ加速部403から流れ込む電流 I とその接点ノードで加算される。これにより、差分の電流 I がオン電圧発生部401を介して最上位電位(VCC)から引き込まれる。このときに双方向スイッチ素子のゲート・ソース間にMP1及びMP2をオンするに足る電位差VGSが生じることで、電池の電圧入力端子側とMUX回路の出力側とが電気的に導通される。すなわち、上記のスイッチ回路によれば、スイッチがオンするときスイッチ回路の駆動電流が入力端子VIN側から供給されるのではなく、電源端子VCCから供給されるから、駆動電流と双方向スイッチ素子のオン抵抗とによる電圧降下が生じず、測定誤差の低減を図ることができる。また、駆動電流が電源端子VCCから供給されることで、組電池を構成する夫々の電池セルの電力消費が均等に行われるため、従来のような電池セル間でのアンバランスな電力消費を防止することができる。

【0107】

一方、イネーブル信号がロー(Low)レベルにされ、双方向スイッチ素子のオフが指示されたときは、MN5がオフ状態となり、駆動電流 $2I$ が流れなくなる。これにより、オン電圧発生部401には電流が流れなくなり、双方向スイッチ素子MP1、MP2のゲート・ソース間には電位差が生じず、スイッチ回路は電池の電圧入力端子側とMUX回路の出力側とを電気的に開放する。またオフ加速部403から流れ込む電流 I が双方向スイッチ素子MP1、MP2のゲート端子を最上位電位(VCC)にまで吊り上げることで、オフ状態を安定させる。更に、オフ加速部403からの電流 I がダイオードD1を介してMP1及びMP2のソース端子に流れ込むことで、当該ソース端子に接続される寄生容量を充電し、当該ソース端子の電位を最上位電位(VCC)まで吊り上げる。これによる効果は以下である。前述したように、選択された電池セルの両端の電圧は計測回路60における容量602を介して計測部603に入力されるが、電池セルからMUX回路30のスイッチ回路を介して容量602に電荷がチャージされることにより、電池セルの電圧が計測部603に入力される。このとき、MUX回路30におけるオフ状態の双方向スイッチ素子MP1及びMP2のドレイン端子側の信号電位がソース端子側の電位より高い状態であると、測定対象の電池セルから前記容量602に流れ込む電流以外に、オフ状態の双方向スイッチ素子MP1及びMP2の寄生ダイオードを介した電流が流れることになる。これにより、前記容量602をチャージする電荷が減るのでチャージ時間が長くなり、目標電圧に到達する前に電圧測定が開始されてしまうおそれがあり、これが測定誤差要因となる。これを防ぐために測定開始のタイミングを遅らせる方法もあるが、この方法だと電圧測定の測定時間が全体的に増大するおそれがある。そこで、前記オフ加速部403によれば、双方向スイッチ素子MP1及びMP2のドレイン端子側の信号電位がソース端子側の電位より高くなる状態を防止するので、寄生ダイオードを介した電荷の移動を防ぐことができ、オフ状態の更なる安定化と測定誤差の発生を抑止を図ることができる。

【0108】

なお、駆動電流($2I$)やオフ加速部から供給する電流(I)の電流値は一定の比率で設計しなければいけないということではなく、オン電圧発生部401によって双方向スイッチ素子をオンするための差電圧VGSを生成することができれば、任意の電流値としてもよい。

10

20

30

40

50

【 0 1 0 9 】

図 6 は、M U X 回路 3 0 の N 型 M O S トランジスタをスイッチ素子とするスイッチ回路の一例を示す回路図である。同図に示されるように、スイッチ回路は、2 つの N 型 M O S トランジスタ M N 1、M N 2 から構成される双方向スイッチ素子を有する。M N 1 と M N 2 のソース端子は共通に接続され、ゲート端子も共通に接続される。M N 1 のドレイン端子は電池電圧入力端子側の入力端子 V I N に接続され、M N 2 のドレイン端子は M U X 回路の信号出力側の出力端子 V O U T に接続される。また共通のソース端子とゲート端子の間にはダイオード D 2 が挿入され、アノードが共通ソース端子側、カソードが共通ゲート端子側にそれぞれ接続される。なお、ゲート耐圧保護が必要な場合は双方向スイッチ素子のオン電圧以上のブレイクダウン電圧を持ったツェナーダイオードを前記ダイオード D 2 の代わりに用いてもよい。

10

【 0 1 1 0 】

N 型の双方向スイッチ素子からなるスイッチ回路は更に、オン電圧発生部 4 0 4、電流制御部 4 0 5、及びオフ加速部 4 0 6 を備える。

【 0 1 1 1 】

オン電圧発生部 4 0 4 は、P 型 M O S トランジスタ M P 5 と電圧発生素子である抵抗 R 2 から構成されるソースフォロア回路である。M P 5 のゲート端子は双方向スイッチ素子の共通ソース端子に接続され、ドレイン端子は最下位電位である電源端子 G N D に接続され、ソース端子は抵抗 R 2 を介して双方向スイッチ素子の共通ゲート端子に接続される。なお、前記オン電圧発生部 4 0 1 と同様に、電圧発生素子として抵抗以外の素子を用いてもよい。また、M P 5 と双方向スイッチ素子 M N 1 及び M N 2 の各ゲート端子や各ドレイン端子には静電気破壊防止のために抵抗素子を直列に挿入してもよい。

20

【 0 1 1 2 】

電流制御部 4 0 5 は、例えば、バイアス電圧 (B I A S) が印加され、電流 (2 I) を供給するための N 型 M O S トランジスタ M N 4 と、双方向スイッチ素子 M P 1、M P 2 のオンオフを制御するためのイネーブル信号 (E N A B L E) が印加される N 型 M O S トランジスタ M N 4 と、M N 4 の電流 (2 I) を折り返して双方向スイッチ素子のゲート端子に供給するためのカレントミラー回路を構成する P 型 M O S トランジスタ M P 6 及び M P 7 と、から構成される。イネーブル信号は、前述と同様に制御部 5 0 からの制御信号である。なお、双方向スイッチ素子を構成する M N 1 及び M N 2 のゲート端子が低い電圧印加でも十分にオンオフ状態を切り替えることができる場合には、カレントミラー回路 M P 6、M P 7 を介さずに双方向スイッチ素子のゲート端子に直接信号を印加して駆動してもよい。また、M N 4 と M N 5 との接続関係を逆にしてもよい。更に電流を供給するための M N 4 及び M N 6 は例えばカレントミラー回路によって構成されるが、チャネル長変調効果による電流値変動を抑制するために、カスコード型カレントミラー回路によって構成されてもよい。同様に M P 6 及び M P 7 から成るカレントミラー回路もカスコード型カレントミラー回路としてもよい。

30

【 0 1 1 3 】

オフ加速部 4 0 6 は、M N 4 と共通のバイアス電圧 (B I A S) が印加され、双方向スイッチ素子のゲート端子と G N D 端子との間で電流 (I) を発生させる N 型 M O S トランジスタ M N 6 から構成される。

40

【 0 1 1 4 】

イネーブル信号がハイ (H i g h) レベルにされ、双方向スイッチ素子のオンが指示されると、M N 5 がオン状態となり、M N 4 によって駆動電流 2 I を生じる。この駆動電流 2 I はカレントミラー回路 M P 6、M P 7 を介して双方向スイッチ素子の共通ゲート端子が接続されるノードに流れ込み、その駆動電流の一部の電流 I がオフ加速部 4 0 6 に流れる。これにより、差分の電流 I がオン電圧発生部 4 0 4 を介して最上位電位 (G N D) に引き込まれる。このときに双方向スイッチ素子のゲート・ソース間に M N 1 及び M N 2 をオンするに足る電位差 V G S が生じることで、電池の電圧入力端子側と M U X 回路の出力側とが電氣的に導通される。すなわち、上記のスイッチ回路によれば、スイッチがオン

50

するときスイッチ回路の駆動電流が入力端子VIN側から供給されるのではなく、電源端子VCCから供給されるから、駆動電流と双方向スイッチ素子のオン抵抗とによる電圧降下が生じず、測定誤差の低減を図ることができる。また、駆動電流が電源端子VCCから供給されることで、組電池を構成する夫々の電池セルの電力消費が均等に行われるため、従来のような電池セル間でのアンバランスな電力消費を防止することができる。

【0115】

一方、イネーブル信号がロー(Low)レベルにされ、双方向スイッチ素子のオフが指示されると、MN5がオフ状態となり、駆動電流2Iが流れなくなる。これにより、オン電圧発生部404には電流が流れなくなり、双方向スイッチ素子MN1、MN2のゲート・ソース間には電位差が生じず、スイッチ回路は電池の電圧入力端子側とMUX回路の出力側とを電気的に開放する。さらに、オフ加速部403が電流IをGND側に流すことで、双方向スイッチ素子MN1、MN2のゲート端子を最上位電位(GND)にまで引き下げ、オフ状態を安定させる。更に、オフ加速部406がダイオードD2を介してMN1及びMN2のソース端子から電荷を引き抜くことで、当該ソース端子に接続される寄生容量を放電し、当該ソース端子の電位を最下位電位(GND)まで引き下げる。これにより、MP1及びMP2のドレイン端子側の信号電位がソース端子側の電位より低くなる状態が生じて、MN1及びMN2の寄生ダイオードを介した電荷の移動が生じることを防止し、双方向スイッチ素子のオフ状態を更に安定化させる。なお、駆動電流(2I)やオフ加速部から供給する電流(I)の電流値は、前述と同様に、一定の比率で設計しなければいけないということはなく、オン電圧発生部404によって双方向スイッチ素子をオンするための差電圧VGSを生成することができれば、任意の電流値としてもよい。

【0116】

次にMUX回路30の具体的な構成について説明する。

【0117】

図7は、2種類のスイッチ回路を用いたMUX回路30の構成例を示すブロック図である。簡単のため、同図では、計測回路60の前段までの接続関係が示され、例えば、直列に接続された複数の電池セル(外部電圧源)1と、電圧入力端子20と、MUX回路30と、計測回路60と、の接続関係が示される。なお、同図では、ノイズ除去のため、前記複数の電池セルVCLと電圧入力端子20との間に低域フィルタ(LPF)3が挿入されている場合を一例として示している。前記低域フィルタ3は、例えば、外付けの抵抗と容量から構成されるが、インダクタ等を用いて構成してもよい。図7に示されるMUX回路30では、例えばスイッチ回路は以下のように構成される。

【0118】

第1に、前記複数の電池セルのうち負側電極の電位が所定の電位(VT)以上となる電池セルから正側電極が最上位電位の電池セルまでの連続した複数の電池セルに接続されるスイッチ回路として、2つのPチャネルMOSFETのソース同士を共通接続して構成される双方向スイッチ素子を備えるスイッチ回路を用いる(PMOSスイッチ群)。例えば、P型のスイッチ素子のスイッチ回路の場合、双方向スイッチ素子MP1及びMP2がオンするためには、MP1及びMP2のゲート電圧はソース電圧よりも低くなる方向に電圧範囲が必要となる。そこで、より電位が高い電池セルに接続されるスイッチ回路にはP型のスイッチ素子のスイッチ回路を用いる。

【0119】

第2に、前記複数の電池セルのうち正側電極の電位が所定の電位(VT)以下となる電池セルから負側電極が最下位電位の電池セルまでの連続した複数の電池セルに接続されるスイッチ回路として、2つのNチャネル型MOSFETのソース同士を共通接続して構成される双方向スイッチ素子を備えるスイッチ回路を用いる(NMOSスイッチ群)。例えばN型のスイッチ素子のスイッチ回路の場合、双方向スイッチ素子MN1及びMN2がオンするためには、MN1及びMN2のゲート電圧はソース電圧よりも高くなる方向に電圧範囲が必要となる。そこで、より電位が低い電池セルに接続されるスイッチ回路にはN型のスイッチ素子のスイッチ回路を用いる。

【 0 1 2 0 】

第3に、電池セルの正側電極とM U X回路30の出力信号線の正側出力（計測回路60の正側入力端子I N P）とを接続するスイッチ回路S W P _ 1 ~ S W P _ nのスイッチ素子と、電池セルの負側電極とM U X回路30の出力信号線の負側出力（計測回路60の負側入力端子I N N）とを接続するスイッチ回路S W N _ 1 ~ S W N _ nのスイッチ素子は、同一種類のスイッチ素子とする。すなわち、選択された電池セルの電圧を計測回路60に入力する正側の信号線と負側の信号経路を形成するスイッチ素子のM O Sトランジスタの種類を同一とすることで、スイッチ素子のオン抵抗を等しくなるように構成する。これにより、夫々の信号経路の抵抗成分の差異が小さくなるように構成される。したがって、例えば図4に示した計測実行期間において、前記信号経路に外乱による同相ノイズが発生した場合であっても、計測回路60の入力に差動ノイズが発生することを防止することができ、測定誤差の発生を抑止することができる。

10

【 0 1 2 1 】

以上のようにM U X回路30では、負側電極の電位が所定の電位（V T）以上となる電池セルから正側電極が最上位電位の電池セルまでの連続した複数の電池セルに接続されるスイッチ回路には、P型のM O Sトランジスタをスイッチ素子とするスイッチ回路を用い、正側電極の電位が所定の電位（V T）以下となる電池セルから負側電極が最下位電位の電池セルまでの連続した複数の電池セルに接続されるスイッチ回路には、N型のM O Sトランジスタをスイッチ素子とするスイッチ回路を用いる。なお、前記所定の電位V Tは、M U X回路30の入力電圧範囲、双方向スイッチ素子等の特性、及びM U X回路30の要求仕様等に応じて決定する。

20

【 0 1 2 2 】

電圧測定装置2を適用したシステムの一例を図8及び図9に示す。

【 0 1 2 3 】

図8は、E V又はH E V用のバッテリーの電圧測定システムの一例を示すブロック図である。

【 0 1 2 4 】

同図において、モータはモータ駆動用のインバータの両端にバッテリーから電力が供給されることにより駆動される。同図に示される電圧測定システムを構成するバッテリー装置10は、複数の素電池が直列に接続された組電池から構成されるバッテリー101と、前記バッテリーを構成する電池セルのうち数個～十数個を一組とし、一組の電池セル1毎に割り当てられた複数の電圧測定装置2と、電池監視用マイクロコンピュータ（M C U）6と、を備える。バッテリー101は、例えば電気自動車等の車両全体で数百個の素電池から構成され、最上位の電圧は例えば400V程度である。また、バッテリー101を構成する素電池は、例えば、リチウムイオン電池である。

30

【 0 1 2 5 】

電池監視用マイクロコンピュータ（M C U）6は、電圧測定装置2を制御することによりバッテリー電圧の測定を実行させ、測定結果に基づいてモータ駆動用インバータに対する電池からの電力供給を制御する。また、電池制御用マイクロコンピュータ7との間でC A N通信等を行う。

40

【 0 1 2 6 】

夫々の電圧測定装置2は、バッテリー101のうち測定対象とされる一組の電池セル1について、前述した方法により電圧を測定する。また、電圧測定装置2は、前述した機能部に加え、通信機能部70、71を更に有し、通信機能部70、71を用いて電池監視用マイクロコンピュータ6からの制御指示や電圧測定結果等を相互に通信する。

【 0 1 2 7 】

図9は、E V又はH E V用のバッテリーの電圧測定システムの別の一例を示すブロック図である。

【 0 1 2 8 】

同図に示される電圧測定システムを構成するバッテリー装置11は、バッテリー101を構

50

成する電池セルのうち数個～十数個を一組とし、一組の電池セル1毎に電圧測定装置2と電池監視用マイクロコンピュータ(MCU)6とが割り当てられる。電圧測定は上記と同様の方法で行われるが、夫々の電圧測定の指示や電圧測定結果等のやり取りは、一組の電池セル1に対応される電圧測定装置2と電池監視用マイクロコンピュータ6との間で行われる。一組の電池セル1毎の電圧測定装置2と電池監視用マイクロコンピュータ6は、例えば夫々が別個の半導体基板に形成されたLSIでもよいし、夫々が1つの半導体基板に形成された1チップのLSIでもよい。

【0129】

以上実施の形態1に係る電圧測定装置2によれば、スイッチがオン状態のときに、駆動電流と信号経路におけるスイッチ素子のオン抵抗等の抵抗成分とに基づく電圧降下が生じないから、測定誤差の低減を図ることができる。また、駆動電流が電源端子VCCから供給されるので、素電池間でのアンバランスな電力消費を防止することができる。更に、オフ加速部403、406により、双方向スイッチ素子のオフ状態を更に安定化させることができる。また実施の形態1に係る電圧測定装置2は、フライングキャパシタ方式を採用しないため、計測回路60内の容量602は高耐圧素子にする必要はあるが、スイッチ回路のスイッチ素子の寄生容量等のデバイス起因の測定誤差やOPアンプ等のオフセット電圧等による測定誤差が生じることはないので、より測定誤差の小さい電圧測定回路を実現することができる。

【0130】

実施の形態2

図10は、P型MOSトランジスタの双方向スイッチ素子を用いたスイッチ回路の別の一例を示す回路図である。図5のスイッチ回路と同様の構成要素には同一の符号を付してその詳細な説明を省略する。

【0131】

図10に示されるスイッチ回路は、定電流Iを流しこむ構成のオフ加速部403に変えて、イネーブル信号(ENABLE)に応じたオフ信号(OFF)によって制御されるオフ加速部407を備える。前記オフ加速部407は、ゲート端子にオフ信号(OFF)が入力されるN型MOSトランジスタMN7と、MN7のソース端子とGND端子との間に設けられた電流値を調整するための抵抗素子R3と、電源VCCを基準としてMN7に流れる電流を電圧に変換する抵抗素子R4と、抵抗素子R4によって生じた電圧を入力して、電源端子VCCと双方向スイッチ素子の共通ゲート端子をスイッチ的に接続するP型MOSトランジスタMP8と、から構成される。

【0132】

図11は、図10におけるオフ信号を示す説明図である。同図に示されるように、オフ信号(OFF)は、イネーブル信号(ENABLE)がハイ(High)からロー(Low)に切り替わった後に、所定の期間だけハイ(High)とされる信号である。オフ信号は、イネーブル信号と同様に、例えば制御部50から出力される制御信号の一つである。オフ加速部407は、イネーブル信号(ENABLE)がロー(Low)に切り替わっている期間に短時間のパルスとしてオフ信号が1回または複数回印加されると、MN7がオンして抵抗R4により電源VCC基準の電圧が発生してMP8がオンし、電源VCC側から双方向スイッチ素子MP1及びMP2のゲート端子に大きな電流が瞬時に流れ込む。これにより、双方向スイッチ素子のゲート端子が最上位電位に吊り上げられるとともに、ダイオードD1を介して電流が流れることにより、双方向スイッチ素子のソース端子も最上位電位に吊り上げられる。以上の動作により、双方向スイッチ素子のドレイン端子側の電位がソース端子側の電位より高くなる状態を防ぎ、双方向スイッチ素子のオフ態をより安定化させることができる。また、定電流で充電する場合に比べてより高速に安定状態に移行させることができる。

【0133】

また、図5のスイッチ回路とは異なりバイアス電流Iをスイッチ素子のオン時に流さない。これにより、スイッチ素子のオン電圧は、抵抗R1とMN4に流れる電流Iに基づい

10

20

30

40

50

て決定される。すなわち、双方向スイッチ素子のオン電圧を決定する上で上記オフ加速用のバイアス電流 I を考慮する必要がないから、設計が容易となるとともに、オン電圧の精度を高めることができる。また、バイアス電流 I を無駄に流さないから、消費電流をより小さく抑えることもできる。

【0134】

なお、オフ信号を入力するMN7と抵抗R3によって電流を生成しているが、図10の構成に限られず、オフ信号の電圧を調整することでオフ信号の印加時にバイアス電流源としてMN7を動作させる構成でもよい。また、抵抗素子R3の代わりに、バイアス電圧をゲート端子に印加したMOSトランジスタを用いてもよいし、デプレッション型のMOSトランジスタを電流源として用いてもよい。なお、ここでいうデプレッション型のMOSトランジスタとは、例えば、ゲート・ソース間電位差が0Vでも電流を生じさせるように閾値が調整されたMOSトランジスタである。

10

【0135】

実施の形態3

図12は、P型MOSトランジスタの双方向スイッチ素子を用いたスイッチ回路の別の一例を示す回路図である。図5及び図10のスイッチ回路と同様の構成要素には同一の符号を付してその詳細な説明を省略する。

【0136】

図12に示されるスイッチ回路は、定電流 I を流しこむ構成のオフ加速部403に変えて、イネーブル信号(ENABLE)に応じたオフ信号(OFF)によって制御されるオフ加速部408を備える。前記オフ加速部408は、オフ信号(OFF)が入力されるロジック回路を構成するN型MOSトランジスタMN8及びP型MOSトランジスタMP9と、前記ロジック回路の出力を入力して、電源端子VCCと双方向スイッチ素子の共通ゲート端子をスイッチ的に接続するP型MOSトランジスタMP8と、から構成される。前記インバータ回路は、電源VCCと電源VCC基準の電圧との間で駆動される。前記電源VCC基準の電位は、例えば、電源VCCから5V低くなるように生成された電位である。なお、前記電源VCC基準の電位を最上位電圧から5V低い電圧としているが、この電圧は使用する素子の耐圧など諸条件に合わせて設定可能である。また、同図では、簡単のため、前記ロジック回路としてMN8及びMP9から構成されるインバータ回路を示しているが、オフ信号に応じてMP8を制御することができれば、より複雑な論理回路で構成してもよい。

20

30

【0137】

図13は、図12におけるオフ信号を示す説明図である。同図に示されるように、オフ信号(OFF)は、例えばイネーブル信号(ENABLE)の逆位相となる信号であり、イネーブル信号がロー(Low)の期間だけ、ハイ(High)とされる信号である。オフ信号は、イネーブル信号と同様に、例えば制御部50から出力される制御信号の一つである。

【0138】

オフ加速部408は、イネーブル信号(ENABLE)がロー(Low)に切り替わっている期間にハイ(High)となるオフ信号が印加されると、MP8がオンして電源VCC側から双方向スイッチ素子MP1及びMP2のゲート端子に大きな電流が瞬時に流れ込む。これにより、双方向スイッチ素子のゲート端子が最上位電位に吊り上げられるとともに、ダイオードD1を介して電流が流れることにより、双方向スイッチ素子のソース端子も最上位電位に吊り上げられる。以上の動作により、双方向スイッチ素子のドレイン端子側の電位がソース端子側の電位より高くなる状態を防ぎ、双方向スイッチ素子のオフ態をより安定化させることができる。また、定電流で充電する場合に比べてより高速に安定状態に移行させることができる。

40

【0139】

また、実施の形態2に係るスイッチ回路と同様に、スイッチ素子のオン時にオフ加速回路408からバイアス電流 I を流さない。これにより、双方向スイッチ素子のオン電圧を

50

決定する上で上記オフ加速用のバイアス電流 I を考慮する必要がないから、設計が容易となるとともに、オン電圧の精度を高めることができる。また、バイアス電流 I を無駄に流さないから、消費電流をより小さく抑えることもできる。

【0140】

実施の形態4

図14は、N型MOSトランジスタの双方向スイッチ素子を用いたスイッチ回路の別の一例を示す回路図である。図6のスイッチ回路と同様の構成要素には同一の符号を付してその詳細な説明を省略する。

【0141】

図14に示されるスイッチ回路は、定電流 I を流しこむ構成のオフ加速部406に変えて、イネーブル信号(ENABLE)に応じたオフ信号(OFF)によって制御されるオフ加速部409を備える。前記オフ加速部409は、ゲート端子にオフ信号(OFF)が入力され、ソース端子がGND端子に接続され、ドレイン端子が双方向スイッチ素子の共通ゲート端子に接続されるN型MOSトランジスタMN9から構成される。

【0142】

図15は、図14におけるオフ信号(OFF)を示す説明図である。同図に示されるように、オフ信号(OFF)は、例えばイネーブル信号(ENABLE)の逆位相となる信号であり、イネーブル信号がロー(Low)の期間だけ、ハイ(High)とされる信号である。オフ信号は、イネーブル信号と同様に、例えば制御部50から出力される制御信号の一つである。

【0143】

オフ加速部409は、イネーブル信号(ENABLE)がロー(Low)に切り替わっている期間にハイ(High)となるオフ信号が印加されると、MN9がオンして双方向スイッチ素子MP1及びMP2のゲート端子側から電源GND側に大きな電流が瞬時に流れ込む。これにより、双方向スイッチ素子のゲート端子が最下位電位に引き下げられるとともに、ダイオードD2を介して電流が流れることにより、双方向スイッチ素子のソース端子も最下位電位に引き下げられる。以上の動作により、双方向スイッチ素子のドレイン端子側の電位がソース端子側の電位より低くなる状態を防ぎ、双方向スイッチ素子のオフ態をより安定化させることができる。また、定電流で充電する場合に比べてより高速に安定状態に移行させることができる。

【0144】

また、実施の形態1に係るスイッチ回路及び実施の形態2に係るスイッチ回路と同様に、スイッチ素子のオン時にオフ加速回路409からバイアス電流 I を流さない。これにより、双方向スイッチ素子のオン電圧を決定する上で上記オフ加速用のバイアス電流 I を考慮する必要がないから、設計が容易となるとともに、オン電圧の精度を高めることができる。また、バイアス電流 I を無駄に流さないから、消費電流をより小さく抑えることもできる。

【0145】

なお、図14ではMN9のソース端子をGND端子に直接接続しているが、これに限られず、ソース端子とGND端子との間に電流値を調整する抵抗素子を挿入してもよい。また、オフ信号の電圧を調整することでオフ信号の印加時にバイアス電流源としてMN9を動作させる構成でもよい。これらの構成とすることで、放電時のピーク電流が低下するので、システムノイズ放射の軽減に資する。更に、オフ信号は図15に示されるパルスに限られず、図11に示されるような短時間のパルスであっても良いし、当該パルスは1回に限られず、複数回印加してもよい。

【0146】

実施の形態5

図16は、電圧測定装置2の電源供給を別電源から供給する場合の一例を示すブロック図である。

【0147】

実施の形態 1 では、電圧測定装置 2 の電源供給を前記直列に接続された複数の電池セル V C L の最上位電圧から行うが、実施の形態 5 では、前記複数の電池セルとは異なる別電源から供給する。例えば、E V 又は H E V 用のバッテリーの電圧測定システムに電圧測定装置 2 を適用する場合、車載の照明などを駆動するために搭載されている鉛バッテリー電源等に基づいて生成される電圧 V A から電源供給する。前述したように、バッテリーとして用いられるリチウムイオン電池は数十個以上が直列に接続されるため電圧測定装置 2 が複数用いられる。そして、その G N D 電圧もそれぞれ異なるため、電源供給回路を電氣的に直接接続することは出来ない。そこで、例えば鉛バッテリー電源等の電圧を昇圧又は降圧して生成した電圧 V A から電氣的に絶縁してエネルギーを供給するため、絶縁型 D C / D C コンバータ 5 を用いて、電圧 V A を昇圧又は降圧した電圧 V C C を電圧測定装置 2 に供給する。図 1 6 では、フライバックコンバータで電源電圧を共有する場合を一例として示したが、それ以外の構成でもよい。また、電源電圧 V C C は、前記直列に接続された複数の電池セルの最上位電圧以上の電圧を供給する。例えば、リチウムイオン電池を 1 2 個直列に接続した場合の電圧測定装置について電池セルの電圧が最大で 4 . 3 V までになるとすると、電源電圧 V C C は 5 2 V 以上必要となる。そこで、電源電圧 V C C として例えば 5 5 V 程度を供給するように絶縁型 D C / D C コンバータ 5 の出力電圧を調整する。

10

【 0 1 4 8 】

これによれば、電圧測定装置 2 の M U X 回路 3 0 におけるスイッチ回路の駆動電流は前記直列に接続された複数の電池セルから供給されないから、電池セルの電圧測定動作において、前記複数の電池セルの電力消費を抑えることができ、且つ電池セルの電池エネルギー消費のアンバランスによる電池持続力の低下も防止することができる。

20

【 0 1 4 9 】

実施の形態 6

実施の形態 1 では、フライングキャパシタを用いない構成の電圧測定装置 2 を示したが、前記スイッチ回路を備える M U X 回路 3 0 をフライングキャパシタ方式の電圧測定装置にも適用することができる。

【 0 1 5 0 】

図 1 7 は、M U X 回路 3 0 を適用したフライングキャパシタ方式の電圧測定装置の一例を示すブロック図である。同図に示される電圧測定装置 4 は、M U X 回路 3 0 と、フライングキャパシタ C 1 と、電圧入力用のスイッチ部 8 0 と、バッファを構成する O P アンプ（バッファアンプ）U 1 と、計測回路 6 1 と、制御部 5 1 とを備える。計測回路 6 1 は、デルタ・シグマ方式の A D 変換回路、又は S A R (S u c c e s s i v e A p p r o x i m a t i o n R e g i s t e r) 方式の A D 変換回路を備える。電圧測定装置 4 の電源端子 V C C には、例えば前記複数の電池セル V C L のうち最高位の電池セル V C L _ 1 の正側電極の電圧が入力され、電源端子 G N D には、例えば前記複数の電池セル V C L のうち最低位の電池セル V C L _ n の負側電極の電圧が入力される。

30

【 0 1 5 1 】

フライングキャパシタ方式の電圧測定装置 4 の動作手順について図 1 8 を用いて詳細に説明する。

【 0 1 5 2 】

図 1 8 は、図 1 7 に示される電圧測定装置 4 の動作タイミングの一例を示すタイミングチャートである。

40

【 0 1 5 3 】

例えば電池セル V C L _ 1 の電圧を測定するため、まず制御部 5 1 は、参照符号 5 0 1 のタイミングで M U X 回路 3 0 を制御してスイッチ回路 S W P _ 1 及び S W N _ 1 をオンさせる。これにより、電池セル V C L _ 1 の電圧がフライングキャパシタ C 1 の両端に入力される。入力電圧の安定後、参照符号 5 0 2 のタイミングで制御部 5 1 はスイッチ回路 S W P _ 1 及び S W N _ 1 をオフさせ、フライングキャパシタ C 1 をフローティングとする。参照符号 5 0 3 のタイミングにおいて制御部 5 1 はスイッチ回路 S W B をオンさせ、フライングキャパシタ C 1 の一方の電極を計測回路 6 1 の負側入力端子 I N N (G N D 電

50

位)に接続する。これにより、フライングキャパシタC1の両端電圧は、GND電位を基準とした電圧に変換される。次に参照符号504のタイミングでスイッチ回路SWAをオンさせ、フライングキャパシタC1の電圧をバッファアンプU1を介して計測回路60に入力する。そして、制御部51は参照符号505のタイミングで計測回路61を制御し、電圧測定を実行させる。電池セルVCL_1の電圧の測定が完了すると、制御部51は、参照符号506のタイミングでスイッチ回路SWA及びSWBをオフさせる。次に、例えば電池セルVCL_2の電圧を測定するため、制御部51は、参照符号507のタイミングでMUX回路30を制御してスイッチ回路SWP_2及びSWN_2をオンさせる。これにより、電池セルVCL_2の電圧がフライングキャパシタC1の両端に入力される。入力電圧の安定後、参照符号508のタイミングで制御部51はスイッチ回路SWP_1及びSWN_1をオフさせ、フライングキャパシタC1をフローティングとする。参照符号509のタイミングにおいて制御部51はスイッチ回路SWBをオンさせ、フライングキャパシタC1の一方の電極を計測回路61の負側入力端子INN(GND電位)に接続する。次に参照符号510のタイミングでスイッチ回路SWAをオンさせ、フライングキャパシタC1の電圧をバッファアンプU1を介して計測回路61に入力する。そして、制御部51は参照符号511のタイミングで計測回路61を制御し、電圧測定を実行させる。電池セルVCL_2の電圧の測定が完了すると、制御部51は、参照符号512のタイミングでスイッチ回路SWA及びSWBをオフさせる。以上の動作を繰り返し実行することにより、直列に接続された素電池の全ての電池セルの電圧を測定する。

10

【0154】

20

前述したように、フライングキャパシタ方式の電圧測定装置の場合、フライングキャパシタに対するスイッチ素子の寄生容量等に起因する測定誤差や、バッファを構成するOPアンプのオフセット電圧等による測定誤差が生ずる。しかしながら、このような誤差が無視できるような場合には、電圧測定装置としてフライングキャパシタ方式の電圧測定装置4を適用すれば、高耐圧素子を用いなくとも計測回路60を構成することができる。また、電圧測定装置4にMUX回路30を適用しているので、実施の形態1と同様に、スイッチ回路の駆動電流と信号経路のオン抵抗等の抵抗成分とに基づく電圧降下による測定誤差の発生を抑止と、電池セル間でのアンバランスな電力消費を防止と、スイッチ素子のオフ状態の更なる安定化とが可能となる。

【0155】

30

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0156】

例えば、実施の形態1乃至6では、電圧測定装置を電気自動車等のバッテリーの電圧測定システムに適用する場合を例示したが、これに限られず、デジタルカメラ、ノートPC、電動工具、電動アシスト自転車、及び電動バイク等の多直電池を使用する製品の電池電圧の測定にも適用可能である。また、外部電圧源を構成する電池セルとしてリチウムイオン電池を例示したが、これに限られず、ニッケル水素電池や燃料電池など各種電池にも適用可能である。更に、実施の形態1乃至6に係るスイッチ回路を電圧測定装置におけるMUX回路30に適用する場合を例示したが、これに限られず、スイッチとして用いるのであれば他の用途の回路にも適用することができる。

40

【産業上の利用可能性】

【0157】

本発明は、スイッチ回路、選択回路、及び電圧測定装置に関し、特に複数の電圧から1つの電圧を選択して測定する電圧測定装置に広く適用することができる。

【符号の説明】

【0158】

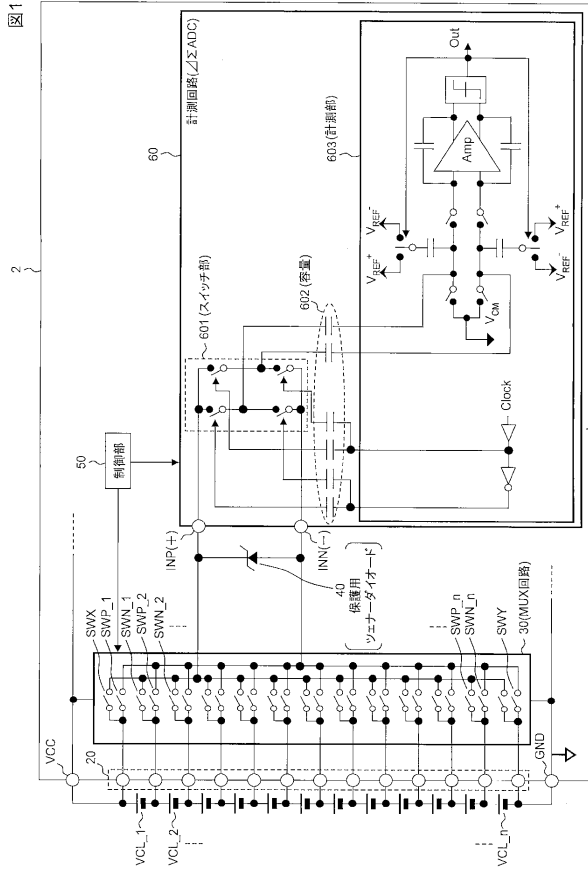
VCL_1 ~ VCL_n 電池セル

1 一組の電池セル

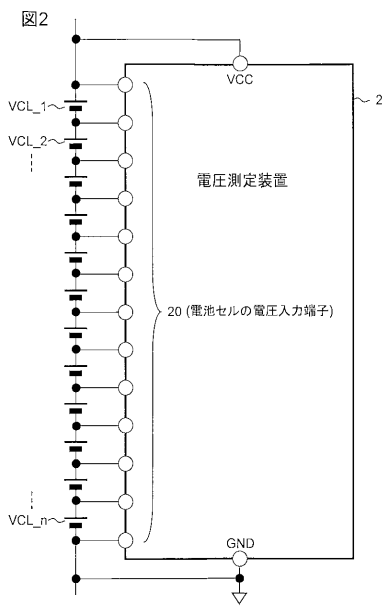
50

2、4	電圧測定装置	
3	外付けLPF	
20	電圧入力端子	
30	マルチプレクサ回路(MUX回路)	
	SWP_1 ~ SWP_n	電池セルの正側電極と計測回路の正側の入力端子を接続するためのスイッチ回路
	SWN_1 ~ SWN_n	電池セルの負側電極と計測回路の負側の入力端子を接続するためのスイッチ回路
40	保護用ダイオード	
50、51	制御部	10
60、61	計測回路	
	INP(+)	正側の入力端子
	INN(-)	負側の入力端子
601	スイッチ部	
602	容量	
603	計測部	
201 ~ 206	動作タイミング	
401、404	オン電圧生成部	
402、405	電流制御部	
403、406 ~ 409	オフ加速部	20
MP1、MP2	双方向スイッチ素子(P型MOSトランジスタ)	
MN1、MN2	双方向スイッチ素子(N型MOSトランジスタ)	
MN3 ~ MN9	N型MOSトランジスタ	
MP3 ~ MP9	P型MOSトランジスタ	
R1 ~ R4	抵抗素子	
D1、D2	ダイオード	
VIN	スイッチ回路の入力端子	
VOUT	スイッチ回路の出力端子	
101	バッテリー	
10、11	バッテリー装置	30
70、71、72	通信機能部	
5	絶縁型DC/DCコンバータ	
6	電池監視用マイクロコンピュータ	
7	電池制御用マイクロコンピュータ	
VA	鉛バッテリー等に基づいて生成される電圧	
80	スイッチ部	
SWA、SWB	スイッチ回路	
U1	バッファアンプ	
501 ~ 512	動作タイミング	
VCC	電源電圧、電源電圧端子	40
GND	グラウンド電圧、グラウンド端子	
VT	スイッチ回路の種別を決定するための基準となる電圧	

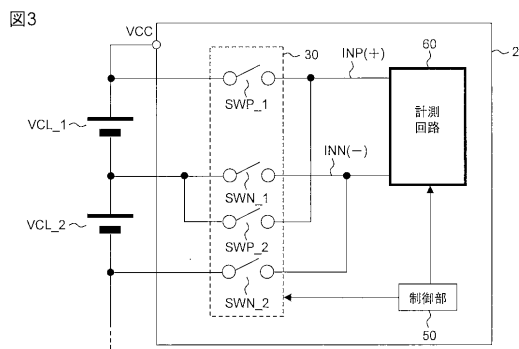
【図1】



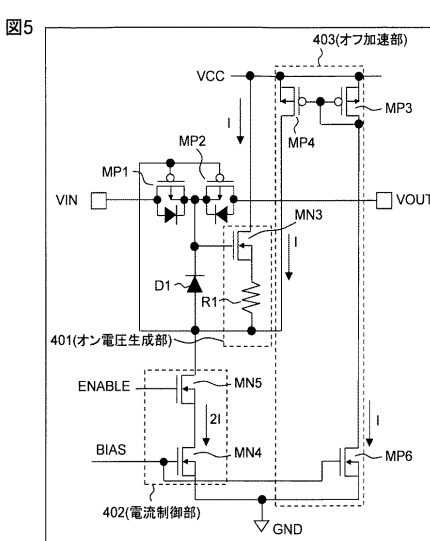
【図2】



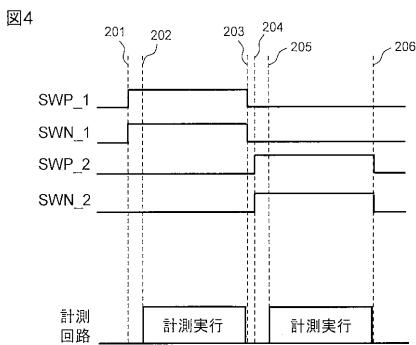
【図3】



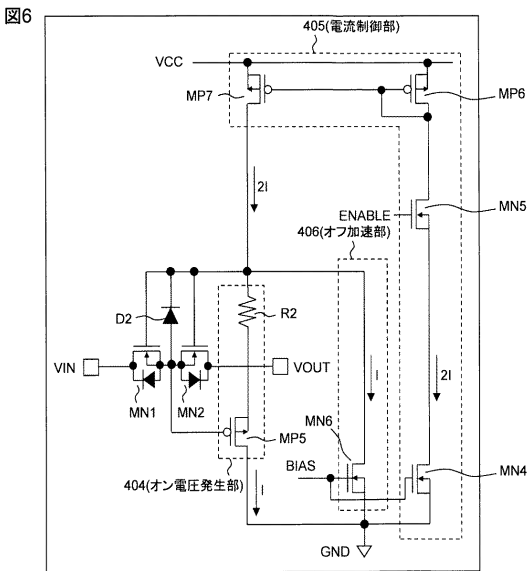
【図5】



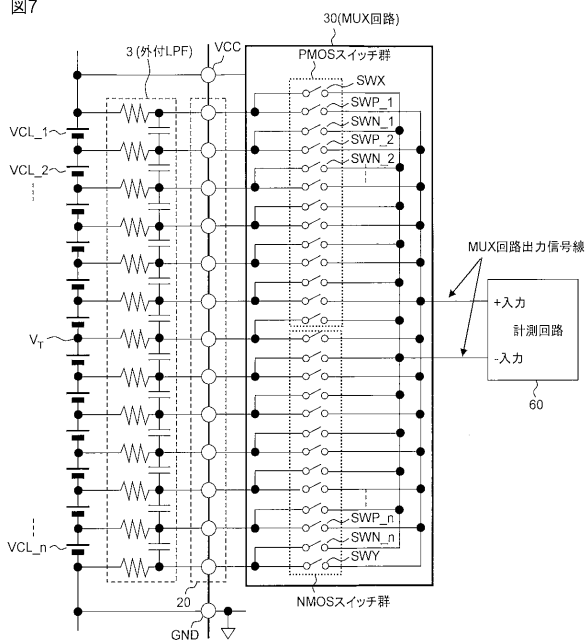
【図4】



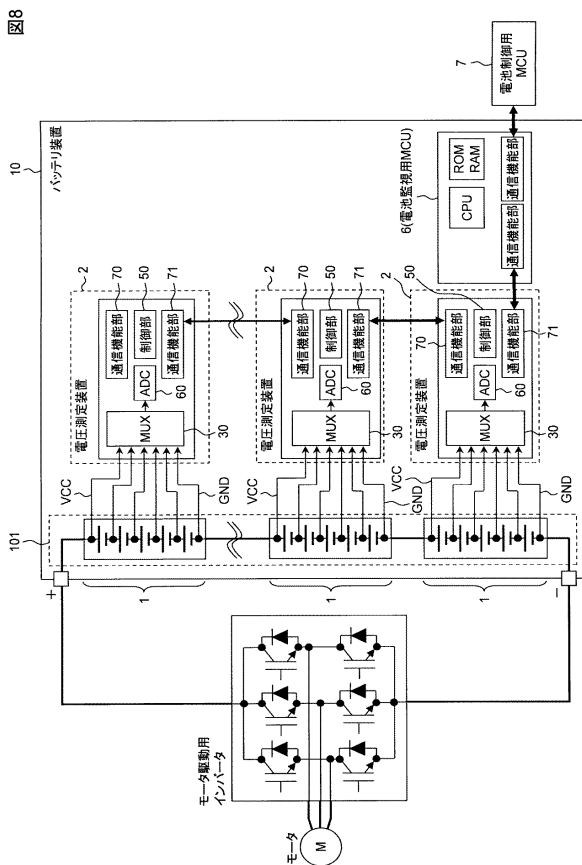
【図6】



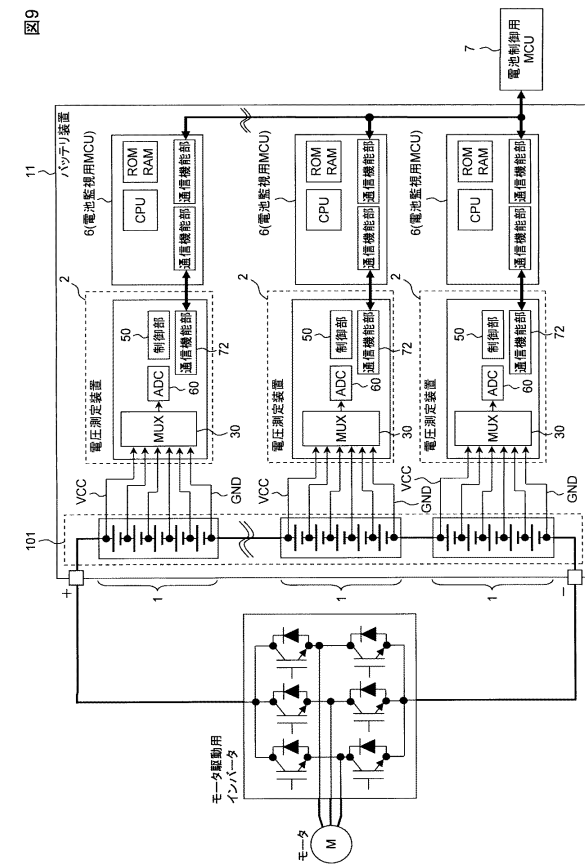
【図7】



【図8】

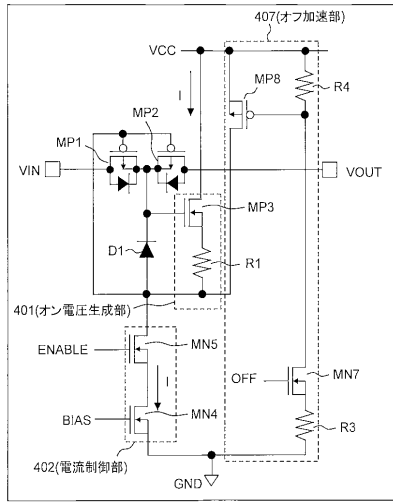


【図9】



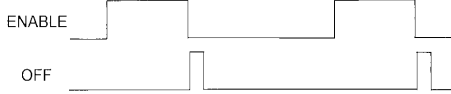
【図10】

図10



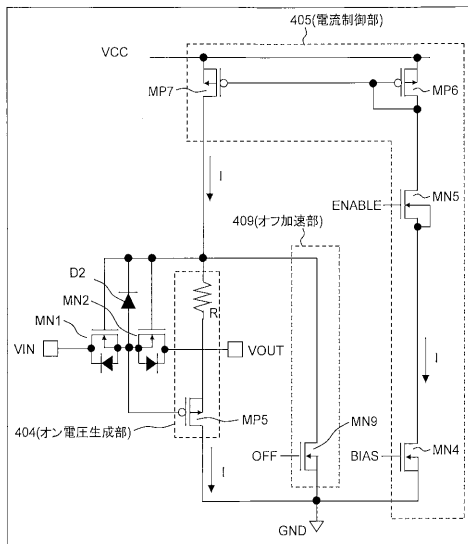
【図11】

図11



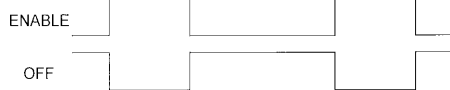
【図14】

図14



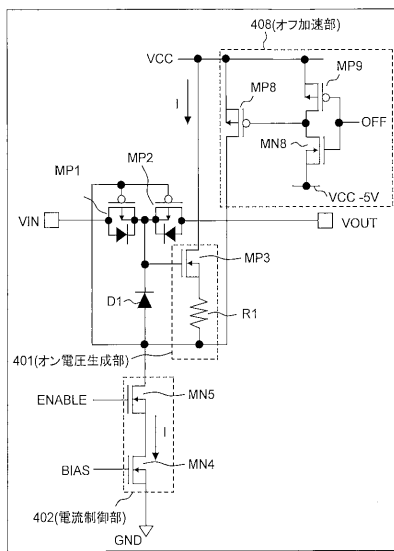
【図15】

図15



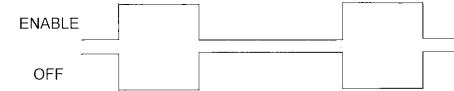
【図12】

図12



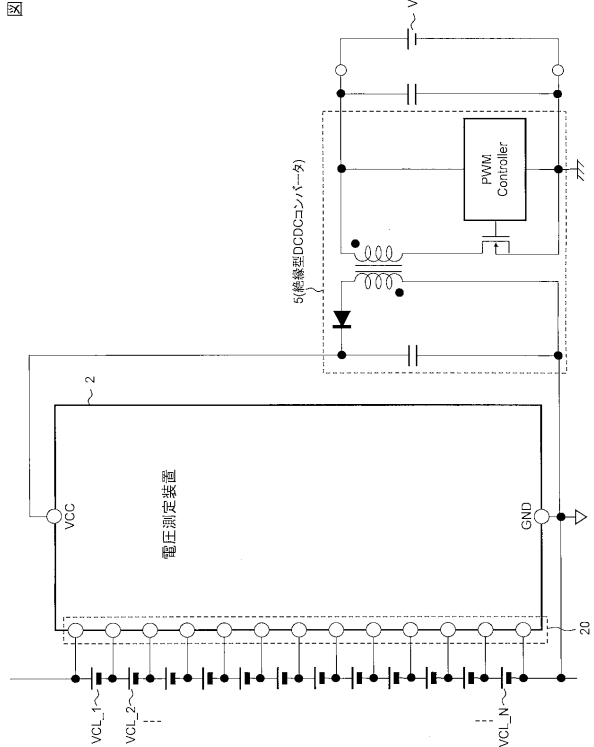
【図13】

図13



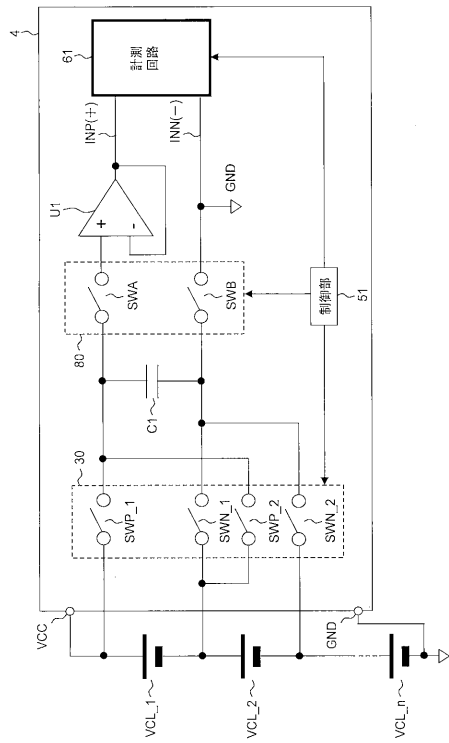
【図16】

図16



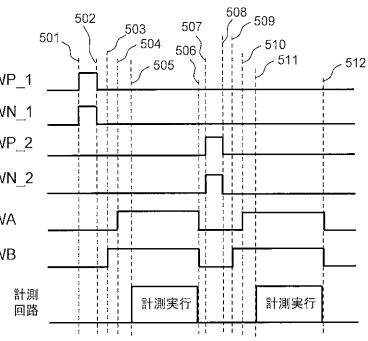
【 図 17 】

図17



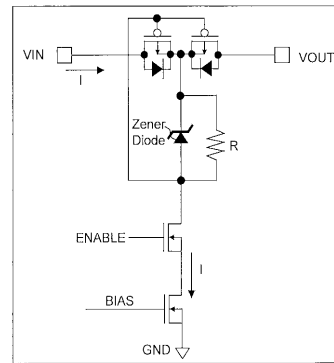
【 図 18 】

図18



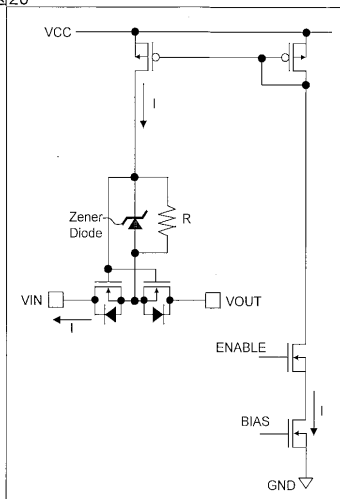
【 図 19 】

図19



【 図 20 】

図20



フロントページの続き

(56)参考文献 特開2004-072749(JP,A)
特開2010-060435(JP,A)
特開平06-301882(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 19/00
H03K 17/00
H03K 17/687