(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1999년02월01일
(11) 등록번호 특0167300
(24) 등록일자 1998년09월26일

(21) 출원번호 특1995-053433
(22) 출원일자 1995년12월21일
(65) 공개번호 특1997-051214
(43) 공개일자 1997년07월29일

(73) 특허권자 엘지반도체주식회사 문정환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 최견규
서울특별시 구로구 구로동 642-46 우방아파트 2동 304호
손장섭
서울특별시 종로구 혜화동 109-2 6/3
(74) 대리인 박장원

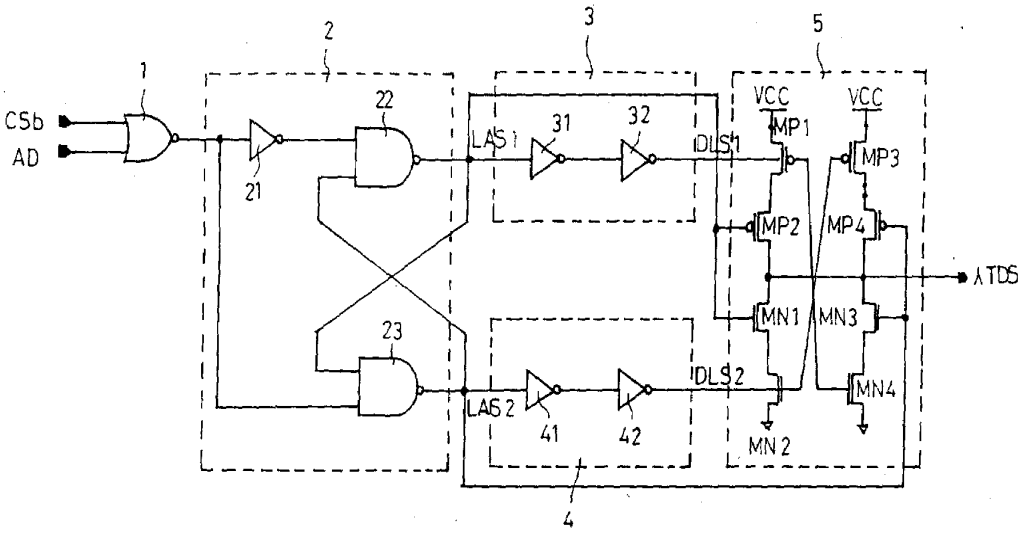
심사관 : 박형식

(54) 메모리의 어드레스 천이 검출회로

요약

본 발명의 목적은 메모리에 입력되는 어드레스신호의 펄스폭의 길이에 상관없이 항시 일정한 펄스폭을 갖는 어드레스 천이 검출신호를 출력하여 메모리의 오동작을 방지하도록 하는 메모리의 어드레스 천이 검출회로에 관한 것으로, 이와 같은 본 발명의 목적을 달성하기 위한 수단은 외부로부터 입력되는 어드레스신호 및 칩 선택신호를 노아링하는 노아 게이트와, 피드백되어 입력되는 제1, 제2 래치제어신호 및 제1, 제2 지연신호에 의해 상기 노아 게이트로부터 출력되는 신호의 레벨을 일정시간동안 유지시켜 서로 다른 레벨의 제1, 제2 레벨유지신호를 각각 출력하는 레벨 유지수단과, 상기 레벨 유지수단으로부터 각각 출력되는 제1, 제2 레벨유지신호를 래치시켜 서로 다른 레벨의 제1, 제2 래치신호를 출력하는 래치와, 상기 래치로부터 각각 출력되는 제1, 제2 래치신호를 소정시간 지연시킨 후 그 지연된 제1, 제2 지연신호를 각각 출력하는 제1, 제2 신호 지연수단과, 상기 래치로부터 출력되는 제1, 제2 래치신호 및 상기 제1, 제2 신호 지연수단으로부터 각각 출력된 제1, 제2 지연신호에 따른 어드레스 천이 검출신호를 출력하는 신호 출력수단을 포함하여 구성된다.

대표도



명세서

[발명의 명칭]

메모리의 어드레스 천이 검출회로

[도면의 간단한 설명]

제1도는 종래 메모리의 어드레스 천이 검출회로도.

제2도는 본 발명에 의한 메모리의 어드레스 천이 검출회로도.

제3도의 (a) 내지 (c)는 제2도의 각부 입출력 파형도.

* 도면의 주요부분에 대한 부호의 설명

10 : 노아 게이트 20 : 레벨 유지부

30 : 래치 40,50 : 신호 지연부

60 : 신호 출력부

[발명의 상세한 설명]

본 발명은 메모리의 어드레스 천이 검출회로에 관한 것으로, 특히 메모리에 입력되는 어드레스신호의 펄스폭의 길이에 상관없이 항상 일정한 펄스폭 이상을 갖는 어드레스 천이 검출신호를 발생하여 메모리의 오동작을 방지하도록 하는 메모리의 어드레스 천이 검출회로에 관한 것이다.

제1도에 도시된 바와같이, 종래의 메모리의 어드레스 천이 검출회로는 각각 입력되는 칩 선택신호(CSb) 및 어드레스 신호(AD)를 노아링하는 노아게이트(1)와, 상기 노아 게이트(1)로부터 출력된 신호를 래치시켜 상반된 위상을 갖는 래치신호(LAS1),(LAS2)를 각각 출력하는 래치(2)와, 상기 래치(2)로부터 각각 출력된 래치신호(LAS1),(LAS2)를 소정시간 지연시켜 지연신호(DLS1),(DLS2)를 각각 출력하는 신호 지연부(3),(4)와, 상기 래치(2)로부터 각가 출력된 래치신호(LAS1),(LAS2) 및 상기 신호 지연부(3),(4)로부터 각각 출력된 지연신호(DLS1),(DLS2)에 의해 어드레스 천이 검출신호(ATDS)를 출력하는 신호 출력부(5)로 구성된다.

상기 래치(2)는 상기 노아 게이트(1)부터 출력된 후 인버터(21)를 거쳐 반전된 신호와 자신의 출력신호인 래치신호(LSA2)를 낸딩하는 낸드게이트(22)와, 상기 노아 게이트(1) 및 낸드 게이트(22)로부터 각각 출력된 신호를 낸딩하는 낸드 게이트(23)로 구성된다.

상기 신호 지연부(3)는 상기 래치(2)로부터 출력된 래치신호(LAS1)를 순차 인버팅하는 인버터(31),(32)로 구성되고, 상기 신호 지연부(4)는 래치(2)로부터 출력된 래치신호(LAS2)를 순차 인버팅하는 인버터(41),(42)로 구성된다.

상기 신호 출력부(5)는 소스단자에 전원전압(VCC)단자가 연결되고, 게이트단자에 상기 신호 지연부(3)의 지연신호(DLS1)라인이 연결되는 피모스 트랜지스터(MP1)와, 소스단자에 상기 피모스 트랜지스터(MP1)의 드레인단자가 연결되고, 각 게이트단자에 상기 래치(2)의 래치신호(LAS1)라인이 공통연결되며, 서로의 드레인단자가 연결되어 어드레스 천이 검출신호(ATDS)라인과 연결되는 피모스 트랜지스터(MP2) 및 엔모스 트랜지스터(MN1)와, 드레인단자에 상기 엔모스 트랜지스터(MN1)의 소스단자가 연결되고, 게이트단자에 상기신호지연부(4)의 지연신호(DLS2)라인이 연결되며, 소스단자에 접지단자가 연결되는 엔모스 트랜지스터(MN2)와, 소스단자에 전원전압(VCC)단자가 연결되고, 게이트단자에 상기 엔모스 트랜지스터(MN2)의 게이트단자가 연결되는 피모스 트랜지스터(MP3)와, 소스단자에 상기 피모스 트랜지스터(MP3)의 드레인단자가 연결되고, 각 게이트단자에 상기 래치(2)의 래치신호(LAS2)라인이 공통연결되며, 서로의 드레인단자가 연결되어 상기 어드레스 천이 검출신호(ATDS)라인에 연결되는 피모스 트랜지스터(MP4) 및 엔모스 트랜지스터(MN3)와, 드레인단자에 상기 엔모스 트랜지스터(MN3)의 소스단자가 연결되고, 게이트단자에 상기 피모스 트랜지스터(MP1)의 게이트단자가 연결되며, 소스단자에 접지단자가 연결되는 엔모스 트랜지스터(MN4)로 구성된다.

이와같이 구성된 종래의 메모리의 어드레스 천이 검출회로의 동작을 설명하면 다음과 같다.

먼저, 초기상태에서 로우레벨의 칩 선택신호(CSb) 및 로우레벨의 어드레스 신호(AD)가 입력되면 노아 게이트(1)는 그 입력된 신호(CSb),(AD)를 노아링하여 하이신호를 출력한다.

그러면, 래이(2)에서의 낸드 게이트(22)는 상기 노아 게이트(1)로부터 출력된후 인버터(21)를 거쳐 반전된 로우신호를 일측입력단자에 인가받아 타측입력단자에 인가되는 낸드 게이트(23)로부터 출력되는 신호의 레벨에 상관없이 하이레벨의 래치신호(LAS1)를 출력한다.

아울러, 낸드 게이트(23)는 상기 노아 게이트(1)로부터 출력된 하이신호를 일측입력단자에 인가받고, 상기 낸드 게이트(22)로부터 출력된 하이레벨의 래치신호(LAS1)를 타측입력단자에 입력받아 낸딩하여 로우레벨의 래치신호(LAS2)를 출력한다.

그리고, 상기 낸드 게이트(22)로부터 출력된 하이레벨의 래치신호(LAS1)는 신호 지연부(3)에서의 인버터(31),(32)를 순차 거쳐 소정시간 지연되어 하이레벨의 지연신호(DLS1)로 출력되고, 상기 낸드 게이트(23)로부터 출력된 로우레벨의 래치신호(LAS2)는 신호 지연부(4)에서의 인버터(41),(42)를 순차 거쳐 소정시간 지연되어 로우레벨의 지연신호(DLS2)로 출력된다.

그러면, 신호 출력부(5)에서의 피모스 트랜지스터(MP1) 및 엔모스 트랜지스터(MN4)는 각각의 게이트단자에 상기 인버터(31),(32)를 순차 거쳐 출력된 하이신호(DLS1)를 인가받아 각각 턴-오프, 턴-온되고, 피모스 트랜지스터(MP2) 및 엔모스 트랜지스터(MN1)는 각각의 게이트단자에 상기 네트 게이트(22)로부터 출력된 하이신호(LAS1)를 공통 인가받아 각각 턴-오프, 턴-온된다.

그리고, 엔모스 트랜지스터(MN2) 및 피모스 트랜지스터(MP3)는 각각의 게이트단자에 상기 인버터(41),(42)를 순차 거쳐 출력된 로우신호(DLS2)를 인가받아 각각 턴-오프, 턴-온되고, 피모스 트랜지스터(MP4) 및 엔모스 트랜지스터(MN3)는 각각의 게이트 단자에 상기 낸드 게이트(23)로부터 출력된 로우신호(LAS2)를 공통 입력받아 각각 턴-온, 턴-오프된다.

따라서, 상기 신호 출력부(5)는 어드레스 천이 검출신호(ATDS)라인을 거쳐 하이레벨의 어드레스 천이 검

출신호(ATDS)를 출력한다.

이후, 상기 어드레스 신호(AD)가 로우레벨에서 하이레벨로 천이되고, 그 하이레벨로 천이된 어드레스신호(AD)의 펄스폭이 메모리 내부에서 필요로 하는 어드레스 천이 검출신호의 펄스폭보다 긴 경우, 그 펄스폭을 갖는 하이레벨의 어드레스신호(AD)가 상기 노아 게이트(1)의 일측 입력단자에 입력되고, 로우상태의 칩선택신호(CSb)가 상기 노아 게이트(1)의 타측 입력단자에 입력되면 상기 노아게이트(1)는 그 입력된 신호(CSb),(AD)를 노아링하여 로우신호를 출력한다.

그러면, 상기 낸드 게이트(23)는 일측 입력단자에 상기 노아게이트(1)로부터 출력되는 로우신호를 인가받아 타측 입력단자에 상기 낸드 게이트(22)로부터 인가된 하이신호(LAS1)와 낸딩하여 하이신호(LAS2)를 출력하고, 상기 낸드 게이트(22)는 일측 입력단자에 상기 노아 게이트(1)로부터 로우신호로 출력된 후 상기 인버터(21)를 거쳐 반전된 하이신호를 인가받고, 타측입력단자에 상기 낸드 게이트(23)로부터 출력된 하이신호(LAS2)를 인가받아 낸딩하여 로우신호(LAS1)를 출력한다.

이에따라, 상기 피모스 트랜지스터(MP2) 및 엔모스 트랜지스터(MN1)는 각각의 게이트단자에 상기 낸드 게이트(22)로부터 출력된 로우신호(LAS1)를 공통 인가받아 각각 턴-온, 턴-오프되고, 상기 피모스 트랜지스터(MP4) 및 엔모스 트랜지스터(MN3)는 각각의 게이트단자에 상기 낸드 게이트(23)로부터 출력된 하이신호(LAS2)를 공통 인가 받아 각각 턴-오프, 턴-온된다.

그리고, 상기 피모스 트랜지스터(MP1) 및 엔모스 트랜지스터(MN4)는 상기 낸드 게이트(22),(23)로부터 각각 출력된 신호(LAS1),(LAS2)가 상기 신호 지연부터(3),(4)를 거쳐 출력되기 전까지 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지되고, 상기 엔모스 트랜지스터(MN2) 및 피모스 트랜지스터(MP3)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지된다.

따라서, 상기 어드레스 천이 검출신호(ATDS)라인을 거쳐 출력되던 하이신호(ATDS)는 천이되어 로우신호(ATDS)로 출력된다.

이후, 상기 낸드 게이트(22)로부터 출력되는 로우신호(LAS1)가 상기 인버터(31),(32)를 순차 거쳐 로우신호(DLS1)로 출력되고, 상기 낸드 게이트(23)로부터 출력되는 하이신호(LAS2)가 상기 인버터(41),(42)를 순차 거쳐 하이신호(DLS2)로 출력되면, 상기 피모스 트랜지스터(MP1) 및 엔모스 트랜지스터(MN4)는 각각의 게이트 단자에 상기 인버터(32)로부터 출력된 로우신호(DLS1)를 공통 인가받아 각각 턴-온, 턴-오프되고, 상기 엔모스 트랜지스터(MN2) 및 피모스 트랜지스터(MP3)는 각각의 게이트단자에 상기 인버터(42)로부터 출력된 하이신호(DLS2)를 공통 인가받아 각각 턴-온, 턴-오프된다.

그리고, 상기 피모스 트랜지스터(MP2) 및 엔모스 트랜지스터(MN1)는 바로전의 스위칭 상태인 턴-온, 턴-오프상태로 유지되고, 상기 피모스 트랜지스터(MP4) 및 엔모스 트랜지스터(MN3)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지된다.

따라서, 상기 어드레스 천이 검출신호(ATDS)라인을 거쳐 로우레벨로 출력되던 어드레스 천이 검출신호(ATDS)는 천이되어 하이레벨로 출력된다.

이후, 상기 어드레스 신호(AD)가 하이레벨에러 로우레벨로 천이되어 입력되고, 로우상태의 칩 선택신호(CSb)가 입력되면 상기 노아 게이트(1)는 그 입력된 신호(AD),(CSb)를 노아링하여 하이신호를 출력한다.

그러면, 상기 낸드 게이트(23)는 일측 입력단자에 상기 노아 게이트(1)로부터 출력된 하이신호를 인가받아 타측 입력단자에 상기 낸드 게이트(22)로부터 인가된 로우신호(LAS1)와 낸딩하여 하이신호(LAS2)를 출력하고, 상기 낸드 게이트(22)는 일측 입력단자에 상기 노아 게이트(1)로부터 하이신호로 출력된 후 상기 인버터(21)를 거쳐 반전된 로우신호를 인가받고, 타측 입력단자에 상기 낸드 게이트(23)로부터 출력된 로우신호(LS2)를 인가받아 낸딩하여 하이신호(LAS1)를 출력한다.

따라서, 상기 피모스 트랜지스터(MP2) 및 엔모스 트랜지스터(MN1)는 각각의 게이트단자에 상기 낸드 게이트(22)로부터 출력된 하이신호(LAS1)를 공통 인가받아 각각 턴-오프, 턴-온되고, 상기 피모스 트랜지스터(MP4) 및 엔모스 트랜지스터(MN3)는 각각의 게이트단자에 상기 낸드 게이트(23)로부터 출력된 로우신호(LAS2)를 공통 인가 받아 각각 턴-온, 턴-오프된다.

그리고, 상기 낸드게이트(22),(23)로부터 각각 출력된 신호(LAS1),(LAS2)가 신호 지연부(3),(4)를 거쳐 각각 출력되기 전까지 상기 피모스 트랜지스터(MP1) 및 엔모스 트랜지스터(MN4)는 바로전의 스위칭 상태인 턴-온, 턴-오프상태로 유지되고, 상기 피모스 트랜지스터(MP4) 및 엔모스 트랜지스터(MN3)는 각각 턴-온, 턴-오프상태로 유지된다.

따라서, 상기 어드레스 천이 검출신호(ATDS)라인을 거쳐 하이레벨로 출력되던 어드레스 천이 검출신호(ATDS)는 천이되어 로우레벨의 어드레스 천이 검출신호(ATDS)로 출력된다.

이후, 상기 낸드 게이트(22)로부터 출력된 하이신호(LAS1)가 상기 인버터(31),(32)를 순차 거쳐 소정시간 지연되어 하이신호(DLS1)로 출력되고, 상기 낸드 게이트(23)로부터 출력된 로우신호(LAS2)가 상기 인버터(41),(42)를 순차 거쳐 소정시간 지연되어 로우신호(DLS2)로 출력되면, 상기 피모스 트랜지스터(MP1) 및 엔모스 트랜지스터(MN4)는 각각의 게이트단자에 상기 인버터(32)로부터 출력된 하이신호(DLS1)를 인가받아 각각 턴-오프, 턴-온되고, 상기 엔모스 트랜지스터(MN2) 및 피모스 트랜지스터(MP3)는 각각의 게이트단자에 상기 인버터(42)로부터 출력된 로우신호(DLS2)를 인가받아 각각 턴-오프, 턴-온된다.

그리고, 상기 피모스 트랜지스터(MP2) 및 엔모스 트랜지스터(MN1)는 바로전의 스위칭 상태인 턴-오프, 턴-온상태로 유지되고, 상기 피모스 트랜지스터(MP4) 및 엔모스 트랜지스터(MN3)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지된다.

따라서, 상기 어드레스 천이 검출 신호(ATDS) 라인을 거쳐 로오레벨로 출력되던 어드레스 천이 검출신호(ATDS)는 천이되어 하이레벨의 어드레스 천이 검출신호(ATDS)로 출력된다.

결국, 상기 어드레스 신호(AD)가 로우상태에서 하이상태로 천이될 때 상기 신호 지연부(3)의 지연시간에 따라 어드레스 천이검출신호(ATDS)의 철스폭이 결정되고, 상기 어드레스 신호(AD)가 하이상태에서 로우상

태로 천이될 때 상기 신호 지연부(4)의 지연시간에 따라 어드레스 천이 검출신호(ATDS)의 철스 폭이 결정되는 것이다.

한편, 메모리 내부에서 필요로 하는 하이상태의 어드레스 천이 검출신호(ATDS)의 펄스폭보다 짧은 펄스폭을 갖는 어드레스 신호(AD)가 어드레스 천이 검출회로에 입력되면 그 어드레스 천이 검출회로의 동작은 기 설명한 바와같이 동작하게 되므로 상기 어드레스 천이 검출신호(ATDS)라인을 거쳐 메모리 내부에서 필요로 하는 어드레스 천이 검출신호의 펄스폭보다 짧은 펄스폭을 갖는 로우상태의 어드레스 천이 검출신호(ATDS)가 출력되게 된다.

그러나, 종래 메모리의 어드레스 천이 검출회로는 상기 신호 지연부의 지연시간에 따른 펄스폭보다 짧은 펄스폭 즉, 메모리 내부에서 필요로 하는 어드레스 천이 검출신호의 펄스폭보다 짧은 펄스폭을 갖는 어드레스 신호가 입력되면 그 입력된 어드레스 신호에 의해 그 어드레스신호의 펄스폭과 같은 펄스폭을 갖는 어드레스 천이 검출신호를 발생하여 메모리 내부회로에 공급함으로 인해 비정상적인 어드레스신호입력시 메모리의 동작이 불안정하게 되는 문제점이 있었다.

따라서, 본 발명의 목적은 메모리에 입력되는 어드레스신호의 펄스폭의 길이에 상관없이 항시 일정한 펄스폭을 갖는 어드레스 천이 검출신호를 출력하여 메모리의 오동작을 방지하도록 하는 메모리의 어드레스 천이 검출회로를 제공함에 있다.

이와같은 본 발명의 목적을 달성하기 위한 수단은 외부로부터 입력되는 어드레스신호 및 칩 선택신호를 노아링하는 노아 게이트와, 피드백되어 입력되는 제1, 제2 래치제어신호 및 제1, 제2 지연신호에 의해 상기 노아 게이트로부터 출력되는 신호의 레벨을 일정시간동안 유지시켜 서로 다른 레벨의 제1, 제2 레벨유지신호를 각각 출력하는 레벨 유지수단과, 상기 레벨 유지수단으로부터 각각 출력되는 제1, 제2 레벨유지신호를 래치시켜 서로 다른 레벨의 제1, 제2 래치신호를 출력하는 래치와, 상기 래치로부터 각각 출력되는 제1, 제2 래치신호를 소정시간 지연시킨 후 그 지연된 제1, 제2 지연신호를 각각 출력하는 제1, 제2 신호 지연수단과, 상기 래치로부터 출력되는 제1, 제2 래치신호 및 상기 제1, 제2 신호 지연수단으로부터 각각 출력된 제1, 제2 지연신호에 따른 어드레스 천이 검출신호를 출력하는 신호 출력수단을 포함하여 구성된다.

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

제2도에 도시된 바와같이, 본 발명에 의한 메모리의 어드레스 천이 검출회로는 외부로부터 입력되는 어드레스신호(ADS) 및 칩 선택신호(/CS)를 노아링하는 노아 게이트(10)와, 피드백되어 입력되는 래치제어신호(LS1),(LS2) 및 지연신호(DS1),(DS2)에 의해 상기 노아 게이트(10)로부터 출력되는 신호의 레벨을 일정시간동안 유지시켜 서로 다른 레벨의 레벨유지신호(0T1),(0T2)를 각각 출력하는 레벨 유지부(20)와, 상기 레벨 유지부(20)로부터 각각 출력되는 레벨유지신호(0T1),(0T2)를 래치시켜 서로 다른 레벨의 래치신호(LS1),(LS2)를 출력하는 래치(30)와, 상기 래치(30)로부터 각각 출력되는 래치신호(LS1),(LS2)를 소정시간 지연시키고, 그 지연된 지연신호(DS1),(DS2)를 각각 출력하는 신호 지연부(40),(50)와, 상기 래치(30)로부터 출력되는 래치신호(LS1),(LS2) 및 상기 신호 지연부(40),(50)로부터 각각 출력된 지연신호(DS1),(DS2)에 따른 어드레스 천이 검출신호(AOUT)를 출력하는 신호 출력부(60)로 구성한다.

상기 레벨 유지부(20)는 각각의 입력단자에 상기 노아게이트(10)의 출력라인이 연결되는 인버터(21),(22)와, 입력단자에 상기 인버터(22)의 출력단자가 연결되는 인버터(23)와, 소스단자에 전원전압(VCC)단자가 연결되고, 게이트단자에 상기 신호 지연부(50)의 지연신호(DS2)라인이 연결되는 피모스 트랜지스터(P1)와, 소스단자에 상기 피모스 트랜지스터(P1)의 드레인단자가 연결되고, 게이트단자에 상기 래치(30)의 래치신호(LS1)라인이 연결되며, 드레인단자에 상기 인버터(21)의 출력단자가 연결되는 피모스 트랜지스터(P2)와, 드레인단자에 상기 피모스 트랜지스터(P2)의 드레인단자가 연결되어 상기 레벨유지신호(0T1)라인과 연결되고, 게이트단자에 상기 피모스 트랜지스터(P2)의 게이트단자가 연결되는 엔모스 트랜지스터(N1)와, 드레인단자에 상기 엔모스 트랜지스터(N1)의 소스단자가 연결되고, 게이트단자에 상기 피모스 트랜지스터(P1)의 게이트단자가 연결되며, 소스단자에 접지단자가 연결되는 엔모스 트랜지스터(N2)와, 소스단자에 전원전압(VCC)단자가 연결되고, 게이트단자에 상기 신호 지연부(40)의 지연신호(DS1)라인이 연결되는 피모스 트랜지스터(P3)와, 소스단자에 상기 피모스 트랜지스터(P3)의 드레인단자가 연결되고, 게이트단자에 상기 래치(30)의 래치신호(LS2)라인이 연결되며, 드레인단자에 상기 인버터(23)의 출력단자가 연결되는 피모스 트랜지스터(P4)와, 드레인단자에 상기 피모스 트랜지스터(P4)의 드레인단자가 연결되어 상기 레벨유지신호(0T2)라인과 연결되고, 게이트단자에 상기 피모스 트랜지스터(P4)의 게이트단자가 연결되는 엔모스 트랜지스터(N3)와, 드레인단자에 상기 엔모스 트랜지스터(N3)의 소스단자가 연결되고, 게이트단자에 상기 피모스 트랜지스터(P3)의 게이트단자가 연결되며, 소스단자에 접지단자가 연결되는 엔모스 트랜지스터(N4)로 구성한다.

상기 래치(30)는 상기 레벨 유지부(20)로부터 출력되는 레벨유지신호(0T1)와 자신의 출력신호인 래치신호(LS2)를 낸딩하여 래치신호(LS1)를 출력하는 낸드 게이트(31)와, 상기 낸드 게이트(31)로부터 출력되는 래치신호(LS1)와 상기 레벨 유지부(20)로부터 출력되는 레벨유지신호(0T2)를 낸딩하는 낸드 게이트(32)로 구성한다.

상기 신호 출력부(60)는 소스단자에 전원전압(VCC)단자가 연결되고, 게이트단자에 상기 래치(30)의 래치신호(LS1)라인이 연결되는 피모스 트랜지스터(P10)와, 소스단자에 상기 피모스 트랜지스터(P10)의 드레인단자가 연결되고, 게이트단자에 상기 신호 지연부(40)의 지연신호(DS1)라인이 연결되는 피모스 트랜지스터(P11)와, 드레인단자에 상기 피모스 트랜지스터(P11)의 드레인단자가 연결되어 상기 어드레스천이 검출신호(AOUT)라인과 연결되고, 게이트단자에 상기 피모스 트랜지스터(P10)의 게이트단자가 연결되는 엔모스 트랜지스터(N14)와, 드레인단자에 상기 엔모스 트랜지스터(N14)의 소스단자가 연결되고, 게이트단자에 상기 신호 지연부(50)의 지연신호(DS2)라인이 연결되며, 소스단자에 접지단자가 연결되는 엔모스 트랜지스터(N15)와, 소스단자에 상기 피모스 트랜지스터(P10)의 소스단자가 연결되고, 게이트단자에 상기 래치(30)의 래치신호(LS2)라인이 연결되는 피모스 트랜지스터(P12)와, 소스단자에 상기 피모스 트랜지스터(P12)의 드레인단자가 연결되고, 게이트단자에 상기 엔모스 트랜지스터(N15)의 게이트단자가 연결되는 피모스 트랜지스터(P13)와, 드레인단자에 상기 피모스 트랜지스터(P13)의 드레인단자가 연결되어 상기 어드

레스 천이 검출신호(AUTO)라인과 연결되고, 게이트단자에 상기 피모스 트랜지스터(P12)의 게이트단자가 연결되는 엔모스 트랜지스터(N16)와, 드레인단자에 상기 엔모스 트랜지스터(16)의 소스단자가 연결되고, 게이트단자가 상기 피모스 트랜지스터(P11)의 게이트단자가 연결되며, 소스단자에 접지단자가 연결되는 엔모스 트랜지스터(N17)로 구성한다.

이와같이 구성한 본 발명에 의한 메모리의 어드레스천이 검출회로의 동작을 도면 제3도를 참조하여 상세히 설명하면 다음과 같다.

먼저, 초기상태에서 제3도의 (a),(b)에 도시한 바와같이 로우레벨('L')의 침 선택신호(/CS) 및 하이레벨의 어드레스신호(ADS)가 노아 게이트(10)의 일측, 타측 입력단자에 각각 입력되면, 그 노아 게이트(10)는 그 입력된 신호(/CS),(ADS)를 노아링하여 로우신호를 출력한다.

이어서, 상기 노아 게이트(10)로부터 출력된 로우신호는 레벨 유지부(20)에서의 인버터(21)를 거쳐 하이신호(0T1)로 출력됨과 아울러 인버터(22),(23)를 순차 거쳐 로우신호(0T2)로 출력된다.

그러면, 래치(30)에서의 낸드 게이트(32)는 일측 입력단자에 상기 인버터(23)로부터 출력되는 로우신호(0T2)를 인가받아 타측 입력단자에 인가되는 래치신호(LS1)에 상관없이 하이신호(LS2)를 출력하고, 낸드 게이트(31)는 일측 입력단자에 상기 인버터(21)로부터 출력되는 하이신호(0T1)를 인가받고, 타측 입력단자에 상기 낸드 게이트(32)로부터 출력되는 하이신호(LS2)를 인가받아 낸딩하여 로우신호(LS1)를 출력하게 된다.

이후, 신호 지연부(40),(50)는 상기 낸드 게이트(31),(32)로부터 각각 출력되는 로우신호(LS1), 하이신호(LS2)를 소정시간 지연시켜 로우레벨의 지연신호(DS1), 하이레벨의 지연신호(DS2)로 각각 출력한다.

이에따라, 신호 출력부(60)에서의 피모스 트랜지스터(P10) 및 엔모스 트랜지스터(N14)는 각각의 게이트단자에 상기 낸드 게이트(31)로부터 출력되는 로우신호(LS1)를 공통 인가받아 각각 턴-온, 턴-오프되고, 피모스 트랜지스터(P11) 및 엔모스 트랜지스터(N17)는 각각의 게이트단자에 상기 신호 지연부(40)로부터 출력되는 로우신호(DS1)를 공통 인가받아 턴-온, 턴-오프된다.

그리고, 엔모스 트랜지스터(N15) 및 피모스 트랜지스터(P13)는 각각의 게이트 단자에 상기 신호 지연부(50)로부터 출력되는 하이신호(DS2)를 공통 인가받아 각각 턴-온, 턴-오프되고, 피모스 트랜지스터(P12) 및 엔모스 트랜지스터(N16)는 각각의 게이트단자에 상기 낸드 게이트(32)로부터 출력되는 하이신호(LS2)를 공통 인가받아 각각 턴-오프, 턴-온된다.

따라서, 상기 신호 출력부(60)는 제3도의(c)에 도시한 바와같이 하이레벨의 어드레스 천이 검출신호(AOUT)를 출력하게 된다.

이후, 제3도의 (b)에 도시한 바와같이 상기 어드레스신호(ADS)가 하이레벨에서 로우레벨로 천이되어 상기 노아 게이트(10)의 일측 입력단자에 입력되면, 그 노아 게이트(10)는 입력되는 로우레벨의 어드레스신호(ADS)와 상기 타측 입력단자에 인가된 로우신호(/CS)를 노아링하여 하이신호를 출력하게 된다.

이어서, 상기 노아 게이트(10)로부터 출력되는 하이신호는 상기 인버터(21)를 거쳐 로우신호를 출력되고, 상기 인버터(22),(23)를 순차 거쳐 하이신호로 출력된다.

이때, 피모스 트랜지스터(P1) 및 엔모스 트랜지스터(N2)는 각각의 게이트단자에 상기 신호 지연부(50)로부터 출력되는 하이신호(DS2)를 공통 인가받아 각각 턴-오프, 턴-온되고, 피모스 트랜지스터(P2) 및 엔모스 트랜지스터(N1)는 각각 게이트단자에 상기 낸드 게이트(31)로부터 출력되는 로우신호(LS1)를 공통 인가받아 각각 턴-온, 턴-오프된다.

따라서, 상기 인버터(21)로부터 출력되는 로우신호는 그대로 로우신호(0T1)로 출력된다.

아울러, 피모스 트랜지스터(P3) 및 엔모스 트랜지스터(N4)는 각각의 게이트단자에 상기 신호 지연부(40)로부터 출력되는 로우신호(DS1)를 공통 인가받아 각각 턴-온, 턴-오프되고, 피모스 트랜지스터(P4) 및 엔모스 트랜지스터(N3)는 각각의 게이트단자에 상기 낸드 게이트(32)로부터 출력되는 하이신호(LS2)를 공통 인가받아 각각 턴-오프, 턴-온된다.

따라서 상기 인버터(23)로부터 출력되는 하이신호는 그대로 하이신호(0T2)로 출력되게 된다.

이어서, 상기 낸드 게이트(31)는 일측 입력단자에 상기 레벨 유지부(20)로부터 출력되는 로우신호(0T1)를 인가받고, 타측 입력단자에 인가되는 상기 낸드 게이트(32)로부터 출력되는 하이신호(LS2)를 인가받아 하이신호(LS1)를 출력하고, 상기 낸드 게이트(32)는 일측 입력단자에 상기 레벨 유지부(20)로부터 출력되는 하이신호(0T2)를 인가받고, 타측 입력단자에 상기 낸드 게이트(31)로부터 출력되는 하이신호(LS1)를 인가받아 낸딩하여 로우신호(LS2)를 출력하게 된다.

이에따라, 상기 신호 출력부(60)에서의 피모스 트랜지스터(P10) 및 엔모스 트랜지스터(N14)는 각각의 게이트단자에 상기 낸드 게이트(31)로부터 출력되는 하이신호(LS1)를 공통 인가받아 각각 턴-오프, 턴-온되고, 상기 피모스 트랜지스터(P12) 및 엔모스 트랜지스터(N16)는 각각의 게이트단자에 상기 낸드 게이트(32)로부터 출력되는 로우신호(LS2)를 공통 인가받아 각각 턴-온, 턴-오프된다.

그리고, 상기 낸드 게이트(31),(32)로부터 각각 출력되는 하이신호(LS1), 로우신호(LS2)가 상기 신호 지연부(40),(50)를 각각 거쳐 출력될 때까지 상기 피모스 트랜지스터(P11) 및 엔모스 트랜지스터(N17)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지되고, 상기 엔모스 트랜지스터(N15) 및 피모스 트랜지스터(P13)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지된다.

따라서, 상기 신호 출력부(60)는 하이레벨로 출력하던 어드레스 천이 검출신호(AOUT)를 로우레벨로 출력하게 된다.

이때, 상기 피모스 트랜지스터(P2) 및 엔모스 트랜지스터(N1)는 각각의 게이트단자에 상기 낸드 게이트(31)로부터 출력되는 하이신호(LS1)를 공통 인가받아 각각 턴-오프, 턴-온되고, 상기 피모스 트랜지스터

(P4) 및 엔모스 트랜지스터(N3)는 각각의 게이트단자에 상기 낸드 게이트(32)로부터 출력되는 로우신호(LS2)를 공통 인가받아 각각 턴-온, 턴-오프된다.

그리고, 상기 낸드 게이트(31),(32)로부터 각각 출력되는 하이신호(LS1), 로우신호(LS2)가 상기 신호 지연부(40),(50)를 각각 거쳐 출력될 때까지 상기 피모스 트랜지스터(P1) 및 엔모스 트랜지스터(N2)는 바로 전의 스위칭상태인 턴-오프, 턴-온상태로 유지되고, 상기 피모스 트랜지스터(P3) 및 엔모스 트랜지스터(N4)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지된다.

따라서, 상기 레벨 유지부(20)는 계속적으로 로우신호(OT1) 및 하이신호(OT2)가 출력하게 된다.

이에따라, 상기 낸드 게이트(31),(32)는 기 설명한 바와같이 동작하여 각각 하이신호(LS1), 로우신호(LS2)를 출력하게 된다.

이후, 상기 신호 지연부(40),(50)가 상기 낸드 게이트(31),(32)로부터 각각 출력되는 하이신호(LS1), 로우신호(LS2)를 각각 소정시간 지연시켜 (DS1), 로우신호(DS2)로 각각 출력하면, 상기 신호 출력부(60)에서의 피모스 트랜지스터(P11) 및 엔모스 트랜지스터(N17)는 각각의 게이트단자에 상기 신호 지연부(40)로부터 출력되는 하이신호(DS1)를 공통 인가받아 각각 턴-오프, 턴-온되고, 상기 엔모스 트랜지스터(N15) 및 피모스 트랜지스터(P13)는 각각의 게이트단자에 상기 신호 지연부(50)로부터 출력되는 로우신호(DS2)를 공통 인가받아 각각 턴-오프, 턴-온된다.

그리고, 상기 피모스 트랜지스터(P10) 및 엔모스 트랜지스터(N14)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지되고, 상기 피모스 트랜지스터(P12) 및 엔모스 트랜지스터(N16)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지된다.

따라서, 상기 신호 출력부(60)는 상기 로우레벨로 출력하던 어드레스 천이 검출신호(AOUT)를 하이레벨로 출력하게 되는 것이다.

이때, 상기 피모스 트랜지스터(P1) 및 엔모스 트랜지스터(N2)는 각각의 게이트단자에 상기 신호 지연부(50)로부터 출력되는 로우신호(DS2)를 공통 인가받아 각각 턴-온, 턴-오프되고, 상기 피모스 트랜지스터(P3) 및 엔모스 트랜지스터(N4)는 각각의 게이트단자에 상기 신호 지연부(40)로부터 출력되는 하이신호(DS1)를 공통 인가받아 각각 턴-오프, 턴-온된다.

그리고, 나머지 피모스 트랜지스터(P2) 및 엔모스 트랜지스터(N1)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지되고, 피모스 트랜지스터(P4) 및 엔모스 트랜지스터(N3)는 바로저의 스위칭상태인 턴-온, 턴-오프상태로 유지된다.

따라서, 상기 레벨 유지부(20)는 계속하여 로우신호(OT1), 하이신호(OT2)를 출력하게 되므로 상기 래치(30), 신호 지연부(40),(50) 및 신호 출력부(60)는 기 설명한 바와같이 동일하게 동작하게 된다.

결국, 정상적인 어드레스신호가 하이레벨에서 로우레벨로 천이하게되면 제3도의 (c)에 도시된 메모리 내부에서 필요로 하는 펄스폭(APW1)을 갖는 한 개의 로우레벨의 어드레스 천이 검출신호(AOUT)가 발생되게 되는 것이다.

이후, 제3도의 (b)에 도시된 바와같이 상기 어드레스신호(ADS)가 로우레벨에서 하이레벨로 천이되어 상기 노아 게이트(10)의 일측 입력단자에 입력되면 그 노아 게이트(10)는 그 입력된 하이레벨의 어드레스신호(ADS)와 상기 타측 입력단자에 인가된 로우신호(/CS)를 노아링하여 로우신호를 츨력하게 된다.

그리고, 상기 노아 게이트(10)로부터 출력되는 로우신호는 상기 인버터(21)를 거쳐 하이신호로 출력되고, 상기 인버터(22),(23)를 순차 거쳐 로우신호로 출력되게 된다.

이때, 상기 피모스 트랜지스터(P1) 및 엔모스 트랜지스터(N2)는 바로 전의 스위치상태인 턴-온, 턴-오프상태를 유지하고, 상기 피모스 트랜지스터(P2) 및 엔모스 트랜지스터(N1)는 바로 전의 스위칭상태인 턴-오프, 턴-온상태로 유지되므로 상기 인버터(21)로부터 출력되는 하이신호는 그대로 하이신호(OT1)로 출력된다.

그리고, 상기 피모스 트랜지스터(P3) 및 엔모스 트랜지스터(N4)는 바로전의 스위칭상태인 턴-오프, 턴-온 상태로 유지되고, 상기 피모스 트랜지스터(P4) 및 엔모스 트랜지스터(N3)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지되므로 상기 인버터(23)로부터 출력되는 로우신호는 그대로 로우신호(OT2)로 출력된다.

이어서, 상기 낸드 게이트(32)는 기 설명한 바와같이 일측 입력단자에 상기 레벨 유지부(20)로부터 출력되는 로우신호(OT2)를 인가받고, 타측 입력단자에 상기 낸드 게이트(31)로부터 출력되는 하이신호(LS1)를 인가받아 낸딩하여 하이신호(LS2)를 출력한다.

그리고, 상기 낸드 게이트(31)는 기 설명한 바와같이 일측 입력단자에 상기 레벨 유지부(20)로부터 출력되는 하이신호(OT1)를 인가받고, 타측 입력단자에 상기 낸드 게이트(32)로부터 출력되는 하이신호(LS2)를 인가받아 낸딩하여 로우신호(LS1)를 출력한다.

그러면, 상기 피모스 트랜지스터(P10) 및 엔모스 트랜지스터(N14)는 각각의 게이트단자에 상기 낸드 게이트(31)로부터 출력되는 로우신호(LS1)를 공통 인가받아 각각 턴-온, 턴-오프되고, 상기 피모스 트랜지스터(P12) 및 엔모스 트랜지스터(N16)는 각각의 게이트단자에 상기 낸드 게이트(32)로부터 출력되는 하이신호(LS2)를 공통 인가받아 각각 턴-오프, 턴-온된다.

그리고, 상기 피모스 트랜지스터(P11) 및 엔모스 트랜지스터(N17)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지되고, 상기 엔모스 트랜지스터(N15) 및 피모스 트랜지스터(P13)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지된다.

따라서, 상기 신호 출력부(60)는 상기 하이레벨로 출력하던 어드레스 천이 검출신호(AOUT)를 로우레벨로 출력하게 된다.

이때, 상기 피모스 트랜지스터(P2) 및 엔모스 트랜지스터(N1)는 각각의 게이트단자에 상기 낸드 게이트(31)로부터 출력되는 로우신호(LS1)를 공통 인가받아 각각 턴-온, 턴-오프되고, 상기 피모스 트랜지스터(P4) 및 엔모스 트랜지스터(N3)는 각각의 게이트단자에 상기 낸드 게이트(32)로부터 출력되는 하이신호(LS2)를 공통 인가받아 각각 턴-오프, 턴-온된다.

그리고, 상기 피모스 트랜지스터(P1) 및 엔모스 트랜지스터(N2)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지되고, 상기 피모스 트랜지스터(P3) 및 엔모스 트랜지스터(N4)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지된다.

이때, 제3도의 (b)에 도시된 바와같이 상기 어드레스신호(ADS)가 하이레벨에서 로우레벨로 천이되어 상기 노아 게이트(10)의 일측 입력단자에 인가되면, 그 노아 게이트(10)는 그 인가된 로우레벨의 어드레스신호(ADS)와 상기 타측 입력단자에 인가된 로우신호(/CS)를 노아링하여 하이신호를 출력하게 된다.

그리고, 상기 노아 게이트(10)로부터 출력되는 하이신호는 상기 인버터(21)를 거쳐 로우신호로 출력되고, 상기 언버터(22),(23)를 순차 거쳐 하이신호로 출력되게 한다.

이때, 상기 피모스 트랜지스터(P1),(P2)가 각각 턴-온상태로 유지되므로 상기 레벨 유지부(20)로부터 하이신호(0T1)가 계속 출력되고, 상기 엔모스 트랜지스터(N3),(N4)가 각각 턴-온상태로 유지되므로 상기 인버터(23)로부터 출력되는 하이신호는 상기 엔모스 트랜지스터(N3),(N4)를 순차 거쳐 접지되어 상기 레벨 유지부(20)로부터 로우신호(0T2)가 출력되게 된다.

따라서, 상기 낸드 게이트(31),(32)는 기 설명한 바와같이 로우신호(LS1), 하이신호(LS2)를 각각 출력하게 된다.

이후, 상기 낸드 게이트(31),(32)로부터 각각 출력되는 로우신호(LS1), 하이신호(LS2)가 상기 신호 지연부(40),(41)를 각각 거쳐 소정시간 지연된 후, 로우신호(DS1), 하이신호(DS2)로 각각 출력되면, 상기 피모스 트랜지스터(P11) 및 엔모스 트랜지스터(N17)는 각각의 게이트단자에 상기 신호 지연부(40)로부터 출력되는 로우신호(DS1)를 공통 인가받아 각각 턴-온, 턴-오프된다.

그리고, 상기 엔모스 트랜지스터(N15),(N13)는 각각의 게이트단자에 상기 신호 지연부(50)로부터 출력되는 하이신호(DS2)를 공통 인가받아 각각 턴-온, 턴-오프된다.

그리고, 상기 피모스 트랜지스터(P10) 및 엔모스 트랜지스터(N14)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지되고, 피모스 트랜지스터(P12) 및 엔모스 트랜지스터(N16)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지된다.

따라서, 상기 신호 출력부(60)는 상기 로우레벨로 출력되던 어드레스 천이 검출신호(AOUT)를 하이레벨로 출력하게 된다.

이때, 상기 피모스 트랜지스터(P1) 및 엔모스 트랜지스터(N2)는 각각의 게이트단자에 상기 신호 지연부(50)로부터 출력되는 하이신호(DS2)를 공통 인가받아 각각 턴-오프, 턴-온되고, 상기 피모스 트랜지스터(P3) 및 엔모스 트랜지스터(N4)는 각각의 게이트단자에 상기 신호 지연부(40)로부터 출력되는 로우신호(DS1)를 공통 인가받아 각각 턴-온, 턴-오프된다.

그리고, 상기 피모스 트랜지스터(P2) 및 엔모스 트랜지스터(N1)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지되고, 상기 피모스 트랜지스터(P4) 및 엔모스 트랜지스터(N3)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지된다.

따라서, 상기 인버터(21)로부터 출력되는 로우신호는 그대로 로우신호(0T1)로 출력되고, 상기 인버터(23)로부터 출력되는 하이신호는 그대로 하이신호(0T2)로 출력되게 된다.

그러면, 상기 낸드 게이트(31),(32)는 기 설명한 바와같이 동작하므로 하이신호(LS1), 로우신호(LS2)를 각각 출력하게 된다.

따라서, 상기 피모스 트랜지스터(P10) 및 엔모스 트랜지스터(N14)는 각각의 게이트단자에 상기 낸드 게이트(31)로부터 출력되는 하이신호(LS1)를 공통 인가받아 각각 턴-오프, 턴-온되고, 상기 피모스 트랜지스터(P12) 및 엔모스 트랜지스터(N16)는 각각의 게이트단자에 상기 낸드 게이트(32)로부터 출력되는 로우신호(LS2)를 공통 인가받아 각각 턴-온, 턴-오프된다.

그리고, 상기 피모스 트랜지스터(P11) 및 엔모스 트랜지스터(N17)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지되고, 엔모스 트랜지스터(N15) 및 피모스 트랜지스터(P13)는 바로전의 스위칭상태인 턴-온, 턴-오프된다.

따라서, 상기 신호 출력부(60)는 하이레벨로 출력되던 어드레스 천이 검출신호(AOUT)를 로우레벨로 출력하게 된다.

이때, 상기 피모스 트랜지스터(P2) 및 엔모스 트랜지스터(N1)는 각각의 게이트단자에 상기 낸드 게이트(31)로부터 출력되는 하이신호(LS1)를 공통 인가받아 각각 턴-오프, 턴-온되고, 상기 피모스 트랜지스터(P4) 및 엔모스 트랜지스터(N3)는 각각의 게이트단자에 상기 낸드 게이트(32)로부터 출력되는 로우신호(LS2)를 공통 인가받아 각각 턴-온, 턴-오프된다.

그리고, 상기 피모스 트랜지스터(P1) 및 엔모스 트랜지스터(N2)는 바로전의 스위칭상태인 턴-오프, 턴-온 상태로 유지되고, 상기 피모스 트랜지스터(P3) 및 엔모스 트랜지스터(N4)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지된다.

따라서, 상기 레벨 유지부(20)는 계속적으로 로우신호(0T1) 및 하이신호(0T2)를 각각 출력하게 된다. 이에따라, 상기 낸드 게이트(31),(32)는 기 설명한 바와 같이 동작하게 되므로 로우신호(LS1), 하이신호(LS2)를 계속 출력하게 된다.

이후, 상기 낸드 게이트(31),(32)로부터 각각 출력되는 하이신호(LS1), 로우신호(LS2)가 상기 신호 지연

부(40),(50)를 각각 거쳐 소정시간 지연되어 하이신호(DS1), 로우신호(DS2)로 각각 출력되면 상기 피모스 트랜지스터(P11) 및 엔모스 트랜지스터(N17)는 각각의 게이트단자에 상기 신호 지연부(40)로부터 출력되는 하이신호(DS1)를 인가받아 각각 턴-오프, 턴-온된다.

그리고, 상기 엔모스 트랜지스터(N15) 및 피모스 트랜지스터(P13)는 각각의 게이트단자에 상기 신호 지연부(50)로부터 출력되는 로우신호(DS2)를 공통 인가받아 각각 턴-오프, 턴-온된다.

그리고, 상기 피모스 트랜지스터(P10) 및 엔모스 트랜지스터(N14)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지되고, 상기 피모스 트랜지스터(P12) 및 엔모스 트랜지스터(N16)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지된다.

따라서, 상기 신호 출력부(40)는 로우레벨로 출력되던 어드레스 천이 검출신호(AOUT)를 하이레벨로 출력하게 된다.

이때, 상기 피모스 트랜지스터(P1) 및 엔모스 트랜지스터(N2)는 각각의 게이트단자에 상기 신호 지연부(50)로부터 출력되는 로우신호(DS2)를 공통 인가받아 각각 턴-온, 턴-오프되고, 상기 피모스 트랜지스터(P3) 및 엔모스 트랜지스터(N4)는 각각의 게이트단자에 상기 신호 지연부(40)로부터 출력되는 하이신호(DS1)를 공통 인가받아 각각 턴-오프, 턴-온된다.

그리고, 상기 피모스 트랜지스터(P2) 및 엔모스 트랜지스터(N1)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지되고, 상기 피모스 트랜지스터(P4) 및 엔모스 트랜지스터(N3)는 바로전의 스위칭상태인 턴-온, 턴-오프된다.

따라서, 상기 레벨 유지부(20)는 계속적으로 로우신호(OT1), 하이신호(OT2)를 각각 출력하게 된다.

이에따라, 상기 래치(30), 신호 지연부(40),(50) 및 신호 출력부(60)는 기 설명한 바와같이 동작하게 되므로 그 신호 출력부(60)는 하이신호(AOUT)를 계속 출력하게 되는 것이다.

어드레스신호(ADS)가 어드레스 천이 검출회로에 입력되면 어드레스 천이 검출회로는 제3도의 (c)에 도시한 바와같이 일정한 펄스폭(APW)을 갖는 로우레벨의 어드레스 천이 검출신호를 두 개 발생하게 되는 것이다.

이후, 제3도의(b)에 도시된 바와같이 상기 어드레스 신호(ADS)가 로우레벨에서 하이레벨로 천이된 후, 다시 하이레벨에서 로우레벨로 천이될 때 어드레스 천이 검출회로의 동작은 기 설명한 바와같으므로 설명을 생략하기로 한다.

이후, 제3도의 (b)에 도시된 바와같이 상기 어드레스신호(ADS)가 로우레벨에서 하이레벨로 천이되어 상기 노아 게이트(10)의 일측 입력단자에 입력되면 그 노아 게이트(10)는 그 입력된 하이레벨의 어드레스신호(ADS)와 상기 타측 입력단자에 인가된 로우신호(/CS)를 노아링하여 로우신호를 출력하게 된다.

그리고, 상기 노아 게이트(10)로부터 출력되는 로우신호는 상기 인버터(21)를 거쳐 하이신호로 출력되고, 상기 인버터(22),(23)를 순차 거쳐 로우신호로 출력되게 된다.

이때, 상기 피모스 트랜지스터(P1) 및 엔모스 트랜지스터(N2)는 바로 전의 스위치상태인 턴-온, 턴-오프상태를 유지하고, 상기 피모스 트랜지스터(P2) 및 엔모스 트랜지스터(N1)는 바로 전의 스위칭상태인 턴-오프, 턴-온상태로 유지되므로 상기 인버터(21)로부터 출력되는 하이신호는 그대로 하이신호(OT1)로 출력된다.

그리고, 상기 피모스 트랜지스터(P3) 및 엔모스 트랜지스터(N4)는 바로전의 스위칭상태인 턴-오프, 턴-온 상태로 유지되고, 상기 피모스 트랜지스터(P4) 및 엔모스 트랜지스터(N3)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지되므로 상기 인버터(23)로부터 출력되는 로우신호는 그대로 로우신호(OT2)로 출력된다.

이어서, 상기 낸드 게이트(32)는 기 설명한 바와같이 일측 입력단자에 상기 레벨 유지부(20)로부터 출력되는 로우신호(OT2)를 인가받고, 타측 입력단자에 상기 낸드 게이트(31)로부터 출력되는 하이신호(LS1)를 인가받아 낸딩하여 하이신호(LS2)를 출력한다.

그리고, 상기 낸드 게이트(31)는 기 설명한 바와같이 일측 입력단자에 상기 레벨 유지부(20)로부터 출력되는 하이신호(OT1)를 인가받고, 타측 입력단자에 상기 낸드 게이트(32)로부터 출력되는 하이신호(LS2)를 인가받아 낸딩하여 로우신호(LS1)를 출력한다.

그러면, 상기 피모스 트랜지스터(P10) 및 엔모스 트랜지스터(N14)는 각각의 게이트단자에 상기 낸드 게이트(31)로부터 출력되는 로우신호(LS1)를 공통 인가받아 각각 턴-온, 턴-오프되고, 상기 피모스 트랜지스터(P12) 및 엔모스 트랜지스터(N16)는 각각의 게이트단자에 상기 낸드 게이트(32)로부터 출력되는 하이신호(LS2)를 공통 인가받아 각각 턴-오프, 턴-온된다.

그리고, 상기 피모스 트랜지스터(P11) 및 엔모스 트랜지스터(N17)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지되고, 상기 엔모스 트랜지스터(N15) 및 피모스 트랜지스터(P13)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지된다.

따라서, 상기 신호 출력부(60)는 로우레벨의 어드레스 천이 검출신호(AOUT)를 계속 출력하게 된다.

이후, 상기 낸드 게이트(31),(32)로부터 각각 출력되는 로우신호(LS1), 하이신호(LS2)가 상기 신호 지연부(40),(41)를 각각 거쳐 소정시간 지연된 후, 로우신호(DS1), 하이신호(DS2)로 각각 출력되면, 상기 피모스 트랜지스터(P11) 및 엔모스 트랜지스터(N17)는 각각의 게이트단자에 상기 신호 지연부(40)로부터 출력되는 로우신호(DS1)를 공통 인가받아 각각 턴-온, 턴-오프된다.

그리고, 상기 엔모스 트랜지스터(N15) 및 피모스 트랜지스터(P13)는 각각의 게이트단자에 상기 신호 지연부(50)로부터 출력되는 하이신호(DS2)를 공통 인가받아 각각 턴-온, 턴-오프된다.

그리고, 나머지 피모스 트랜지스터(P10) 및 엔모스 트랜지스터(N14)는 바로전의 스위칭상태인 턴-온, 턴-오프상태로 유지되고, 피모스 트랜지스터(P12) 및 엔모스 트랜지스터(N16)는 바로전의 스위칭상태인 턴-오프, 턴-온상태로 유지된다.

따라서, 상기 신호 출력부(60)는 로우레벨로 출력되던 어드레스 천이 검출신호(AOUT)를 하이레벨로 출력하게 된다.

결국, 제3도의 (b)에 도시한 바와같이 하이레벨 및 로우레벨의 쇼트 어드레스신호(ADS)가 어드레스 천이 검출회로에 입력되면 그 어드레스 천이 검출회로는 제3도의 (c)에 도시한 바와같이 로우레벨의 어드레스 천이 검출신호(AOUT)를 출력하게 되는 것이다.

이상에서 상세히 설명한 바와같이, 본 발명에 의한 메모리의 어드레스 천이 검출회로는 메모리에 입력되는 쇼트 어드레스신호가 입력되면 메모리 내부회로에 필요로 하는 일정한 펄스폭을 갖는 어드레스 천이 검출신호를 발생하여 메모리 내부회로에 공급함으로써 메모리의 내부회로가 안정적을 동작할 수 있도록 하는 효과가 있다.

(57) 청구의 범위

청구항 1

외부로부터 입력되는 어드레스신호 및 칩 선택신호를 노아링하는 노아 게이트와, 피드백되어 입력되는 제1, 제2 래치신호 및 제1, 제2 지연신호에 의해 상기 노아 게이트로부터 출력되는 신호의 레벨을 일정시간 동안 유지시켜 서로 다른 레벨의 제1, 제2 레벨유지신호를 각각 출력하는 레벨 유지수단과, 상기 레벨 유지수단으로부터 각각 출력되는 제1, 제2 레벨유지신호를 래치시켜 서로 다른 레벨의 제1, 제2 래치신호를 출력하는 래치와, 상기 래치로부터 각각 출력되는 제1, 제2 래치신호를 소정시간 지연시킨 후 그 지연된 제1, 제2 지연신호를 각각 출력하는 제1, 제2 신호 지연수단과, 상기 래치로부터 출력되는 제1, 제2 래치신호 및 상기 제1, 제2 신호 지연수단으로부터 각각 출력되는 제1, 제2 지연신호에 따른 어드레스 천이 검출신호를 출력하는 신호 출력수단을 포함하여 구성되는 것을 특징으로 하는 메모리의 어드레스 천이 검출회로.

청구항 2

제1항에 있어서, 상기 레벨 유지수단은 각각의 입력단자에 상기 노아게이트의 출력라인이 연결되는 제1, 제2 인버터와, 입력단자에 상기 제2 인버터의 출력단자가 연결되는 제3 인버터와, 소스단자에 전원전압단자가 연결되고, 게이트단자에 상기 제2 신호 지연수단의 제2 지연신호라인이 연결되는 제1 피모스 트랜지스터와, 소스단자에 상기 제1 피모스 트랜지스터의 드레인단자가 연결되고, 게이트단자에 상기 래치의 제1 래치신호라인이 연결되며, 드레인단자에 상기 제1 인버터의 출력단자가 연결되는 제2 피모트 트랜지스터와, 드레인단자에 상기 제2 피모스 트랜지스터의 드레인단자가 연결되어 상기 제1 레벨유지신호라인과 연결되고, 게이트단자에 상기 제2 피모스 트랜지스터의 게이트단자가 연결되는 제1 엔모스 트랜지스터와, 드레인단자에 상기 제1 엔모스 트랜지스터의 소스단자가 연결되고, 게이트단자에 상기 제1 피모스 트랜지스터의 게이트단자가 연결되며, 소스단자에 접지단자가 연결되는 제2 엔모스 트랜지스트와, 소스단자에 전원전압단자가 연결되고, 게이트단자에 상기 제1 신호 지연수단의 제1 지연신호라인이 연결되는 제3 피모스 트랜지스터와, 소스단자에 상기 제3 피모스 트랜지스터의 드레인단자가 연결되고, 게이트단자에 상기 래치의 제2 래치신호라인이 연결되며, 드레인단자에 상기 제3 인버터의 출력단자가 연결되는 제4 피모스 트랜지스터와, 드레인단자에 상기 제4 피모스 트랜지스터의 드레인단자가 연결되어 상기 제2 레벨 유지신호라인과 연결되고, 게이트단자에 상기 제4 피모스 트랜지스터의 게이트단자가 연결되는 제3 엔모스 트랜지스터와, 드레인단자에 상기 제3 엔모스 트랜지스터의 소스단자가 연결되고, 게이트단자에 상기 제3 피모스 트랜지스터의 게이트 단자가 연결되며, 소스단자에 접지단자가 연결되는 제4 엔모스 트랜지스터로 구성되는 것을 특징으로 하는 메모리의 어드레스 천이 검출회로.

청구항 3

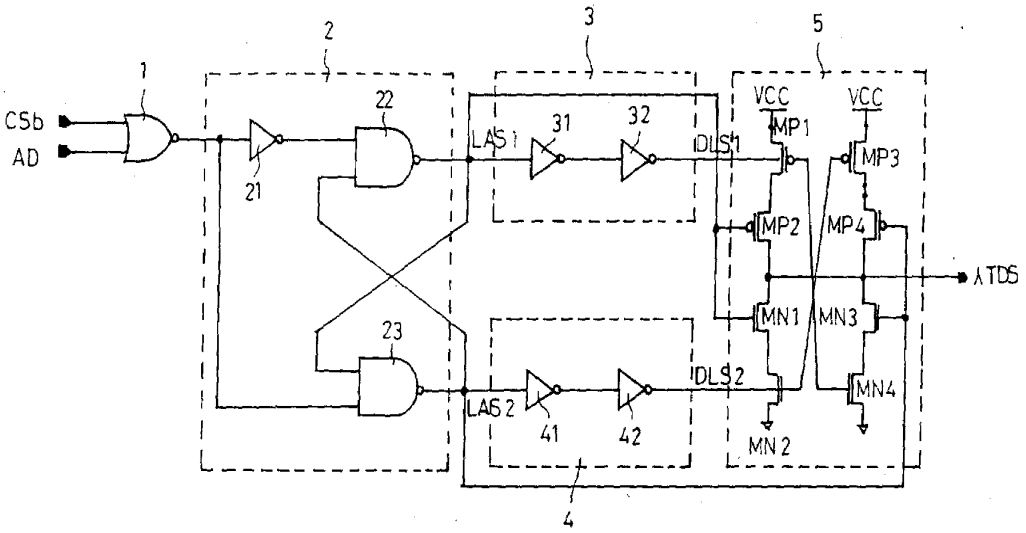
제1항에 있어서, 상기 래치는 상기 레벨 유지수단으로부터 출력되는 제1 레벨유지신호와 자신의 출력신호인 제2 래치신호를 낸딩하여 제1 래치신호를 출력하는 제1 낸드 게이트와, 상기 제 1낸드 게이트로부터 출력되는 제1 래치신호와 상기 레벨 유지수단으로부터 출력되는 제2 레벨유지신호를 낸딩하여 제2 래치신호를 출력하는 제2 낸드 게이트로 구성되는 것을 특징으로 하는 메모리의 어드레스 천이 검출회로.

청구항 4

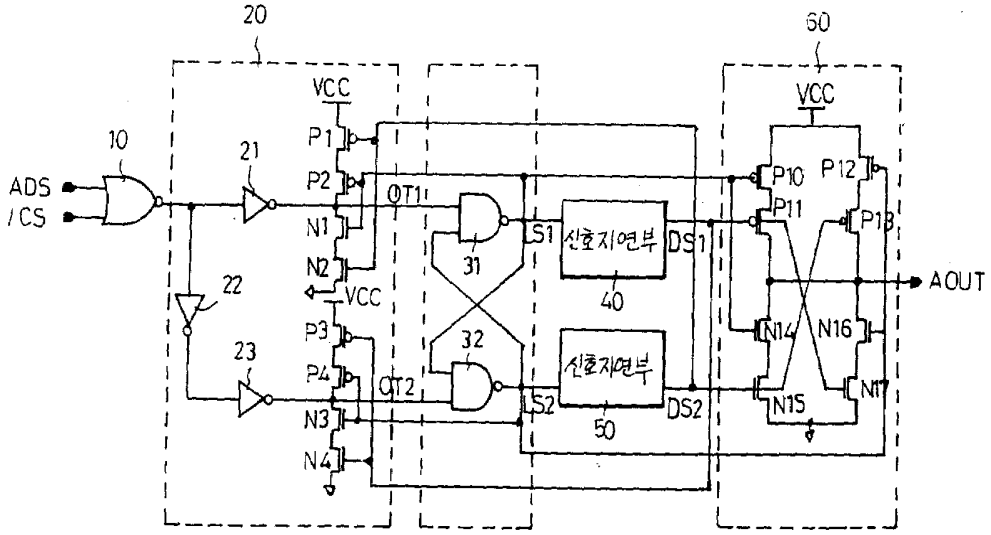
제1항에 있어서, 상기 신호 출력수단은 소스단자에 전원전압단자가 연결되고, 게이트단자에 상기 래치의 제1 래치신호라인이 연결되는 제1 피모스 트랜지스터와, 소스단자에 상기 제1 피모스 트랜지스터의 드레인단자가 연결되고, 게이트단자에 상기 제1 신호 지연수단의 제1 지연신호라인이 연결되는 제2 피모스 트랜지스터와, 드레인단자에 상기 제2 피모스 트랜지스터의 드레인단자가 연결되어 상기 어드레스천이 검출신호라인과 연결되고, 게이트단자에 상기 제1 피모스 트랜지스터의 게이트단자가 연결되는 제1 엔모스 트랜지스터와, 드레인단자에 상기 제1 엔모스 트랜지스터의 소스단자가 연결되고, 게이트단자에 상기 제2 신호 지연수단의 제2 지연신호라인이 연결되며, 소스단자에 접지단자가 연결되는 제2 엔모스 트랜지스터와, 소스단자에 상기 제1 피모스 트랜지스터의 소스단자가 연결되고, 게이트단자에 상기 래치의 제2 래치신호라인이 연결되는 제3 피모스 트랜지스터와, 소스단자에 상기 제3 피모스 트랜지스터의 드레인단자가 연결되고, 게이트단자에 상기 제2 엔모스 트랜지스터의 게이트단자가 연결되는 제4 피모스 트랜지스터와, 드레인단자에 상기 제4 피모스 트랜지스터의 드레인단자가 연결되어 상기 어드레스 천이 검출신호라인과 연결되고, 게이트단자에 상기 제3 피모스 트랜지스터의 게이트단자가 연결되는 제3 엔모스 트랜지스터와, 드레인단자에 상기 제3 엔모스 트랜지스터의 소스단자가 연결되고, 게이트단자에 상기 제2 피모스 트랜지스터의 게이트단자가 연결되며, 소스단자에 접지단자가 연결되는 제4 엔모스 트랜지스터(N17)로 구성되는 것을 특징으로 하는 메모리의 어드레스 천이 검출회로.

도면

도면1


CSb
AD
1
2
21
22
23
3
LAS1
31
32
IDLS1
LAS2
41
42
IDLS2
4
5
VCC
VCC
MP1
MP3
MP2
MP4
MN1
MN3
MN4
MN2
ATDS

도면2


20
60
10
ADS
/CS
21
22
23
VCC
P1
P2
N1
N2
VCC
P3
P4
N3
N4
OT1
OT2
31
32
LS1
LS2
신호지연부
40
신호지연부
50
DS1
DS2
VCC
P10
P12
P11
P13
N14
N16
N15
N17
AOUT

도면3

