

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4712301号  
(P4712301)

(45) 発行日 平成23年6月29日(2011.6.29)

(24) 登録日 平成23年4月1日(2011.4.1)

(51) Int. Cl.	F I	
HO 1 L 27/04 (2006.01)	HO 1 L 29/78	6 5 6 A
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 R
HO 1 L 21/76 (2006.01)	HO 1 L 29/78	6 5 2 T
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 6 B
HO 1 L 27/088 (2006.01)	HO 1 L 27/08	1 0 2 A
請求項の数 3 (全 9 頁) 最終頁に続く		

(21) 出願番号	特願2003-500972 (P2003-500972)	(73) 特許権者	000006013
(86) (22) 出願日	平成13年5月25日(2001.5.25)		三菱電機株式会社
(86) 国際出願番号	PCT/JP2001/004383		東京都千代田区丸の内二丁目7番3号
(87) 国際公開番号	W02002/097888	(74) 代理人	100062144
(87) 国際公開日	平成14年12月5日(2002.12.5)		弁理士 青山 稜
審査請求日	平成18年9月20日(2006.9.20)	(74) 代理人	100101454
			弁理士 山田 卓二
		(74) 代理人	100112911
			弁理士 中野 晴夫
		(72) 発明者	ゴーラブ・マジュムダール
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内
		(72) 発明者	波多江 慎治
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内
			最終頁に続く

(54) 【発明の名称】 電力用半導体装置

(57) 【特許請求の範囲】

【請求項1】

縦型MOSFETを含む複数のMOSFETが一の基板に形成された半導体装置であって、

対向する表面と裏面とを有する炭化ケイ素基板と、  
 該表面から該裏面に達するように設けられた分離領域と、  
 該分離領域の両側にそれぞれ設けられた第1及び第2のMOSFETとを含み、  
該第1のMOSFETが、第1導電型の上記炭化ケイ素基板と、該炭化ケイ素基板の上記表面側に設けられた第2導電型のボディ領域と、該ボディ領域中に設けられた第1導電型のドープ領域とを含む縦型MOSFETであり、

該第2のMOSFETが、第1導電型の上記炭化ケイ素基板と、該炭化ケイ素基板の上記裏面側に設けられた第2導電型のボディ領域と、該ボディ領域中に設けられた第1導電型のドープ領域とを含む縦型MOSFETであり、

それぞれの縦型MOSFETにおいて、該炭化ケイ素基板と該ドープ領域との間を流れる電流が、該ボディ領域上に形成されたゲート電極により制御されることを特徴とする半導体装置。

【請求項2】

更に、上記第1のMOSFETの上記炭化ケイ素基板が、上記裏面側に第1導電型の不純物濃度の高い領域を含み、

上記第2のMOSFETの上記炭化ケイ素基板が、上記表面側に第1導電型の不純物濃

度の高い領域を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

上記第 1 及び第 2 の MOSFET が、電力用の縦型パワー MOSFET であることを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

技術分野

本発明は、電力用半導体装置に関し、特に、縦型パワー MOSFET を用いた電力用半導体装置に関する。

背景技術

図 6 は、全体が 200 で示される、シリコン基板を用いた n チャネルの縦型パワー MOSFET の断面図である。 10

n 型のシリコン基板 201 上には、n 型のエピタキシャル層 202 が形成されている。エピタキシャル層 202 中には、2 つの p 型ボディ領域 203 が、拡散法を用いて形成されている。更に、それぞれのボディ領域 203 中に n 型ドープ領域 204 が形成されている。

n 型ドープ領域 204 上にはソース電極 205 が設けられている。また、エピタキシャル層 202 と n 型ドープ領域 204 とに挟まれたボディ領域 203 上には、絶縁層 206 を介してゲート電極 207 が設けられている。一方、n 型のシリコン基板 201 の裏面には、ドレイン電極 208 が設けられている。

縦型パワー MOSFET 200 では、ドレイン電極 208 からソース電極 205 に流れる電流を、ゲート電極 207 に印加する電圧により制御することができる。 20

縦型パワー MOSFET 200 では、ソース・ドレイン間耐圧は、p 型のボディ領域 203 と n 型のエピタキシャル層 202 との間の pn 接合のアバランシェ電圧により決まる。pn 接合近傍の電界が大きくなるとアバランシェ降伏が発生しやすくなるため、ボディ領域 203 とエピタキシャル層 202 の薄層化には限界がある。このため、縦型パワー MOSFET 200 の厚みは、通常 600 μm 程度である。

一方、p チャネル、n チャネルの 2 つの縦型パワー MOSFET が一の基板上に設けられた電力用半導体装置を形成する場合、MOSFET の表面から裏面に達する分離領域を設け、隣接する縦型パワー MOSFET の間を電気的に分離する必要がある。かかる分離領域は、MOSFET の表面から基板の裏面に達するように溝部を形成した後、溝部を酸化シリコン等で埋め込んで形成する。 30

しかしながら、例えば 600 μm である MOSFET の厚みに相当する深さの溝部を、細い溝幅で形成することは困難であった。このため、複数の縦型パワー MOSFET を一の基板上に形成することができず、個別に形成した縦型パワー MOSFET を用いて、電力用半導体装置を組み立てるしかなかった。

発明の開示

そこで、本発明は、縦型 MOSFET を含む複数の MOSFET が、一の基板上に形成された電力用半導体装置を提供することを目的とする。

これに対して、炭化ケイ素 (SiC) の絶縁破壊電界がシリコンの約 10 倍で、バンドギャップが 2 ~ 3 倍であることに着目し、シリコン基板に代えて炭化ケイ素基板を用いて縦型パワー MOSFET を形成することにより、MOSFET の膜厚をシリコン基板を用いた場合の膜厚よりも十分薄くできることを見出し、本発明を完成した。 40

即ち、本発明は、縦型 MOSFET を含む複数の MOSFET が同一基板上に形成された半導体装置であって、対向する表面と裏面とを有する炭化ケイ素基板と、該表面から該裏面に達するように設けられた分離領域と、該分離領域の両側にそれぞれ設けられた第 1 及び第 2 の MOSFET とを含むことを特徴とする半導体装置である。

シリコン基板に代えて炭化ケイ素基板を用いることにより、絶縁破壊電界が約 10 倍、バンドギャップが 2 ~ 3 倍となる。従って、基板とボディ領域との間の pn 接合における耐圧を低下させることなく、MOSFET の厚みを、シリコン基板を用いた場合より十分に薄くすることができる。これにより、隣接する MOSFET の間に分離領域を容易に形成 50

することができ、縦型MOSFETを含む複数のMOSFETを一の基板上に形成することができる。この結果、小型化、集積化された電力用半導体装置を提供することができる。

上記第1のMOSFETが、第1導電型の上記炭化ケイ素基板と、該炭化ケイ素基板の上記表面側に設けられた第2導電型のボディ領域と、該ボディ領域中に設けられた第1導電型のドープ領域とを含む縦型MOSFETであり、上記第2のMOSFETが、第2導電型の上記炭化ケイ素基板と、該炭化ケイ素基板の上記表面側に設けられた第1導電型のボディ領域と、該ボディ領域中に設けられた第2導電型のドープ領域とを含む縦型MOSFETであり、それぞれの縦型MOSFETにおいて、該炭化ケイ素基板と該ドープ領域との間を流れる電流が、該ボディ領域上に形成されたゲート電極により制御されることを特徴とする半導体装置でもある。

10

本発明によれば、このような2つの縦型MOSFETを、一の炭化ケイ素基板上に形成することが可能となる。

更に、上記第1のMOSFETの上記炭化ケイ素基板が、上記裏面側に第1導電型の不純物濃度の高い領域を含み、上記第2のMOSFETの上記炭化ケイ素基板が、上記裏面側に第2導電型の不純物濃度の高い領域を含むものであっても良い。

かかる不純物濃度の高い領域を含むことにより、炭化ケイ素基板とドレイン電極との間を、良好なオーミック接触とすることができる。

更に、上記第1及び第2のMOSFETの共通ドレイン電極が、上記炭化ケイ素基板の裏面を覆うように設けられたものであっても良い。

20

共通ドレイン電極を設けることにより、半導体装置の構造や製造工程を簡略化できるからである。

上記第1及び第2のMOSFETは、該MOSFETの間を接続する配線層を上記表面上に備えることが好ましい。

ボンディング等で別途配線を形成する構造に比較して、半導体装置の製造工程が簡略化できるとともに、プリント基板等への半導体装置の実装も容易に行うことができる。

また、本発明は、上記第1のMOSFETが、第1導電型の上記炭化ケイ素基板と、該炭化ケイ素基板の上記表面側に設けられた第2導電型のボディ領域と、該ボディ領域中に設けられた第1導電型のドープ領域とを含む縦型MOSFETであり、上記第2のMOSFETが、第1導電型の上記炭化ケイ素基板と、該炭化ケイ素基板の上記裏面側に設けられた第2導電型のボディ領域と、該ボディ領域中に設けられた第1導電型のドープ領域とを含む縦型MOSFETであり、それぞれの縦型MOSFETにおいて、該炭化ケイ素基板と該ドープ領域との間を流れる電流が、該ボディ領域上に形成されたゲート電極により制御されることを特徴とする半導体装置でもある。

30

本発明によれば、このような2つの縦型MOSFETを、一の炭化ケイ素基板上に形成することが可能となる。

更に、上記第1のMOSFETの上記炭化ケイ素基板が、上記裏面側に第1導電型の不純物濃度の高い領域を含み、上記第2のMOSFETの上記炭化ケイ素基板が、上記表面側に第1導電型の不純物濃度の高い領域を含むものであっても良い。

かかる不純物濃度の高い領域を含むことにより、炭化ケイ素基板とドレイン電極との間を、良好なオーミック接触とすることができる。

40

上記第1及び第2のMOSFETは、電力用の縦型パワーMOSFETでもある。

また、本発明は、上記第1のMOSFETが、第1導電型の上記炭化ケイ素基板と、該炭化ケイ素基板の上記表面側に設けられた第2導電型のボディ領域と、該ボディ領域中に設けられた第1導電型のドープ領域とを含む縦型MOSFETであり、上記第2のMOSFETが、第2導電型の上記炭化ケイ素基板と、該炭化ケイ素基板の上記表面側に設けられた第1導電型のソース領域及びドレイン領域とを含む横型MOSFETであり、該第1のMOSFETにおいて、該炭化ケイ素基板と該ドープ領域との間を流れる電流が、該ボディ領域上に形成されたゲート電極により制御され、該第2のMOSFETにおいて、該ソース領域とドレイン領域との間を流れる電流がゲート電極により制御されることを特徴と

50

する半導体装置でもある。

本発明によれば、このような縦型MOSFETと横型MOSFETとを、一の炭化ケイ素基板上に形成することが可能となる。

上記第2のMOSFETは、LDD構造の横型MOSFETであることが好ましい。

発明を実施するための最良の形態

(実施の形態1)

図1は、全体が100で示される、本発明の実施の形態1にかかる電力用半導体装置の断面図である。電力用半導体装置100は、一の炭化ケイ素(SiC)基板に形成されたnチャンネルMOSFET101とpチャンネルMOSFET102とを有する。これらのMOSFETは電力用のパワーMOSFETであり、ソース電極とドレイン電極とが異なる面に設けられた縦型の構造を有する。かかる縦型のパワーMOSFETには、例えば、DMOS(double diffused MOS)型FET、VMOS(V-shaped gate MOS)型FET、UMOS(U-shaped gate MOS)型FETがある。2つのMOSFET101、102の間は、分離領域103により分離されている。MOSFET101、102は、エンハンスメント型MOSFETとする。

nチャンネルMOSFET101では、 $n^+$ SiC層1に、 $n^-$ SiC層2が設けられている。 $n^-$ SiC層2中には、複数のpSiCボディ領域3が設けられ、また、pSiCボディ領域3の中には、nSiCドープ領域4が設けられている。

$n^-$ SiC層2とnSiCドープ領域4とに挟まれたpSiCボディ領域3上には、酸化シリコン等の絶縁膜5を介してゲート電極6が設けられている。ゲート電極6の下方のpSiCボディ領域3がチャンネル領域となる。

また、nSiCドープ領域4上には、ソース電極7が設けられている。更に、複数のpSiCボディ領域3を囲むように、pガードリング領域8が設けられている。

一方、pチャンネルMOSFET102は、不純物の型が異なる以外はnチャンネルMOSFET101と同じ構造である。

即ち、 $p^+$ SiC層11に、 $p^-$ SiC層12が設けられ、 $p^-$ SiC層12中には、複数のnSiCボディ領域13が設けられ、更に、nSiCボディ領域3の中には、pSiCドープ領域14が設けられている。 $p^-$ SiC層12とpSiCドープ領域14とに挟まれたnSiCボディ領域13上には、絶縁膜15を介してゲート電極16が設けられ、また、pSiCドープ領域14上には、ソース電極17が設けられている。更に、複数のnSiCボディ領域13を囲むように、nガードリング領域18が設けられている。

2つのMOSFET101、102の間には、MOSFETの表面から裏面に達するように酸化シリコン等の絶縁領域106からなる分離領域103が設けられ、MOSFET101、102の間が絶縁されている。また、MOSFET101、102の裏面には、2つのMOSFET101、102の共通のドレイン電極104が設けられている。更に、MOSFET101、102の表面には、窒化シリコン等からなる保護膜105が部分的に設けられている。

MOSFET101、102はSiCから形成されているため、 $n^-$ SiC層2とpSiCボディ領域3との間のpn接合、 $p^-$ SiC層12とnSiCボディ領域13との間のpn接合における絶縁破壊電界は、図6に示すシリコン基板を用いたMOSFET200の約10倍となり、バンドギャップもシリコン基板を用いた場合の2~3倍となる。従って、MOSFET101、102の膜厚tを、MOSFET200と比較して十分に薄くしても、pn接合における耐圧は、MOSFET200と同程度に維持できる。ここでは、膜厚tは、MOSFET200の膜厚の約50分の1の約10 $\mu$ mとする。

次に、電力用半導体装置100の製造方法について、簡単に説明する。

最初に、ノンドープSiC基板を準備し、結晶成長技術を用いて、その上にノンドープSiC層を形成して膜厚をtとする。

次に、例えば窒素をドーパントに用いたイオン注入法により、nチャンネルMOSFET101の形成領域に、 $n^+$ SiC層1、 $n^-$ SiC層2を形成する。同様に、例えばホウ素をドーパントに用いたイオン注入法により、pチャンネルMOSFET102の形成領域に

10

20

30

40

50

、 $p^+SiC$ 層11、 $p^-SiC$ 層12を形成する。

次に、ノンドープSiC基板の裏面に、ドレイン電極104を形成する。

次に、リソグラフィ技術とドライエッチング技術を用いて、2つのMOSFET101、102の形成領域の間に、溝部を形成する。溝部は、MOSFET101、102の表面側から、ドレイン電極104が露出するように形成する。溝部の幅(2つのMOSFETの間隔)は $100\mu m$ 、深さは $10\mu m$ とする。続いて、熱CVD法を用いて、溝部を埋め込むように酸化シリコン等の絶縁領域106を形成する。これにより、2つのMOSFET101、102の間に分離領域103が形成される。

このように、本実施の形態1では、MOSFET101、102をシリコン基板に代えてSiC基板に形成するため、シリコン基板を用いた場合に比べて膜厚 $t$ を10分の1程度にすることができる。このため、溝部のアスペクト比が小さくなり、シリコン基板を用いた場合には困難であった溝部の形成が容易になる。

次に、イオン注入技術を用いて、 $pSiC$ ボディ領域3、 $nSiC$ ドープ領域4、 $nSiC$ ボディ領域13、 $pSiC$ ドープ領域14を形成し、更に、ゲート電極6、16、ドレイン電極7、17、配線層(図示せず)等を形成する。これにより、一のSiC基板上にnチャンネルMOSFET101と、pチャンネルMOSFET102とが集積形成された電力用半導体装置100が完成する。

なお、ノンドープSiC基板上にノンドープSiC層を成長させて膜厚を $t$ にする代わりに、最初から膜厚 $t$ のノンドープSiC基板を用いてもかまわない。

図2は、図1に示す電力用半導体装置100の回路図である。

電力用半導体装置100では、上アームスイッチング素子にpチャンネルMOSFET102が用いられ、下アームスイッチング素子にnチャンネルMOSFET101が用いられている。

pチャンネルMOSFET102のソース $S_2$ 、nチャンネルMOSFET101のソース $S_1$ はそれぞれP母線、N母線に接続されている。また、 $D_1$ 、 $D_2$ は、Outとして外部に設けられた負荷に接続されている。MOSFET101、102のゲート $G_1$ 、 $G_2$ を交互にオンにすることにより、負荷がN母線とP母線とに交互に接続される。 $G_1$ 、 $G_2$ には別々に信号を入力して制御してもよいし、一の制御信号を入力するCMOS型としてもかまわない。なお、ソースとドレインの間に設けられるフリーホイーリングダイオード(FWDi)には、寄生ダイオードが用いられる。

かかる電力用半導体装置100を例えば3つ用いることにより、3相インバータのフェイズスイッチを形成することができる。

(実施の形態2)

図3は、全体が150で示される、本発明の実施の形態2にかかる電力用半導体装置の断面図である。図3中、図1と同一符号は、同一又は相当箇所を示す。電力用半導体装置150では、2つのnチャンネルMOSFET101a、101bが、一のSiC基板上に集積形成されている。MOSFET101a、101bは、高出力の縦型パワーMOSFETである。

図3に示すように、MOSFET101aは表面が素子形成面となり、裏面にドレイン電極104が設けられている。一方、MOSFET101bは裏面が素子形成面となり、表面にドレイン電極107が設けられている。MOSFET101aと101bとの間は、分離領域103により電氣的に分離されている。

電力用半導体装置150の製造工程では、まず、膜厚 $t$ のノンドープSiC基板を準備し、ドレイン電極104を形成した後に、実施の形態1と同様の方法で分離領域103を形成する。

次に、MOSFET101a形成領域には表面からn型イオンを注入し、一方、MOSFET101b形成領域には裏面からn型イオンを注入し、それぞれ $n^+SiC$ 層1、 $n^-SiC$ 層2を形成する。

次に、同じく実施の形態1と同様の方法で、 $pSiC$ ボディ領域3、 $nSiC$ ドープ領域4、ゲート電極6、ソース電極7等を形成し、電力用半導体装置150が完成する。

10

20

30

40

50

電力用半導体装置 150 においても、膜厚  $t$  は  $10\ \mu\text{m}$  程度であり、容易に分離領域 103 を形成することができる。

図 4 は、図 3 に示す電力用半導体装置 150 の回路図である。

電力用半導体装置 150 では、上アームスイッチング素子、下アームスイッチング素子の双方に  $n$  チャネル MOSFET 101b、101a が用いられている。MOSFET 101a、101b は共にエンハンスメント型とする。

$n$  チャネル MOSFET 101b のドレイン D3、 $n$  チャネル MOSFET 101a のソース S4 はそれぞれ P 母線、N 母線に接続されている。また、S3、D4 は、Out として外部に設けられた負荷に接続されている。MOSFET 101a、101b のゲート G4、G3 を交互にオンにすることにより、負荷が、P 母線と N 母線に交互に接続される。図 2 に示す回路図と同様に、フリーホイーリングダイオードには、寄生ダイオードが用いられる。

10

(実施の形態 3)

図 5 は、全体が 160 で示される、本発明の実施の形態 3 にかかる電力用半導体装置の断面図である。図 5 中、図 1 と同一符号は、同一又は相当箇所を示す。

電力用半導体装置 160 では、2 つの  $n$  チャネル MOSFET 101c、101d が、一の SiC 基板上に集積形成されている。MOSFET 101c は高出力の縦型パワー MOSFET であり、MOSFET 101d はオフセットゲート型の横型 MOSFET である。

$n$  チャネル MOSFET 101c では、 $n^+$  SiC 層 1 に、 $n^-$  SiC 層 2 が設けられている。 $n^-$  SiC 層 2 中には、複数の p SiC ボディ領域 3 が設けられ、また、p SiC ボディ領域 3 の中には、 $n$  SiC ドープ領域 4 が設けられている。

20

$n^-$  SiC 層 2 と  $n$  SiC ドープ領域 4 とに挟まれた p SiC ボディ領域 3 上には、酸化シリコン等の絶縁膜 5 を介してゲート電極 6 が設けられている。ゲート電極 6 の下方の p SiC ボディ領域 3 がチャンネル領域となる。また、 $n$  SiC ドープ領域 4 上にはソース電極 7 が設けられ、 $n^+$  SiC 層 1 の裏面にはドレイン電極 104 が設けられている。

一方、オフセットゲート型の MOSFET 101d では、 $p^+$  SiC 層 11 に、 $p^-$  SiC 層 12 が設けられている。 $p^-$  SiC 層 12 中には、 $n^+$  SiC ソース/ドレイン領域 20 と  $n^+$  SiC 領域 21 とが設けられ、LDD 構造となっている。 $n^+$  SiC 領域 21 の間には  $p^+$  SiC 領域 22 が設けられている。

30

$p^+$  SiC 領域 22 上には、酸化シリコン等の絶縁膜 25 を介してゲート電極 26 が設けられ、その上に  $\text{SiO}_2$  等の絶縁膜 27 が設けられている。また、 $n^+$  SiC ソース/ドレイン領域 20 上には、ドレイン電極 23、ソース電極 24 が設けられている。

2 つの MOSFET 101c、101d の間には、MOSFET の表面から裏面に達するように酸化シリコン等の絶縁領域 106 からなる分離領域 103 が設けられ、MOSFET 101c、101d の間が絶縁されている。また、MOSFET 101c、101d の表面には、窒化シリコン等からなる保護膜 105 が部分的に設けられている。

電力用半導体装置 160 の製造方法では、最初に、 $n$  ドープ SiC 基板を準備し、結晶成長技術を用いて、その上に  $n$  ドープ SiC 層を形成して膜厚を  $t$  とする。

次に、実施の形態 1 と同様に、例えば窒素をドーパントに用いたイオン注入法により、 $n$  チャネル MOSFET 101 の形成領域に、 $n^+$  SiC 層 1、 $n^-$  SiC 層 2 を形成し、更に、例えばホウ素をドーパントに用いたイオン注入法により、 $p$  チャネル MOSFET 102 の形成領域に、 $p^+$  SiC 層 11、 $p^-$  SiC 層 12 を形成する。

40

次に、 $n$  ドープ SiC 基板の裏面に、ドレイン電極 104 を形成した後、MOSFET 101c、101d の間に、酸化シリコン等の絶縁領域 106 からなる分離領域 103 が形成される。

次に、実施の形態 1 と同じ製造工程を用いて MOSFET 101c が形成される。また、通常の LDD 構造の横型 MOSFET の製造工程を用いて MOSFET 101d が形成される。

このように、本実施の形態 3 では、MOSFET 101c、101d をシリコン基板に代

50

えてSiC基板に形成するため、シリコン基板を用いた場合に比べて膜厚tを10分の1程度にすることができる。このため、溝部のアスペクト比が小さくなり、シリコン基板を用いた場合には困難であった溝部の形成が容易になる。

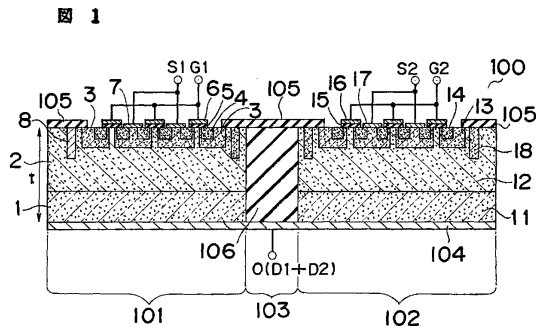
なお、ノンドープSiC基板上にノンドープSiC層を成長させて膜厚をtにする代わりに、最初から膜厚tのノンドープSiC基板を用いてもかまわない。産業上の利用の可能性

本発明は、複数の縦型パワーMOSFETからなる電力用半導体装置を提供するものであり、高電圧、高電流インバータのフェイズスイッチング素子等として使用することができる。

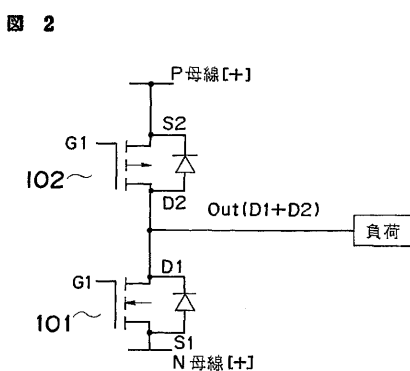
【図面の簡単な説明】

図1は、本発明の実施の形態1にかかる電力用半導体装置の断面図である。  
 図2は、本発明の実施の形態1にかかる電力用半導体装置の回路図である。  
 図3は、本発明の実施の形態2にかかる電力用半導体装置の断面図である。  
 図4は、本発明の実施の形態2にかかる電力用半導体装置の回路図である。  
 図5は、本発明の実施の形態3にかかる電力用半導体装置の断面図である。  
 図6は、従来の縦型パワーMOSFETの断面図である。

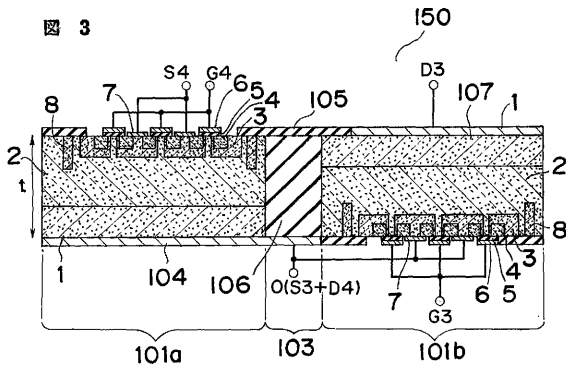
【図1】



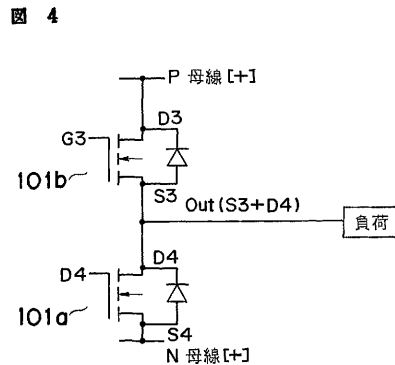
【図2】



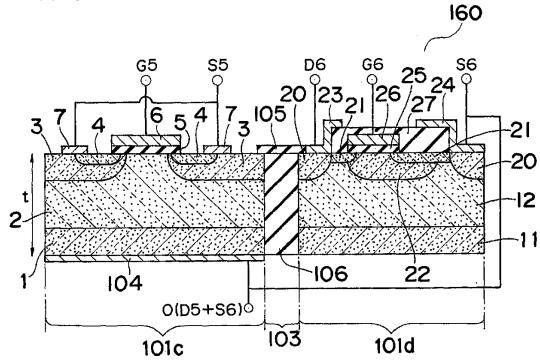
【図3】



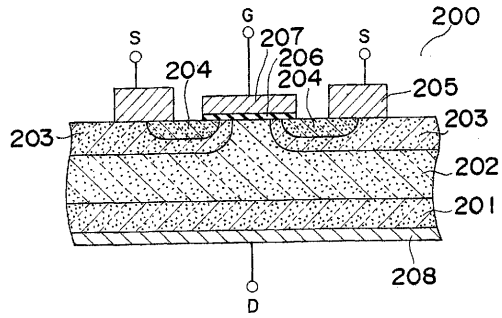
【図4】



【 図 5 】  
図 5



【 図 6 】  
図 6



---

フロントページの続き

(51)Int.Cl. F I

**H 0 1 L 21/8234 (2006.01)**

(72)発明者 山本 晃央  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 恩田 春香

(56)参考文献 実開平03-038638(JP,U)  
特開平07-170797(JP,A)  
特開平10-321854(JP,A)  
特開昭62-136867(JP,A)  
特開昭59-138364(JP,A)  
特開2001-093985(JP,A)  
特開平06-204331(JP,A)  
特開平01-300568(JP,A)  
特開昭64-057674(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 21/336