(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118355443 A
(43)申请公布日 2024.07.16

(21)申请号 202280080399.1
(22)申请日 2022.11.24
(30)优先权数据
2021-199650 2021.12.08 JP
(85)PCT国际申请进入国家阶段日
2024.06.04
(86)PCT国际申请的申请数据
PCT/JP2022/043303 2022.11.24
(87)PCT国际申请的公布数据
WO2023/106105 JA 2023.06.15
(71)申请人 新唐科技日本株式会社
地址 日本
(72)发明人 本谷笃志
(74)专利代理机构 永新专利商标代理有限公司 72002
专利代理师 安香子
(51)Int.Cl.
G11C 5/14(2006.01)
G11C 11/417(2006.01)

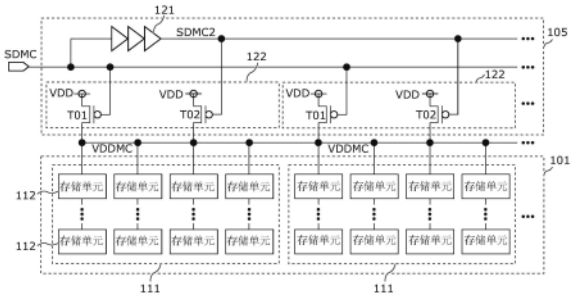
权利要求书3页 说明书17页 附图14页

(54)发明名称

半导体存储装置以及控制方法

(57)摘要

提供一种半导体存储装置(100),具备:多个存储单元(112)、第1电源线(VDD)、第2电源线(VDDMC)、并联连接在第1电源线(VDD)与第2电源线(VDDMC)之间的第1晶体管(T01)和第2晶体管(T02)、以及电源控制电路(105),该电源控制电路(105)根据用于对第1模式(通常模式)与第2模式(低功耗模式)进行切换的第1信号(SDMC),(i)在第2模式时,使第1晶体管(T01)和第2晶体管(T02)截止,(ii)在从第2模式向第1模式切换时,使第1晶体管(T01)导通,在使第1晶体管(T01)导通后,使第2晶体管(T02)导通,第1模式是将电源电压供给到多个存储单元(112)的模式,第2模式是不将电源电压供给到多个存储单元(112)的模式。



CN 118355443 A

1.一种半导体存储装置,具备:

多个存储单元;

被供给电源电压的第1电源线;

作为所述多个存储单元的电源电压线的第2电源线;

并联连接在所述第1电源线与所述第2电源线之间的第1晶体管和第2晶体管;以及

控制电路,根据用于对第1模式与第2模式进行切换的第1信号,(i)在所述第2模式时,使所述第1晶体管和第2晶体管截止,(ii)在从所述第2模式向所述第1模式切换时,使所述第1晶体管导通,在所述第1晶体管导通后使所述第2晶体管导通,所述第1模式是将所述电源电压供给到所述多个存储单元的模式,所述第2模式是不将所述电源电压供给到所述多个存储单元的模式。

2.如权利要求1所述的半导体存储装置,

所述第2晶体管比所述第1晶体管的驱动能力高。

3.如权利要求1或2所述的半导体存储装置,

所述控制电路包括延迟电路,该延迟电路通过使所述第1信号延迟,来生成第2信号,

在所述第1晶体管的控制端子被提供所述第1信号,

在所述第2晶体管的控制端子被提供所述第2信号。

4.如权利要求3所述的半导体存储装置,

所述半导体存储装置包括多个内存块,所述多个内存块的每一个包括所述多个存储单元,

所述第1晶体管和所述第2晶体管被设置在所述多个内存块的每一个,

在所述延迟电路生成的所述第2信号被提供到如下的控制端子,所述控制端子是被设置在所述多个内存块中的两个以上的内存块的两个以上的所述第2晶体管的控制端子。

5.如权利要求1或2所述的半导体存储装置,

所述控制电路进行如下工作:

对所述第2电源线的电压进行检测,

在从所述第2模式向所述第1模式切换时,在使所述第1晶体管导通后且所述第2电源线的电压达到预先决定的电压的情况下,使所述第2晶体管导通。

6.如权利要求1或2所述的半导体存储装置,

所述半导体存储装置具备写入辅助电路,

所述写入辅助电路使向所述多个存储单元进行数据写入时的所述第2电源线的电压,低于进行所述数据写入以外的期间中的所述第2电源线的电压,

所述第1晶体管和所述第2晶体管包括在所述写入辅助电路中,

所述第1晶体管和所述第2晶体管的一方在所述数据写入时被截止。

7.一种半导体存储装置,具备:

多个存储单元;

与所述多个存储单元连接的第1位线;

与所述第1位线连接的第1预充电电路和第2预充电电路;以及

控制电路,根据用于对第1模式与第2模式进行切换的第1信号,(i)在所述第2模式时,使所述第1预充电电路和第2预充电电路断开,(ii)在从所述第2模式向所述第1模式切换

时,使所述第1预充电电路接通,在所述第1预充电电路接通后使所述第2预充电电路接通,所述第1模式是对所述第1位线进行预充电的模式,所述第2模式是对所述第1位线不进行预充电的模式。

8.如权利要求7所述的半导体存储装置,

所述第2预充电电路比所述第1预充电电路的驱动能力高。

9.如权利要求7或8所述的半导体存储装置,

所述控制电路包括延迟电路,该延迟电路通过使所述第1信号延迟,来生成第2信号,

所述第1预充电电路基于所述第1信号,而被切换成接通或断开,

所述第2预充电电路基于所述第2信号,而被切换成接通或断开。

10.如权利要求9所述的半导体存储装置,

所述半导体存储装置包括多个内存块,所述多个内存块的每一个包括所述多个存储单元,

所述第1预充电电路和所述第2预充电电路被设置在所述多个内存块的每一个,

在所述延迟电路生成的所述第2信号被提供到设置在所述多个内存块中的两个以上的内存块的两个以上的所述第2预充电电路。

11.如权利要求7或8所述的半导体存储装置,

所述控制电路进行如下工作:

对所述第1位线的电压进行检测,

在从所述第2模式向所述第1模式切换时,在使所述第1预充电电路接通后且所述第1位线的电压达到预先决定的电压的情况下,使所述第2预充电电路接通。

12.如权利要求7或8所述的半导体存储装置,

所述半导体存储装置进一步具备与所述多个存储单元连接的第2位线,

所述第1预充电电路具备:

第1晶体管,其源极和漏极的一方与所述第1位线连接,栅极与所述第2位线连接,以及

第2晶体管,其源极和漏极的一方与所述第2位线连接,栅极与所述第1位线连接。

13.一种控制方法,是具备多个存储单元、第1晶体管以及第2晶体管的半导体存储装置的控制方法,

在该控制方法中,

具有将电源电压供给到所述多个存储单元的第1模式、以及不将所述电源电压供给到所述多个存储单元的第2模式,

在从所述第2模式向所述第1模式切换时的第1期间中,经由所述第1晶体管向所述多个存储单元供给所述电源电压,在所述第1期间之后的第2期间中,经由所述第1晶体管和所述第2晶体管向所述多个存储单元供给所述电源电压。

14.一种控制方法,是具备多个存储单元、与所述多个存储单元连接的位线、第1预充电电路以及第2预充电电路的半导体存储装置的控制方法,

在该控制方法中,

具有对所述位线进行预充电的第1模式、以及对所述位线不进行预充电的第2模式,

在从所述第2模式向所述第1模式切换时的第1期间中,由所述第1预充电电路对所述位线进行预充电,在所述第1期间之后的第2期间中,由所述第1预充电电路和所述第2预充电

电路对所述位线进行预充电。

半导体存储装置以及控制方法

技术领域

[0001] 本公开涉及半导体存储装置以及控制方法。

背景技术

[0002] 在SRAM(Static Random Access Memory:静态随机存取存储器)等半导体存储装置中,在电路块为待机状态的情况下,通过切断电源来抑制消耗电流的技术是众所周知的。并且,在从该待机状态的恢复中存在的课题是峰值电流的增加。对此,通过进行对多个电路块按照时间序列来依次启动等控制,来抑制峰值电流的技术也是以往就有的(例如,参照专利文献1以及专利文献2)。

[0003] (现有技术文献)

[0004] (专利文献)

[0005] 专利文献1:日本专利第5580751号公报

[0006] 专利文献2:日本专利第6578413号公报

发明内容

[0007] 发明要解决的课题

[0008] 在对多个电路块进行按时间序列来依次启动等控制的情况下,会担心控制的复杂化、或电路面积的增加等。

[0009] 于是,本公开的目的在于提供一种既能够抑制峰值电流,又能够抑制伴随于此的控制的复杂化、或电路面积的增加的半导体存储装置以及控制方法。

[0010] 用于解决课题的手段

[0011] 本公开的一个方式所涉及的半导体存储装置具备:多个存储单元;被供给电源电压的第1电源线;作为所述多个存储单元的电源电压线的第2电源线;并联连接在所述第1电源线与所述第2电源线之间的第1晶体管和第2晶体管;以及控制电路,根据用于对第1模式与第2模式进行切换的第1信号,(i)在所述第2模式时,使所述第1晶体管和第2晶体管截止,(ii)在从所述第2模式向所述第1模式切换时,使所述第1晶体管导通,在所述第1晶体管导通后使所述第2晶体管导通,所述第1模式是将所述电源电压供给到所述多个存储单元的模式,所述第2模式是不将所述电源电压供给到所述多个存储单元的模式。

[0012] 本公开的一个方式所涉及的半导体存储装置具备:多个存储单元;与所述多个存储单元连接的第1位线;与所述第1位线连接的第1预充电电路和第2预充电电路;以及控制电路,根据用于对第1模式与第2模式进行切换的第1信号,(i)在所述第2模式时,使所述第1预充电电路和第2预充电电路断开,(ii)在从所述第2模式向所述第1模式切换时,使所述第1预充电电路接通,在所述第1预充电电路接通后使所述第2预充电电路接通,所述第1模式是对所述第1位线进行预充电的模式,所述第2模式是对所述第1位线不进行预充电的模式。

[0013] 另外,这些概括性的或具体的方式可以由系统、方法、或集成电路来实现,也可以由系统、方法、以及集成电路的任意组合来实现。

[0014] 发明效果

[0015] 本公开能够提供一种既能够抑制峰值电流,又能够抑制伴随于此的控制的复杂化、或电路面积的增加的半导体存储装置以及控制方法。

附图说明

[0016] 图1是实施方式1所涉及的半导体存储装置的方框图。

[0017] 图2示出了实施方式1所涉及的电源控制电路以及存储单元阵列的构成。

[0018] 图3是实施方式1所涉及的存储单元的电路图。

[0019] 图4是关于实施方式1所涉及的电源控制电路的定时图。

[0020] 图5示出了实施方式1所涉及的电源控制电路的变形例的构成。

[0021] 图6是关于实施方式1所涉及的电源控制电路的变形例的定时图。

[0022] 图7是实施方式2所涉及的半导体存储装置的方框图。

[0023] 图8示出了实施方式2所涉及的写入辅助电路的构成。

[0024] 图9示出了实施方式2所涉及的列电路的构成。

[0025] 图10是关于实施方式2所涉及的写入辅助电路的定时图。

[0026] 图11是实施方式3所涉及的半导体存储装置的方框图。

[0027] 图12示出了实施方式3所涉及的I/O电路的构成。

[0028] 图13是关于实施方式3的I/O电路的定时图。

[0029] 图14示出了实施方式3所涉及的I/O电路的变形例1的构成。

[0030] 图15是关于实施方式3的I/O电路的变形例1的定时图。

[0031] 图16示出了实施方式3所涉及的I/O电路的变形例2的构成。

具体实施方式

[0032] 本公开的一个方式所涉及的半导体存储装置具备:多个存储单元;被供给电源电压的第1电源线;作为所述多个存储单元的电源电压线的第2电源线;并联连接在所述第1电源线与所述第2电源线之间的第1晶体管和第2晶体管;以及控制电路,根据用于对第1模式与第2模式进行切换的第1信号,(i)在所述第2模式时,使所述第1晶体管和第2晶体管截止,(ii)在从所述第2模式向所述第1模式切换时,使所述第1晶体管导通,在所述第1晶体管导通后使所述第2晶体管导通,所述第1模式是将所述电源电压供给到所述多个存储单元的模式,所述第2模式是不将所述电源电压供给到所述多个存储单元的模式。

[0033] 据此,在该半导体存储装置中,在从第2模式向第1模式切换时,通过使第1晶体管导通,并在此之后使第2晶体管导通,从而能够抑制伴随电源恢复而出现的峰值电流。并且,与对多个电路块按时间序列进行控制的情况等相比,能够抑制控制的复杂化。

[0034] 例如也可以是,所述第2晶体管比所述第1晶体管的驱动能力高。

[0035] 据此,能够有效地抑制峰值电流。

[0036] 例如也可以是,所述控制电路包括延迟电路,该延迟电路通过使所述第1信号延迟,来生成第2信号,在所述第1晶体管的控制端子被提供所述第1信号,在所述第2晶体管的控制端子被提供所述第2信号。

[0037] 据此,能够以简易的构成来控制第1晶体管以及第2晶体管。

[0038] 例如也可以是,所述半导体存储装置包括多个内存块,所述多个内存块的每一个包括所述多个存储单元,所述第1晶体管和所述第2晶体管被设置在所述多个内存块的每一个,在所述延迟电路生成的所述第2信号被提供到如下的控制端子,所述控制端子是被设置在所述多个内存块中的两个以上的内存块的两个以上的所述第2晶体管的控制端子。

[0039] 据此,由于能够在多个内存块共享延迟电路,因此能够减小电路面积。

[0040] 例如也可以是,所述控制电路对所述第2电源线的电压进行检测,在从所述第2模式向所述第1模式切换时,在使所述第1晶体管导通后且所述第2电源线的电压达到预先决定的电压的情况下,使所述第2晶体管导通。

[0041] 据此,能够高精度地控制第1晶体管以及第2晶体管。

[0042] 例如也可以是,所述半导体存储装置具备写入辅助电路,所述写入辅助电路使向所述多个存储单元进行数据写入时的所述第2电源线的电压,低于进行所述数据写入以外的期间中的所述第2电源线的电压,所述第1晶体管和所述第2晶体管包括在所述写入辅助电路中,所述第1晶体管和所述第2晶体管的一方在所述数据写入时被截止。

[0043] 据此,由于写入辅助电路中使用的晶体管能够兼用作第1晶体管以及第2晶体管,因此能够抑制电路面积的增加。

[0044] 例如,本公开的一个方式所涉及的半导体存储装置具备:多个存储单元;与所述多个存储单元连接的第1位线;与所述第1位线连接的第1预充电电路和第2预充电电路;以及控制电路,根据用于对第1模式与第2模式进行切换的第1信号,(i)在所述第2模式时,使所述第1预充电电路和第2预充电电路断开,(ii)在从所述第2模式向所述第1模式切换时,使所述第1预充电电路接通,在所述第1预充电电路接通后使所述第2预充电电路接通,所述第1模式是对所述第1位线进行预充电的模式,所述第2模式是对所述第1位线不进行预充电的模式。

[0045] 据此,在该半导体存储装置中,在从第2模式向第1模式切换时,通过使第1预充电电路接通,并在此之后使第2预充电电路接通,从而能够抑制伴随电源恢复而出现的峰值电流。并且,与对多个电路块按时间序列进行控制的情况等相比,能够抑制控制的复杂化。

[0046] 例如也可以是,所述第2预充电电路比所述第1预充电电路的驱动能力高。

[0047] 据此,能够有效地抑制峰值电流。

[0048] 例如也可以是,所述控制电路包括延迟电路,该延迟电路通过使所述第1信号延迟,来生成第2信号,所述第1预充电电路基于所述第1信号,而被切换成接通或断开,所述第2预充电电路基于所述第2信号,而被切换成接通或断开。

[0049] 据此,能够以简易的构成来控制第1预充电电路以及第2预充电电路。

[0050] 例如也可以是,所述半导体存储装置包括多个内存块,所述多个内存块的每一个包括所述多个存储单元,所述第1预充电电路和所述第2预充电电路被设置在所述多个内存块的每一个,在所述延迟电路生成的所述第2信号被提供到设置在所述多个内存块中的两个以上的内存块的两个以上的所述第2预充电电路。

[0051] 据此,由于能够在多个内存块共享延迟电路,因此能够减小电路面积。

[0052] 例如也可以是,所述控制电路对所述第1位线的电压进行检测,在从所述第2模式向所述第1模式切换时,在使所述第1预充电电路接通后且所述第1位线的电压达到预先决定的电压的情况下,使所述第2预充电电路接通。

[0053] 据此,能够高精度地控制第1预充电电路以及第2预充电电路。

[0054] 例如也可以是,所述半导体存储装置进一步具备与所述多个存储单元连接的第2位线,所述第1预充电电路具备:第1晶体管,其源极和漏极的一方与所述第1位线连接,栅极与所述第2位线连接,以及第2晶体管,其源极和漏极的一方与所述第2位线连接,栅极与所述第1位线连接。

[0055] 据此,由于能够将用于保持第1位线以及第2位线的电压的电路兼用作第1预充电电路,因此能够抑制电路面积的增加。

[0056] 并且,本公开的一个方式所涉及的控制方法是具备多个存储单元、第1晶体管以及第2晶体管的半导体存储装置的控制方法,在该控制方法中,具有将电源电压供给到所述多个存储单元的第1模式、以及不将所述电源电压供给到所述多个存储单元的第2模式,在从所述第2模式向所述第1模式切换时的第1期间中,经由所述第1晶体管向所述多个存储单元供给所述电源电压,在所述第1期间之后的第2期间中,经由所述第1晶体管和所述第2晶体管向所述多个存储单元供给所述电源电压。

[0057] 据此,在该半导体存储装置中,在从第2模式向第1模式切换时,通过经由第1晶体管进行电源电压的供给,并在此之后经由第1晶体管以及第2晶体管进行电源电压的供给,从而能够抑制伴随电源恢复而出现的峰值电流。并且,与对多个电路块按时间序列进行控制的情况等相比,能够抑制控制的复杂化。

[0058] 并且,本公开的一个方式所涉及的控制方法是具备多个存储单元、与所述多个存储单元连接的位线、第1预充电电路以及第2预充电电路的半导体存储装置的控制方法,在该控制方法中,具有对所述位线进行预充电的第1模式、以及对所述位线不进行预充电的第2模式,在从所述第2模式向所述第1模式切换时的第1期间中,由所述第1预充电电路对所述位线进行预充电,在所述第1期间之后的第2期间中,由所述第1预充电电路和所述第2预充电电路对所述位线进行预充电。

[0059] 据此,在该半导体存储装置中,在从第2模式向第1模式切换时,通过由第1预充电电路来进行位线的预充电,并在此之后由第1预充电电路以及第2预充电电路进行位线的预充电,从而能够抑制伴随电源恢复而出现的峰值电流。并且,与对多个电路块按时间序列进行控制的情况等相比,能够抑制控制的复杂化。

[0060] 另外,这些概括性的或具体的方式可以由系统、方法、或集成电路来实现,也可以由系统、方法、以及集成电路的任意组合来实现。

[0061] 以下,参照附图对实施方式进行具体地说明。另外,以下将要说明的实施方式均为示出本公开的一个具体例子。以下的实施方式所示的数值、形状、材料、构成要素、构成要素的配置位置以及连接方式、步骤、步骤的顺序等均为一个例子,其主旨并非是对本公开进行限定。并且,对于以下的实施方式的构成要素中没有记载在独立技术方案中的构成要素将作为任意的构成要素来说明。

[0062] (实施方式1)

[0063] 在本实施方式中,对抑制在从低功耗模式恢复到通常模式时的峰值电流的半导体存储装置进行说明。在此,峰值电流是指瞬间流动的电流的最大值。并且,由于峰值电流增大则会发生电源噪声,因此会出现其他的逻辑电路等进行误工作的可能性增加的问题。

[0064] 图1是本实施方式所涉及的半导体存储装置100的方框图。该半导体存储装置100

是SRAM,具备:存储单元阵列101、行解码器102、I/O电路103、控制电路104、以及电源控制电路105。

[0065] 另外,在此虽然以半导体存储装置100是SRAM为例进行说明,不过半导体存储装置100也可以是DRAM(Dynamic Random Access Memory:动态随机存取存储器)等其他的RAM(Random Access Memory:随机存取存储器)。并且,半导体存储装置100也可以是闪存等非易失性存储器。

[0066] 另外,半导体存储装置100例如作为集成电路即LSI(Large Scale Integrated Circuit:大规模集成电路)来实现。这些可以单独地制成一个芯片,也可以将其中的一部分或全部制成一个芯片。并且,半导体存储装置100也可以是包括在LSI中的一个功能块。

[0067] 存储单元阵列101具备被配置成矩阵状的多个存储单元112,每一个存储单元112保持1比特的数据。行解码器102进行被配置成矩阵状的多个存储单元112的行选择。I/O电路103进行向存储单元阵列101的数据写入以及存储单元阵列101中保持的数据的读出。

[0068] 电源控制电路105对是否向存储单元阵列101供给电源电压(以下也记作电源供给)进行切换。

[0069] 在此,半导体存储装置100至少具有低功耗模式(第2模式)和通常模式(第1模式),低功耗模式是不向存储单元阵列101进行电源供给的模式,通常模式是向存储单元阵列101进行电源供给的模式。另外,在低功耗模式中,也可以不向行解码器102以及I/O电路103等周边电路进行电源供给。并且,在通常模式中,不仅是存储单元阵列101还可以向周边电路进行电源供给。另外,半导体存储装置100还可以具有虽然向存储单元阵列101进行电源供给,但是不向周边电路进行电源供给的模式(虽然不进行向周边电路的电源供给,却是存储单元阵列101的数据保持为持续的模式)。

[0070] 控制电路104对各处理部进行控制。具体而言,控制电路104生成用于对各处理部进行控制的多个控制信号。并且,控制电路104生成用于对低功耗模式与通常模式进行切换的信号SDMC,将生成的信号SDMC提供给电源控制电路105。例如,控制电路104根据从半导体存储装置100的外部输入的信号,来生成信号SDMC。另外,控制电路104可以将从半导体存储装置100的外部输入的信号SDMC原样地提供给电源控制电路105,从半导体存储装置100的外部输入的信号SDMC也可以不经由控制电路104而被直接提供给电源控制电路105。

[0071] 图2示出了存储单元阵列101以及电源控制电路105的构成。存储单元阵列101包括多个内存块111。各内存块111包括多个存储单元112。另外,在此通过对存储单元阵列101以多个列为单位在横方向上进行分割,从而形成了多个内存块111,多个内存块111也可以是通过对存储单元阵列101以多个行为单位在纵方向上分割来形成,还可以是通过对存储单元阵列101以多个列和多个行为单位在纵方向和横方向进行分割来形成。并且,内存块111中包括的存储单元112的数量可以是任意的数量。另外,存储单元阵列101也可以不分割为多个内存块111。

[0072] 各存储单元112与存储单元112的电源线即存储电源线VDDMC连接,在各存储单元112经由存储电源线VDDMC被供给电源电压。

[0073] 电源控制电路105具备延迟电路121以及多个电源切替电路122。延迟电路121通过使信号SDMC延迟,来生成信号SDMC2。

[0074] 电源切替电路122按每个内存块111来设置,对是否向存储单元阵列101供给电源

进行切换。

[0075] 电源切替电路122具备第1晶体管T01和第2晶体管T02。第1晶体管T01连接在被供给电源电压的电源线VDD、与存储电源线VDDMC之间。具体而言,第1晶体管T01的源极与电源线VDD连接,漏极与存储电源线VDDMC连接。在第1晶体管T01的栅极(控制端子)被提供有信号SDMC。另外,电源线VDD是半导体存储装置100的电源线,例如被施加从半导体存储装置100的外部供给的电源电压。

[0076] 第2晶体管T02连接在电源线VDD与存储电源线VDDMC之间。具体而言,第2晶体管T02的源极与电源线VDD连接,漏极与存储电源线VDDMC连接。在第2晶体管的栅极(控制端子)被提供有信号SDMC2。即,第1晶体管T01和第2晶体管T02在电源线VDD与存储电源线VDDMC之间并联连接。

[0077] 并且,第2晶体管T02比第1晶体管T01的驱动能力高。在此,驱动能力的高低例如由晶体管的W/L(栅极宽度/栅极长度)、晶体管的阈值电压、或者施加到晶体管的栅极或源极的电压的等级来调整。另外,第2晶体管T02的驱动能力也可以与第1晶体管T01的驱动能力相同,还可以比第1晶体管T01的驱动能力低。

[0078] 另外,在本实施方式中,作为晶体管虽然主要以MOSFET(metal-oxide-semiconductor field-effect transistor:金属氧化物半导体场效应晶体管)为例,不过也可以采用双极性晶体管等其他的晶体管。

[0079] 图3是存储单元112的电路图。存储单元112例如图3所示,是由6个晶体管T11～T16构成的SRAM存储单元,与按行设置的字线WL、以及按列设置的一对位线BL和NBL连接。并且,在存储单元112中经由存储电源线VDDMC而被供给电源电压。

[0080] 接下来,对上述这种构成的半导体存储装置100中的工作模式切换时的工作进行说明。图4是示出半导体存储装置100中的工作模式切换时的工作的定时图。信号SDMC在通常模式时为低电平,在低功耗模式时为高电平。

[0081] 在图4所示的时刻t01前的期间中,信号SDMC为低电平,半导体存储装置100以通常模式来工作。另外,在通常模式中,将写入工作以及读出工作都不进行的状态称为待机状态。

[0082] 在时刻t01,信号SDMC从低电平成为高电平,工作模式转移到低功耗模式。由于信号SDMC成为高电平,因此第1晶体管T01截止。并且,比信号SDMC晚,信号SDMC2在时刻t02成为高电平。由于信号SDMC2成为高电平,因此第2晶体管T02截止。通过第1晶体管T01和第2晶体管T02都截止,从而向存储单元阵列101的电源供给被切断,存储电源线VDDMC成为Hi-Z(高阻抗)状态。

[0083] 在时刻t03,信号SDMC从高电平成为低电平,工作模式从低功耗模式转移到通常模式。由于信号SDMC成为低电平,因此第1晶体管T01导通。据此,开始向存储电源线VDDMC进行电源供给,存储电源线VDDMC的电压开始上升。

[0084] 并且,比信号SDMC晚,信号SDMC2在时刻t04成为低电平。由于信号SDMC2成为低电平,因此第2晶体管T02导通。

[0085] 这样,在从低功耗模式向通常模式切换时的期间t03～t04,第1晶体管T01导通,第2晶体管T02不导通。据此,能够抑制切换时的峰值电流。并且,在时刻t04以后的期间中,通过第1晶体管T01和第2晶体管T02都为导通,因此能够实现充分的电源供给。

[0086] 另外,在图4中,以实线来表示适用了本实施方式的手法的情况下的电流,以虚线表示没有适用本实施方式的手法的情况下的电流(比较例)。并且,在该图中,存储电源线VDDMC的期间t03～t04中的斜线阴影表示基于工作状态以及制造上的不均一等而电压值的不均一。

[0087] 如以上所示,本实施方式所涉及的半导体存储装置100具备:多个存储单元112、被供给电源电压的第1电源线VDD、作为多个存储单元112的电源电压线的第2电源线VDDMC、在第1电源线VDD与第2电源线VDDMC之间并联连接的第1晶体管T01和第2晶体管T02、以及电源控制电路105,根据用于对第1模式(通常模式)与第2模式(低功耗模式)进行切换的第1信号SDMC,(i)在第2模式时,使第1晶体管T01和第2晶体管T02截止,(ii)在从第2模式向第1模式切换时,使第1晶体管T01导通,在使第1晶体管T01导通后使第2晶体管T02导通,所述第1模式是向多个存储单元112供给电源电压的模式,所述第2模式是不向多个存储单元112供给电源电压的模式。

[0088] 据此,在半导体存储装置100中,在从第2模式向第1模式切换时,通过使第1晶体管T01导通,并在此之后使第2晶体管T02导通,从而能够抑制伴随电源恢复而出现的峰值电流。并且,与对多个电路块按时间序列进行控制的情况等相比,能够抑制控制的复杂化。

[0089] 例如,第2晶体管T02比第1晶体管T01的驱动能力高。据此,能够有效地抑制峰值电流。

[0090] 例如,电源控制电路105包括延迟电路121,该延迟电路121使第1信号SDMC延迟,来生成第2信号SDMC2。在第1晶体管T01的控制端子被提供有第1信号SDMC,在第2晶体管T02的控制端子被提供有第2信号SDMC2。据此,能够以简易的构成来控制第1晶体管T01和第2晶体管T02。

[0091] 例如,半导体存储装置100包括多个内存块111,多个内存块111的每一个包括多个存储单元112。第1晶体管T01和第2晶体管T02被设置在多个内存块111的每一个。在延迟电路121生成的第2信号SDMC2被提供给设置在多个内存块111中的两个以上的内存块111的两个以上的第2晶体管T02的控制端子。据此,由于能够在多个内存块111共享延迟电路121,因此能够减小电路面积。

[0092] 另外,在图2中虽然示出了由延迟电路121生成的信号SDMC2被提供到所有的第2晶体管T02的例子(即,在所有的第2晶体管T02共享一个延迟电路121的例子),不过也可以是按一个或多个内存块111(一个或多个第2晶体管T02)来设置延迟电路121,在各个延迟电路121生成的信号SDMC2被提供给与该延迟电路121对应的一个或多个第2晶体管T02。

[0093] 并且,本实施方式所涉及的半导体存储装置100的控制方法是具备多个存储单元112、第1晶体管T01和第2晶体管T02的半导体存储装置100的控制方法。该控制方法具有向多个存储单元112供给电源电压的第1模式(通常模式)、以及不向多个存储单元112供给电源电压的第2模式(低功耗模式)。在该控制方法中,在从第2模式向第1模式切换时的第1期间(图4的t03～t04)中,经由第1晶体管T01向多个存储单元112供给电源电压,在第1期间之后的第2期间(图4的t04以降),经由第1晶体管T01和第2晶体管T02向多个存储单元112供给电源电压。

[0094] 据此,在半导体存储装置100中,在从第2模式向第1模式切换时,通过经由第1晶体管T01进行电源电压的供给,在此之后经由第1晶体管T01和第2晶体管T02进行电源电压的

供给,从而能够抑制伴随电源恢复而出现的峰值电流。并且,与对多个电路块按时间序列进行控制的情况等相比,能够抑制控制的复杂化。

[0095] 以下,对电源控制电路105的变形例进行说明。图5示出了电源控制电路105的变形例即电源控制电路105A的构成。图5所示的电源控制电路105A相对于图2所示电源控制电路105而言,不同之处是取代了延迟电路121,而具备电压检测电路123。

[0096] 电压检测电路123对存储电源线VDDMC的电压进行检测,在信号SDMC为低电平(低功耗模式)且存储电源线VDDMC的电压在预先决定的电压以上的情况下,生成成为低电平的信号SDMC3,在除此以外的情况下生成成为高电平的信号SDMC3。信号SDMC3被提供到第2晶体管T02的栅极(控制端子)。另外,图5所示的电压检测电路123的电路构成为一个例子,只要是能够实现同样的功能的电路构成,可以是任意的电路构成。

[0097] 图6是示出该变形例中的工作模式切换时的工作的定时图。在图6所示的时刻t11前的期间中,信号SDMC为低电平,半导体存储装置100以通常模式来工作。

[0098] 在时刻t11,信号SDMC从低电平成为高电平,工作模式转移到低功耗模式。由于信号SDMC成为高电平,因此第1晶体管T01截止。并且,当信号SDMC成为高电平时,信号SDMC3成为高电平。由于信号SDMC3成为高电平,因此第2晶体管T02截止。通过第1晶体管T01和第2晶体管T02都截止,从而向存储单元阵列101的电源供给被切断,存储电源线VDDMC成为Hi-Z状态。

[0099] 在时刻t12,信号SDMC从高电平成为低电平,工作模式从低功耗模式转移到通常模式。由于信号SDMC成为低电平,因此第1晶体管T01导通。

[0100] 通过第1晶体管T01导通,从而存储电源线VDDMC的电压上升,在时刻t13,达到预先决定的电压V0。电压检测电路123检测到存储电源线VDDMC的电压达到电压V0,使信号SDMC3成为低电平。通过信号SDMC3成为低电平,从而第2晶体管T02导通。

[0101] 这样,在从低功耗模式向通常模式切换时的期间t12～t13,第1晶体管T01导通,第2晶体管T02不导通。据此,能够抑制切换时的峰值电流。并且,在时刻t13以后的期间,由于第1晶体管T01和第2晶体管T02双方都导通,因此能够实现具有充分的能力的电源供给。

[0102] 如以上所述,电源控制电路105A对第2电源线VDDMC的电压进行检测,在从第2模式(低功耗模式)向第1模式(通常模式)切换时,在使第1晶体管T01导通后,且在第2电源线VDDMC的电压达到预先决定的电压V0的情况下,使第2晶体管T02导通。据此,能够高精度地对第1晶体管T01和第2晶体管T02进行控制。

[0103] (实施方式2)

[0104] 在本实施方式中,对将实施方式1中说明的电源控制电路105的功能兼用为在数据写入时对存储单元阵列101的电源电压进行控制的写入辅助电路的例子进行说明。

[0105] 图7是本实施方式所涉及的半导体存储装置100A的方框图。图7所示的半导体存储装置100A相对于图1所示的半导体存储装置100而言,取代电源控制电路105而具备写入辅助电路106。

[0106] 写入辅助电路106是用于在数据写入时通过使存储单元112的电源电压降低,而易于进行数据写入的电路。在本实施方式中,该写入辅助电路106具有实施方式1中说明的电源控制电路105的功能。

[0107] 图8示出了存储单元阵列101以及写入辅助电路106的构成。存储单元阵列101包括

多个内存块111。各内存块111包括多个存储单元112。另外,在此的存储单元阵列101按列而被分割成内存块111。

[0108] 并且,按列(按每个内存块111)设置存储电源线VDDMC(VDDMC0～VDDMC7)。在各内存块111连接有与该内存块111对应的存储电源线VDDMC,在各内存块111经由与该内存块111对应的存储电源线VDDMC而被供给电源电压。

[0109] 写入辅助电路106具备延迟电路131和多个列电路132。延迟电路131通过使信号SDMC延迟以及反转,来生成信号NSDMC。

[0110] 列电路132按列设置,对供给给各个列的存储单元112的电源电压的等级进行控制。具体而言,列电路132在数据写入时进行使电源电压下降的控制。并且,列电路132在工作模式切换时进行与实施方式1相同的控制。

[0111] 图9是示出列电路132的构成的图。如图9所示,列电路132包括逻辑电路141和晶体管T31～T34。

[0112] 图10是示出本实施方式所涉及的工作模式切换时的工作的定时图。信号SDMC在通常模式时为低电平,在低功耗模式时为高电平。信号NSWWA是表示是否进行写入辅助的信号,在进行写入辅助时为低电平,在不进行写入辅助时为高电平。在图10中,信号NSWWA为低电平,进行写入辅助。

[0113] 信号NWCA(NWCA0～NWCA7)是表示是否为向存储单元112写入数据的写入模式的信号,在写入模式时为低电平,在写入模式以外时为高电平。并且,该图所示的信号CLK是用于写入工作的时钟信号。信号NSWWA、信号NWCA以及信号CLK例如在控制电路104生成。另外,控制电路104也可以基于从半导体存储装置100的外部输入的信号,来生成这些信号的至少其中之一。并且,控制电路104也可以将从半导体存储装置100的外部输入的信号原样地供给到写入辅助电路106,从半导体存储装置100的外部输入的信号也可以不经由控制电路104,而可以直接被供给到写入辅助电路106。

[0114] 逻辑电路141基于信号NSDMC以及信号NWCA0,生成信号WTA。具体而言,逻辑电路141在信号NSDMC以及信号NWCA0的至少一方为低电平的情况下输出高电平的信号WTA,在除此以外的情况下输出低电平的信号WTA。

[0115] 第1晶体管T31与实施方式1所涉及的第1晶体管T01对应。第1晶体管T31连接在电源线VDD与存储电源线VDDMC0之间,在电源线VDD被供给电源电压。具体而言,第1晶体管T01的源极与电源线VDD连接,漏极与存储电源线VDDMC连接。在第1晶体管T31的栅极(控制端子)被提供信号SDMC。

[0116] 第2晶体管T32连接在电源线VDD与存储电源线VDDMC0之间。具体而言,第2晶体管T32的源极与电源线VDD连接,漏极与存储电源线VDDMC0连接。在第2晶体管T32的栅极(控制端子)被提供信号WTA。即,第1晶体管T31和第2晶体管T32在电源线VDD与存储电源线VDDMC0之间并联连接。

[0117] 并且,第2晶体管T32比第1晶体管T31的驱动能力高。另外,第2晶体管T32的驱动能力也可以与第1晶体管T31的驱动能力相同,还可以比第1晶体管T31的驱动能力低。

[0118] 晶体管T33和晶体管T34在存储电源线VDDMC0与地线之间串联连接,在地线被提供接地电位。在晶体管T33的栅极(控制单位)被提供信号NSWWA。在晶体管T34的栅极(控制单位)被提供信号WTA。

[0119] 在图10所示的时刻t21前的期间中,信号SDMC为低电平,半导体存储装置100以通常模式来工作。

[0120] 在时刻t21,信号SDMC从低电平成为高电平,工作模式转移成低功耗模式。由于信号SDMC成为高电平,因此第1晶体管T31截止。并且,比信号SDMC晚,信号NSDMC在时刻t22成为低电平,信号WTA成为高电平。由于信号WTA成为高电平,因此第2晶体管T32截止。通过第1晶体管T31和第2晶体管T32都截止,从而向存储单元阵列101的电源供给被切断,存储电源线VDDMC0成为Hi-Z状态。

[0121] 在时刻t23,信号SDMC从高电平成为低电平,工作模式从低功耗模式转移成通常模式。由于信号SDMC成为低电平,因此第1晶体管T31导通。据此,开始向存储电源线VDDMC0进行电源供给,存储电源线VDDMC0的电压开始上升。

[0122] 并且,比信号SDMC晚,信号NSDMC在时刻t24成为高电平,信号WTA成为低电平。由于信号WTA成为低电平,因此第2晶体管T32导通。

[0123] 这样,在从低功耗模式向通常模式切换时的期间t23～t24,第1晶体管T31导通,第2晶体管T32不导通。据此,能够抑制切换时的峰值电流。并且,在时刻t24以后的期间中,通过第1晶体管T31和第2晶体管T32这双方都导通,从而能够实现具有充分的能力的电源供给。

[0124] 进一步在时刻t25,信号NWCA0成为低电平,工作模式转移成写入模式。当信号NWCA0成为低电平时,信号WTA成为高电平。据此,第2晶体管T32截止,晶体管T34导通。并且,由于信号NSWWA为低电平,因此晶体管T33导通,由于信号SDMC为低电平,因此第1晶体管T31导通。据此,存储电源线VDDMC0的电压成为与如下的导通电阻的比相应的电压,所述导通电阻的比是第1晶体管T31的导通电阻与晶体管T33和T34的导通电阻的比。即,存储电源线VDDMC0的电压降低,从而实现写入辅助。

[0125] 如以上所述,本实施方式所涉及的半导体存储装置100A具备写入辅助电路106,能够使在向多个存储单元112进行数据写入时的第2电源线VDDMC0的电压,比进行数据写入以外的期间中的第2电源线VDDMC0的电压低。第1晶体管T31以及第2晶体管T32包括在写入辅助电路106中。第1晶体管T31以及第2晶体管T32的一方在数据写入时截止。据此,作为第1晶体管T31以及第2晶体管T32,由于能够兼用为在写入辅助电路106使用的晶体管,因此能够抑制电路面积的增加。

[0126] (实施方式3)

[0127] 在上述实施方式中说明了在向存储单元112的电源恢复时减少峰值电流的方法。在本实施方式中,以将同样的方法适用于进行位线的预充电的电路为例来进行说明。

[0128] 图11是本实施方式所涉及的半导体存储装置100B的方框图。图11所示的半导体存储装置100B相对于图1所示的半导体存储装置100而言,不具备电源控制电路105,并且I/O电路103B以及控制电路104B的构成与I/O电路103以及控制电路104不同。

[0129] 并且,半导体存储装置100B具有不进行位线的预充电的低功耗模式(第2模式)和进行位线的预充电的通常模式(第1模式)。另外,在低功耗模式中,向行解码器102以及I/O电路103B中包括的与预充电关联的电路以外的电路的电源供给也可以不进行。并且,在通常模式中也可以进行向这些电路的电源供给。另外,在低功耗模式中可以进行向存储单元阵列101的电源供给,也可以不进行。另外,半导体存储装置100B在不进行向周边电路的电

源供给的状态下,也可以具有进行向存储单元阵列101的电源供给的模式和不进行向存储单元阵列101的电源供给的模式。

[0130] 控制电路104B生成用于对低功耗模式与通常模式进行切换的信号NSLPPC,将生成的信号NSLPPC供给到I/O电路103B。例如,控制电路104B基于从半导体存储装置100B的外部输入的信号,来生成信号NSLPPC。另外,控制电路104B也可以将从半导体存储装置100B的外部输入的信号NSLPPC原样地提供到I/O电路103B,从半导体存储装置100B的外部输入的信号NSLPPC也可以不经由控制电路104B而直接被提供到I/O电路103B。

[0131] 图12是示出存储单元阵列101以及I/O电路103B的构成的图。另外在该图中示出了与存储单元阵列101的一列对应的电路构成,并且按每个列设置图12所示的构成。另外,在图12所示的构成中,预充电控制电路151也可以作为由多个列共享的电路而被设置。

[0132] 多个存储单元112与按列设置的一对位线BL和NBL连接。

[0133] I/O电路103B具备预充电控制电路151、第1预充电电路152、第2预充电电路153、写入驱动器154、检测放大器155、以及晶体管T46和T47。

[0134] 预充电控制电路151基于信号NSLPPC以及信号NPC,生成对第1预充电电路152的接通与断开进行控制的信号Y、以及对第2预充电电路153的接通与断开进行控制的信号Z。预充电控制电路151包括延迟电路156以及逻辑电路157和158。

[0135] 信号NSLPPC在通常模式时为高电平,在低功耗模式时为低电平。信号NPC是表示是否进行预充电的信号,在进行预充电的情况下(待机时)为高电平,在不进行预充电的情况下(读出时以及写入时)为低电平。信号NRCA是地址选择信号,在读出时为低电平,在除此以外时为高电平的信号。

[0136] 延迟电路156通过使信号NSLPPC延迟,来生成信号X。逻辑电路157是NAND电路,在信号NSLPPC以及信号NPC的至少一方为低电平的情况下,输出高电平的信号Y,在除此以外的情况下输出低电平的信号Y。逻辑电路158是NAND电路,在信号X以及信号NPC的至少一方为低电平的情况下,输出高电平的信号Z,在除此以外的情况下输出低电平的信号Z。

[0137] 第1预充电电路152是对位线BL和NBL进行预充电的电路,在信号Y为低电平的情况下,对位线BL和NBL进行预充电,在信号Y为高电平的情况下对位线BL和NBL不进行预充电。该第1预充电电路152包括晶体管T41和T42。

[0138] 晶体管T41连接在电源线VDD与位线BL之间,在电源线VDD被供给电源电压。具体而言,晶体管T41的源极与电源线VDD连接,漏极与位线BL连接。在晶体管T41的栅极(控制端子)被提供信号Y。另外,电源线VDD是半导体存储装置100B的电源线,例如被施加从半导体存储装置100B的外部供给的电源电压。

[0139] 晶体管T42连接在电源线VDD与位线NBL之间。具体而言,晶体管T42的源极与电源线VDD连接,漏极与位线NBL连接。在晶体管T42的栅极(控制端子)被提供信号Y。

[0140] 第2预充电电路153是对位线BL和NBL进行预充电的电路,在信号Z为低电平的情况下,对位线BL和NBL进行预充电,在信号Z为高电平的情况下,对位线BL和NBL不进行预充电。该第2预充电电路153包括晶体管T43、T44和T45。

[0141] 晶体管T43连接在电源线VDD与位线BL之间。具体而言,晶体管T43的源极与电源线VDD连接,漏极与位线BL连接。在晶体管T43的栅极(控制端子)被提供信号Z。即,晶体管T41和晶体管T43在电源线VDD与位线BL之间并联连接。

[0142] 晶体管T44连接在电源线VDD与位线NBL之间。具体而言,晶体管T44的源极与电源线VDD连接,漏极与位线NBL连接。在晶体管T44的栅极(控制端子)被提供信号Z。即,晶体管T42和晶体管T44在电源线VDD与位线NBL之间并联连接。

[0143] 晶体管T45连接在位线BL与位线NBL之间。在晶体管T45的栅极(控制端子)被提供信号Z。

[0144] 并且,晶体管T43和T44的驱动能力比晶体管T41和T42的高。在此,驱动能力的高低例如由晶体管的W/L(栅极宽度/栅极长度)、晶体管的阈值电压、或者被施加到晶体管的栅极或源极的电压的等级来调整。另外,晶体管T43和T44的驱动能力也可以与晶体管T41和T42的驱动能力相同,还可以比晶体管T41和T42的驱动能力低。

[0145] 写入驱动器154在写入时按照写入数据来驱动位线BL和NBL。检测放大器155在读出时对位线BL和NBL的电压进行检测,并生成与该电压相应的读出数据。晶体管T46和T47连接在位线BL和NBL与检测放大器155之间。

[0146] 接下来,对上述这种构成的半导体存储装置100B中的工作模式切换时的工作进行说明。图13是示出半导体存储装置100B中的工作模式切换时的工作的定时图。

[0147] 在图13所示的时刻t31前的期间中,信号NSLPPC为高电平,半导体存储装置100B以通常模式来工作。在时刻t31,信号NSLPPC从高电平成为低电平,工作模式转移成低功耗模式。由于信号NSLPPC成为低电平,因此信号Y成为高电平。据此,第1预充电电路152断开。即,晶体管T41和T42截止。

[0148] 并且,比信号Y晚,信号Z在时刻t32成为高电平。由于信号Z成为高电平,因此第2预充电电路153截止。即,晶体管T43、T44和T45截止。

[0149] 通过第1预充电电路152以及第2预充电电路153都截止,从而不进行对位线BL和NBL的预充电,位线BL和NBL成为Hi-Z状态。

[0150] 在时刻t33,信号NSLPPC从低电平成为高电平,工作模式从低功耗模式转移成通常模式。由于信号NSLPPC成为高电平,因此信号Y成为低电平。据此,第1预充电电路152接通。即,晶体管T41和T42导通。据此,开始向位线BL和NBL进行电压供给(预充电),位线BL和NBL的电压开始上升。

[0151] 并且,比信号Y晚,信号Z在时刻t34成为低电平。由于信号Z成为低电平,因此第2预充电电路153接通。即,晶体管T43、T44和T45导通。

[0152] 这样,在从低功耗模式向通常模式切换时的期间t33～t34,第1预充电电路152接通,第2预充电电路153不接通。据此,能够抑制切换时的峰值电流。并且,在时刻t34以后的期间,通过第1预充电电路152以及第2预充电电路153这双方都接通,从而能够实现具有充分的能力的电压供给。

[0153] 以下对I/O电路103B的变形例1进行说明。在上述的构成中是通过对预充电电路中包括的晶体管的栅极进行控制,来对预充电电路的接通与断开进行切换的,在本变形例1中,通过对是否向预充电电路供给电源电压进行切换,来对预充电电路的接通与断开进行切换。

[0154] 图14是示出I/O电路103B的变形例即I/O电路103C的构成的图。该I/O电路103C相对于I/O电路103B而言,预充电控制电路151A、第1预充电电路152A、以及第2预充电电路153A的构成与预充电控制电路151、第1预充电电路152、以及第2预充电电路153的构成不

同。

[0155] 另外,在图14所示的构成中,预充电控制电路151A也可以作为由多个列共享的电路而被设置。

[0156] 预充电控制电路151A基于信号NSLPPC,生成对第1预充电电路152A的接通与断开进行控制的信号NY、以及对第2预充电电路153A的接通与断开进行控制的信号NZ。预充电控制电路151A具备逆变器161和163、延迟电路162、以及晶体管T61和T62。

[0157] 逆变器161通过使信号NSLPPC反转,来生成信号A。延迟电路162通过使信号A延迟,来生成信号X。逆变器163通过使信号NPC反转,来生成信号B。

[0158] 晶体管T61连接在电源线VDD与位线BL和位线NBL之间。具体而言,晶体管T61经由晶体管T51与位线BL连接,经由晶体管T52与位线NBL连接。换而言之,晶体管T61基于信号A(信号NSLPPC),对是否向第1预充电电路152A供给电源电压进行切换。具体而言,晶体管T61的源极与电源线VDD连接,漏极与电源线NY连接。在晶体管T61的栅极(控制端子)被提供信号A。

[0159] 晶体管T62连接在电源线VDD与位线BL和位线NBL之间。具体而言,晶体管T62经由晶体管T53与位线BL连接,经由晶体管T54与位线NBL连接。换而言之,晶体管T62基于信号X,对是否向第2预充电电路153A供给电源电压进行切换。具体而言,晶体管T62的源极与电源线VDD连接,漏极与电源线NZ连接。在晶体管T62的栅极(控制端子)被提供信号X。即,晶体管T61和晶体管T62在电源线VDD与位线BL以及NBL之间并联连接。

[0160] 并且,晶体管T62的驱动能力比晶体管T61的高。在此,驱动能力的高低例如由晶体管的W/L(栅极宽度/栅极长度)、阈值电压、或者被施加到栅极或源极的电压的等级来调整。另外,晶体管T62的驱动能力也可以与晶体管T61的驱动能力相同,还可以比晶体管T51和T52的驱动能力低。

[0161] 第1预充电电路152A是对位线BL和NBL进行预充电电路。该第1预充电电路152A包括晶体管T51和T52。

[0162] 晶体管T51连接在电源线NY与位线BL之间。具体而言,晶体管T51的源极与电源线NY连接,漏极与位线BL连接。在晶体管T51的栅极(控制端子)被提供信号B。

[0163] 晶体管T52连接在电源线NY与位线NBL之间。具体而言,晶体管T52的源极与电源线NY连接,漏极与位线NBL连接。在晶体管T52的栅极(控制端子)被提供信号B。

[0164] 第2预充电电路153A是对位线BL和NBL进行预充电的电路。该第2预充电电路153A包括晶体管T53和T54、以及晶体管T55。

[0165] 晶体管T53连接在电源线NZ与位线BL之间。具体而言,晶体管T53的源极与电源线NZ连接,漏极与位线BL连接。在晶体管T53的栅极(控制端子)被提供信号B。

[0166] 晶体管T54连接在电源线NZ与位线NBL之间。具体而言,晶体管T54的源极与电源线NZ连接,漏极与位线NBL连接。在晶体管T54的栅极(控制端子)被提供信号B。

[0167] 晶体管T55连接在位线BL与位线NBL之间。在晶体管T55的栅极(控制端子)被提供信号B。

[0168] 并且,晶体管T53和T54的驱动能力比晶体管T51和T52的高。另外,晶体管T53和T54的驱动能力也可以与晶体管T51和T52的驱动能力相同,还可以比晶体管T51和T52的驱动能力低。

[0169] 接下来,对变形例1中的工作模式切换时的工作进行说明。图15是示出变形例1中的工作模式切换时的工作的定时图。

[0170] 在图15所示时刻t41前的期间,信号NSLPPC为高电平,半导体存储装置100B以通常模式来工作。在时刻t41,信号NSLPPC从高电平成为低电平,工作模式转移成低功耗模式。由于信号NSLPPC成为低电平,因此信号A成为高电平。据此,晶体管T61截止。

[0171] 并且,比信号A晚,信号X在时刻t42成为高电平。由于信号X成为高电平,因此晶体管T62截止。

[0172] 通过晶体管T61以及晶体管T62截止,从而向第1预充电电路152A以及第2预充电电路153A的电源供给被切断,第1预充电电路152A以及第2预充电电路153A断开。因此,不进行向位线BL和NBL的预充电,位线BL和NBL成为Hi-Z状态。

[0173] 在时刻t43,信号NSLPPC从低电平成为高电平,工作模式从低功耗模式转移成通常模式。由于信号NSLPPC成为高电平,因此信号A成为低电平。据此,晶体管T61导通,电源线NY的电压开始上升。据此,第1预充电电路152A接通,通过第1预充电电路152A开始向位线BL和NBL进行预充电,从而位线BL和NBL的电压开始上升。并且,从位线BL和NBL经由第2预充电电路153A向电源线NZ进行电压供给,电源线NZ的电压上升。

[0174] 并且,比信号A晚,信号X在时刻t44成为低电平。由于信号X成为低电平,因此晶体管T62导通,进行从电源线VDD向第2预充电电路153A的电源供给。据此,第2预充电电路153A接通,通过第1预充电电路152A以及第2预充电电路153A进行向位线BL和NBL的预充电。

[0175] 这样,在从低功耗模式向通常模式切换时的期间t43～t44,晶体管T61导通,晶体管T62不导通。即,第1预充电电路152A接通,第2预充电电路153A不接通。据此,能够抑制切换时的峰值电流。并且,在时刻t44以后的期间,通过晶体管T61以及晶体管T62这双方都导通,因此第1预充电电路152A以及第2预充电电路153A这双方都接通。据此,能够实现具有充分的能力的电压供给。

[0176] 如以上所述,本实施方式所涉及的半导体存储装置100B具备:多个存储单元112;与第1位线BL连接的第1预充电电路152和第2预充电电路153(或第1预充电电路152A和第2预充电电路153A);以及预充电控制电路151(或预充电控制电路151A),根据用于对第1位线BL进行预充电的第1模式(通常模式)与对第1位线BL不进行预充电的第2模式(低功耗模式)进行切换的第1信号NSLPPC,(i)在第2模式时,使第1预充电电路152和第2预充电电路153断开,(ii)在从第2模式向第1模式切换时,使第1预充电电路152接通,在第1预充电电路152接通后使第2预充电电路153接通。

[0177] 据此,在半导体存储装置100B中,在从第2模式向第1模式切换时,使第1预充电电路152接通,在此之后,通过使第2预充电电路153接通,从而能够抑制伴随电源恢复而出现的峰值电流。并且,与对多个电路块按时间序列进行控制的情况等相比,能够抑制控制的复杂化。

[0178] 例如,第2预充电电路153比第1预充电电路152的驱动能力高。据此,能够有效地抑制峰值电流。

[0179] 例如,预充电控制电路151包括通过使第1信号NSLPPC延迟,来生成第2信号X的延迟电路156(或延迟电路162)。第1预充电电路152基于第1信号NSLPPC(例如,基于第1信号NSLPPC的信号Y),而被切换成接通或断开。第2预充电电路153基于第2信号X(基于第2信号X

的信号Z),而被切换成接通或断开。据此,能够以简易的构成来控制第1预充电电路152和第2预充电电路153。

[0180] 例如,半导体存储装置100B包括多个内存块(例如,每个列的多个存储单元112),多个内存块的每一个包括多个存储单元112。第1预充电电路152和第2预充电电路153被设置在多个内存块(例如列)的每一个。在延迟电路156生成的第2信号X(例如,基于第2信号X的信号Z)被提供到设置在多个内存块中的两个以上的内存块的两个以上的第2预充电电路153的控制端子。即,延迟电路156例如在多个列被共享。据此,由于能够在多个内存块共享延迟电路156,因此能够减小电路面积。

[0181] 另外,图12以及图14所示的电路与图2所示的电路的构成相同,都是利用延迟电路来生成控制信号,与图5所示的电路相同,也能够适用采用了电压检测的电路。例如,在图12所示的例子中,预充电控制电路151取代延迟电路156而具有电压检测电路,该电压检测电路对位线BL或位线NBL的电压是否在预先决定的电压以上进行检测。预充电控制电路151在信号NSLPPC为高电平、且位线BL或位线NBL的电压在预先决定的电压以上的情况下,使第2预充电电路153接通。另外,作为这样的电压检测电路,可以采用任意的构成,例如可以采用对基准电压与位线BL的电压进行比较的运算放大器等比较器。

[0182] 即,预充电控制电路151对第1位线BL的电压进行检测,在从第2模式向第1模式切换时,在第1预充电电路152接通后、且第1位线BL的电压达到预先决定的电压的情况下,使第2预充电电路153接通。据此,能够高精度地对第1预充电电路152和第2预充电电路153进行控制。

[0183] 并且,半导体存储装置100B的控制方法是具备多个存储单元112、与多个存储单元112连接的位线BL、第1预充电电路152以及第2预充电电路153的半导体存储装置100B的控制方法,在该控制方法中具有对位线BL进行预充电的第1模式(通常模式)、以及对位线BL不进行预充电的第2模式(低功耗模式),在从第2模式向第1模式切换时的第1期间(例如,图13的t33～t34),由第1预充电电路152对位线BL进行预充电,在第1期间之后的第2期间(例如,t34以后),由第1预充电电路152和第2预充电电路153对位线BL进行预充电。

[0184] 据此,在半导体存储装置100B中,在从第2模式向第1模式切换时,由第1预充电电路152进行位线BL的预充电,在此之后由第1预充电电路152和第2预充电电路153来进行位线BL的预充电,因此能够抑制伴随电源恢复而出现的峰值电流。并且,与对多个电路块按时间序列进行控制的情况等相比,能够抑制控制的复杂化。

[0185] 以下,对I/O电路103B的变形例2进行说明。图16是示出I/O电路103C的变形例即I/O电路103D的构成的图。该I/O电路103D相对于I/O电路103C而言,第1预充电电路152B的构成与第1预充电电路152A不同。

[0186] 第1预充电电路152B兼用为交叉锁存电路,在写入时用于保持位线BL和NBL中的高电压侧的位线的电压。第1预充电电路152B包括晶体管T71和T72。晶体管T71的栅极与位线NBL连接,源极与电源线NY连接,漏极与位线BL连接。晶体管T72的栅极与位线BL连接,源极与电源线NY连接,漏极与位线NBL连接。

[0187] 这样,半导体存储装置100B进一步具备与多个存储单元112连接的第2位线NBL。第1预充电电路152B具备:源极以及漏极的一方与第1位线BL连接、栅极与第2位线NBL连接的第1晶体管T71;以及源极以及漏极的一方与第2位线NBL连接、栅极与第1位线BL连接的第2

晶体管T72。据此,作为第1预充电电路152B,由于能够兼用为对第1位线BL以及第2位线NBL的电压进行保持的电路,因此能够抑制电路面积的增加。

[0188] 以上对本公开的实施方式所涉及的半导体存储装置及其控制方法进行了说明,本公开并非受该实施方式所限定。

[0189] 另外,以上虽然对向存储单元的电源供给的切换例(实施方式1以及2)、以及位线的预充电的切换例(实施方式3)分别进行了的说明,半导体存储装置也可以具有这双方的功能。

[0190] 并且,上述实施方式所涉及的半导体存储装置典型的可以作为集成电路即LSI来实现。这些也可以分别制成一个芯片,也可以将其中的一部分或全部制成一个芯片。

[0191] 并且,集成电路化并非受LSI所限,也可以由专用电路或通用处理器来实现。还可以利用在LSI制造后可编程的FPGA(Field Programmable Gate Array:现场可编程门阵列)、或能够对LSI内部的电路单元的连接或设定进行重新构成的可重构处理器。

[0192] 并且,本公开也可以作为对半导体存储装置进行控制的控制方法来实现。

[0193] 并且,方框图中的功能块的分割为一个例子,可以将多个功能块作为一个功能块来实现,也可以将一个功能块分割为多个,还可以将一部分的功能转移到其他的功能块。并且,具有类似的功能的多个功能块的功能可以由单一的硬件或软件并列或分时地进行处理。

[0194] 并且,上述电路图等所示的电路构成为一个例子,本公开并非受上述电路构成所限。即,与上述电路构成同样,能够实现本公开的具有特征的功能的电路也包括在本公开中。例如,在能够实现与上述电路构成相同的功能的范围内,针对某个元件串联或并联地连接开关元件(晶体管)、电阻元件、或电容元件等元件而实现的构成也包括在本公开内。换而言之,上述实施方式中的“连接”并非受限于两个端子(节点)直接连接的情况,也包括在能够实现相同的功能的范围内,该两个端子(节点)经由元件连接的情况。

[0195] 并且,以上所使用的数字都是为了进行具体说明而举出的例子,本公开不受这些例子中的数字的限制。进一步,由高或低表示的逻辑级别、或者由导通或截止表示的开关状态都是为了对本公开进行具体说明而举出的例子,通过与例子中的逻辑等级或开关状态不同的组合,也能够得到同样的结果。而且,以上所示的逻辑电路的构成是为了对本公开进行具体说明而举出的例子,由不同构成的逻辑电路也能够实现同等的输出入关系。并且,晶体管等的n型以及p型等是为了对本公开进行具体说明而举出的例子,即使对它们进行反转,也能够得到同等的结果。

[0196] 以上基于实施方式对一个或多个形态所涉及的半导体存储装置及其控制方法进行了说明,本公开不受这些实施方式限定。

[0197] 在不脱离本公开的主旨的范围内,将本领域技术人员所能够想到的各种变形执行于本实施方式而得到的形态、对不同的实施方式中的构成要素进行组合而构筑的形态都包括在一个或多个形态的范围内。

[0198] 产业上的可利用性

[0199] 本公开能够适用于半导体存储装置。

[0200] 附图标记说明

[0201] 100、100A、100B半导体存储装置

[0202] 101存储单元阵列

[0203] 102行解码器

[0204] 103、103B、103C、103D I/O电路

[0205] 104、104B控制电路

[0206] 105、105A电源控制电路

[0207] 106写入辅助电路

[0208] 111内存块

[0209] 112存储单元

[0210] 121、131、156、162延迟电路

[0211] 122电源切替电路

[0212] 123电压检测电路

[0213] 132列电路

[0214] 141、157、158逻辑电路

[0215] 151、151A预充电控制电路

[0216] 152、152A、152B第1预充电电路

[0217] 153、153A 第2预充电电路

[0218] 154写入驱动器

[0219] 155检测放大器

[0220] 161、163逆变器

[0221] T01、T31第1晶体管

[0222] T02、T32第2晶体管

[0223] T11、T12、T13、T14、T15、T16、T33、T34、T41、T42、T43、T44、T45、T46、T51、T52、T53、T54、T55、T61、T62、T71、T72晶体管

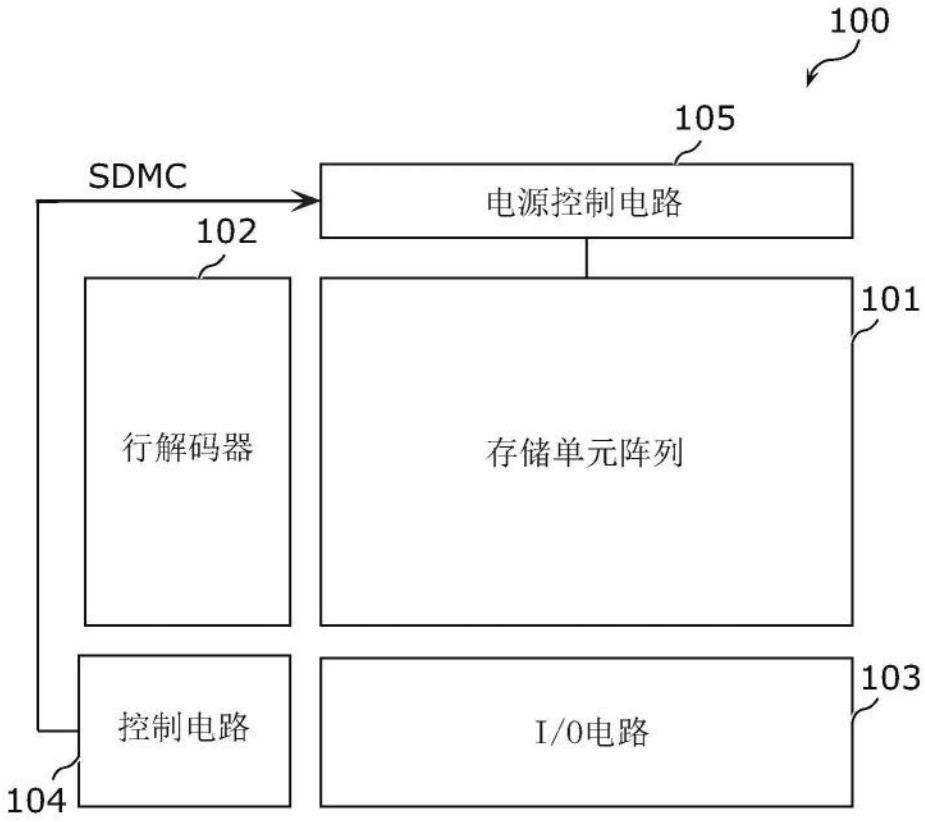


图1

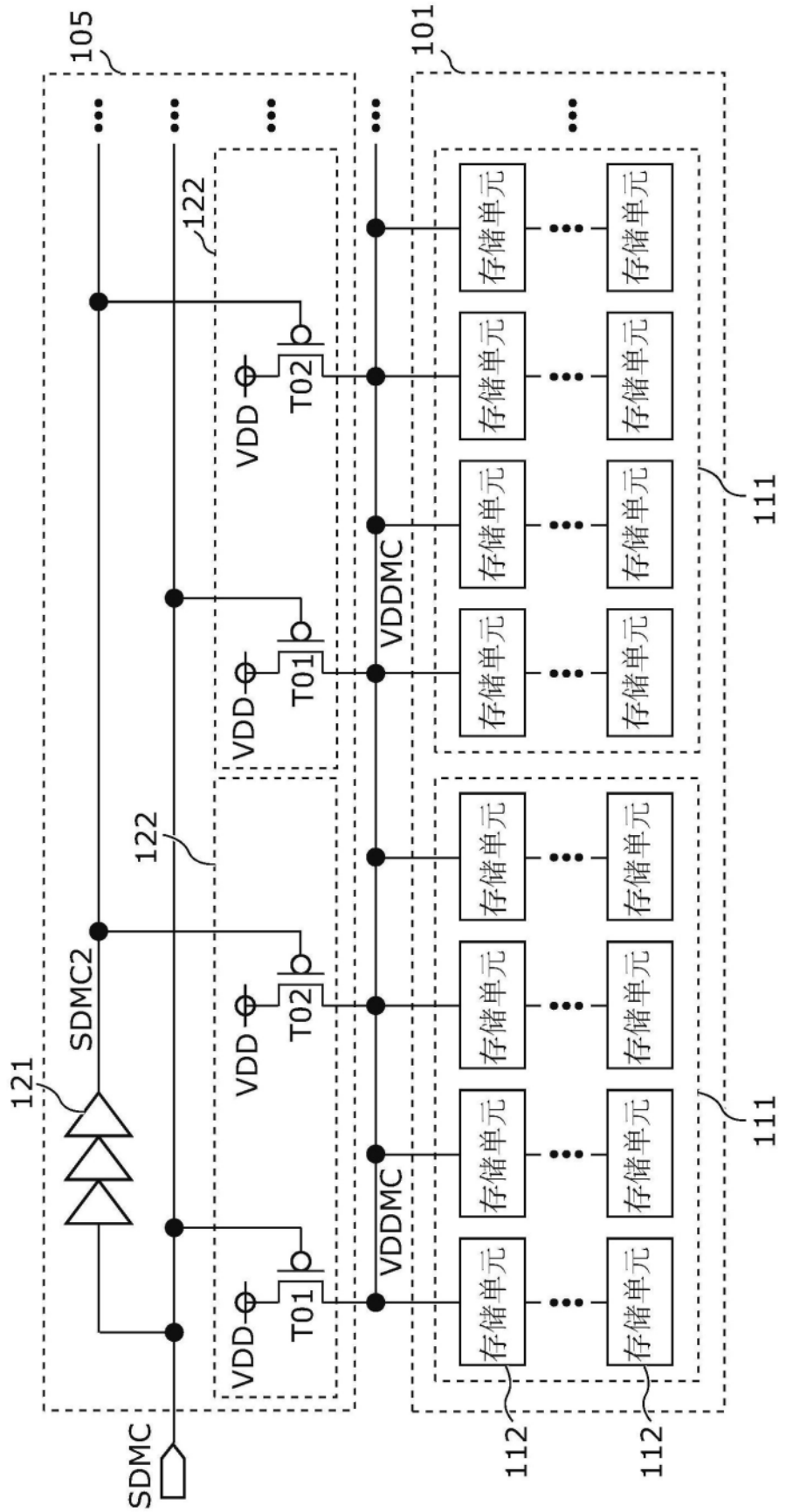

105
101
122
122
121
SDMC2
VDD
T02
T01
VDDMC
111
111
112
112
SDMC
存储单元

图2

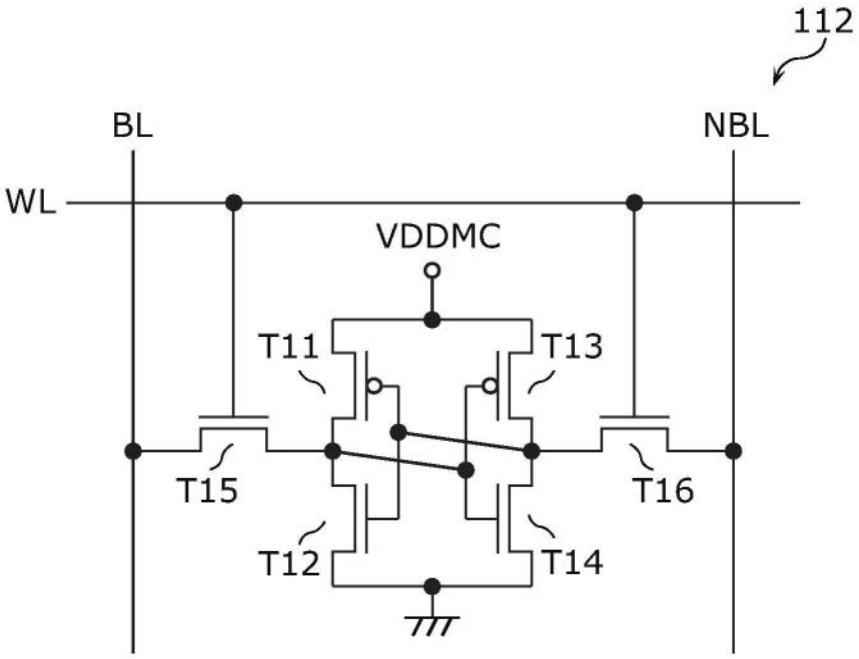

112
BL
NBL
WL
VDDMC
T11
T13
T15
T16
T12
T14

图3

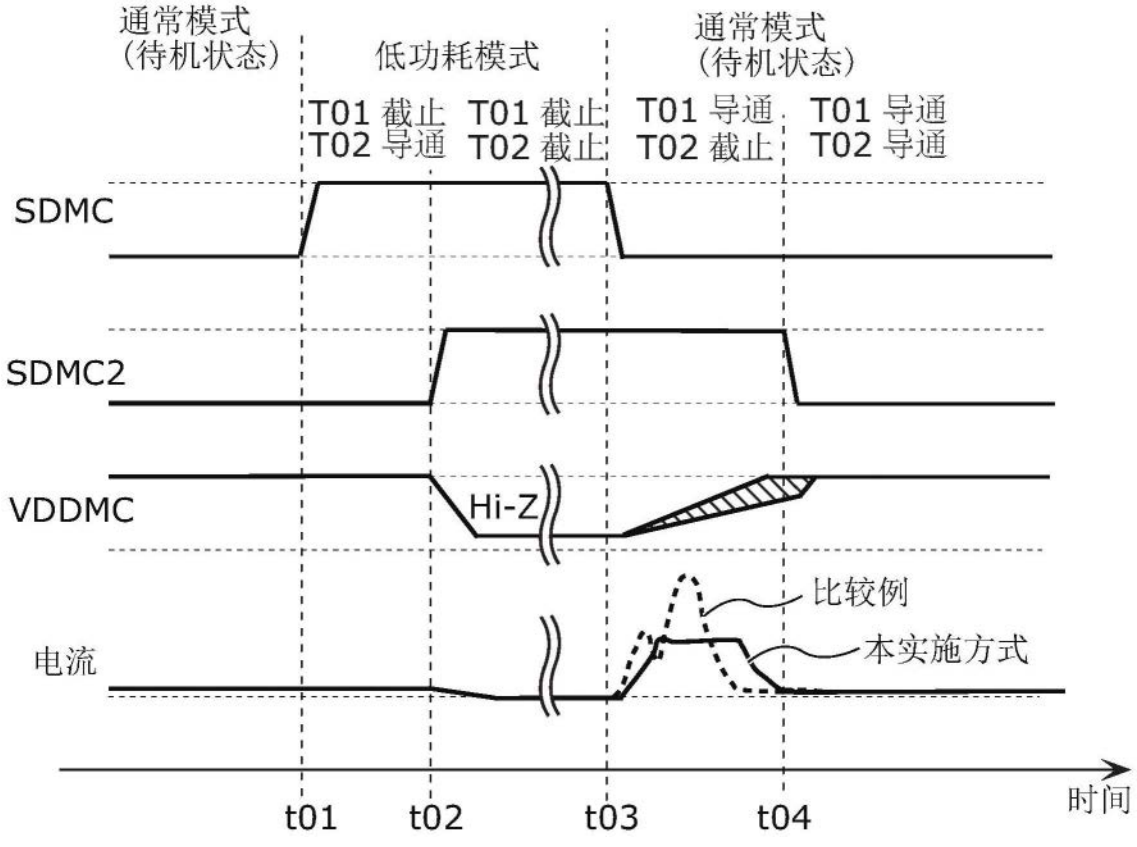

通常模式
(待机状态)
低功耗模式
通常模式
(待机状态)
T01 截止
T02 导通
T01 截止
T02 截止
T01 导通
T02 截止
T01 导通
T02 导通
SDMC
SDMC2
VDDMC
Hi-Z
比较例
本实施方式
电流
t01
t02
t03
t04
时间

图4

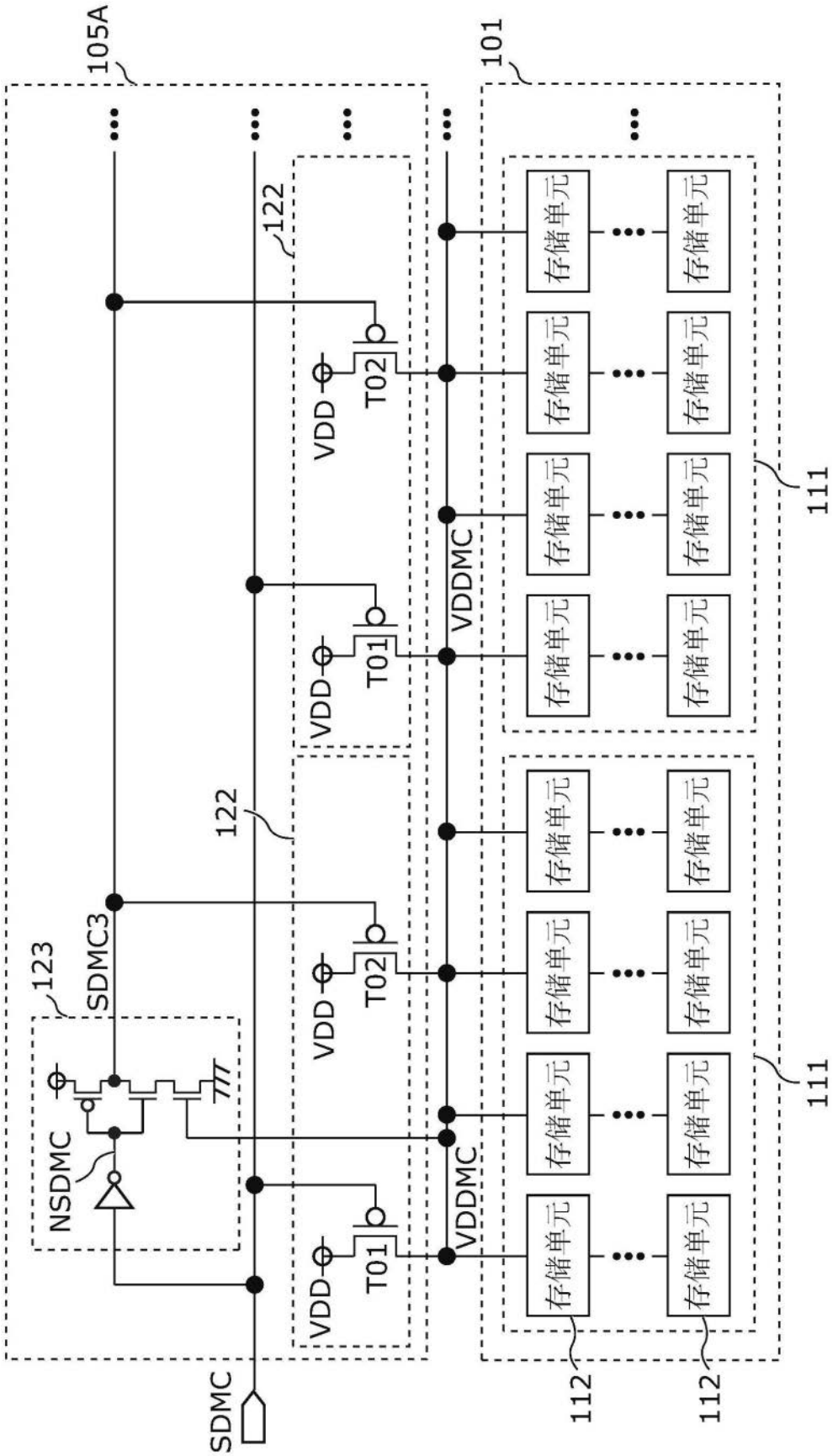

105A
101
122
122
123
SDMC3
NSDMC
SDMC
VDD
T02
T01
VDDMC
111
112
存储单元

图5

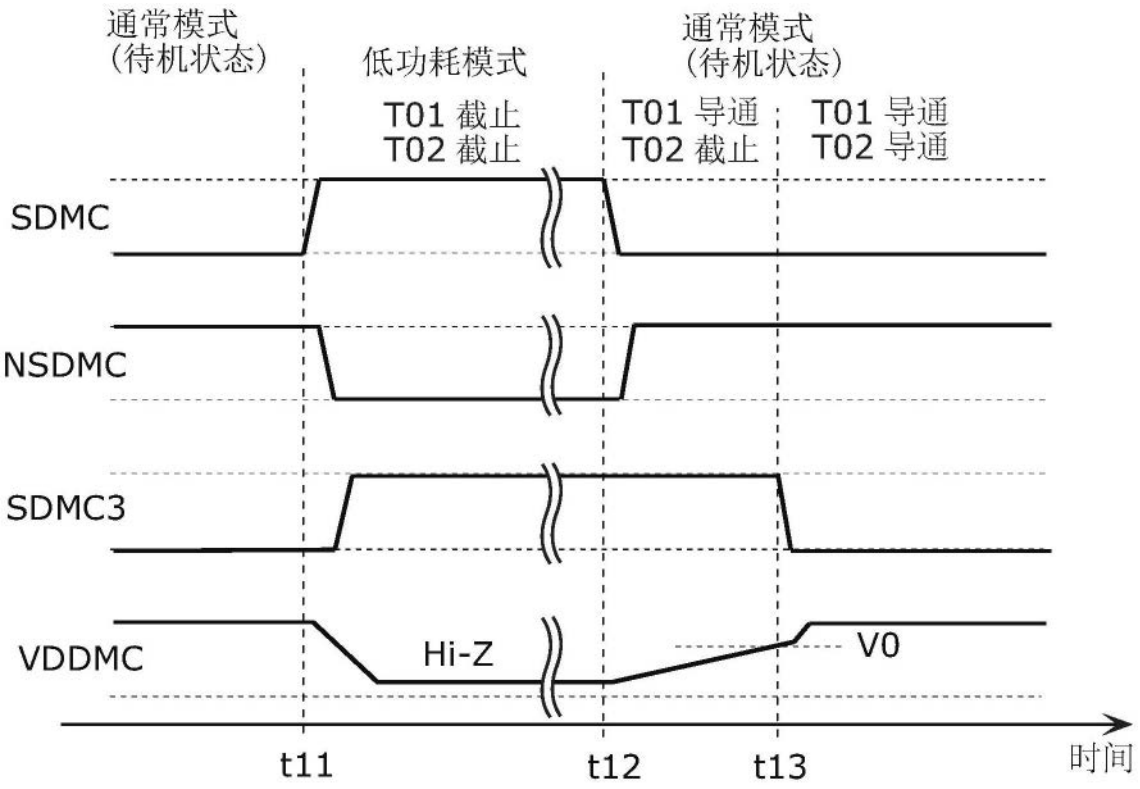

通常模式
(待机状态)
低功耗模式
通常模式
(待机状态)
T01 截止
T02 截止
T01 导通
T02 截止
T01 导通
T02 导通
SDMC
NSDMC
SDMC3
VDDMC
Hi-Z
V0
t11
t12
t13
时间

图6

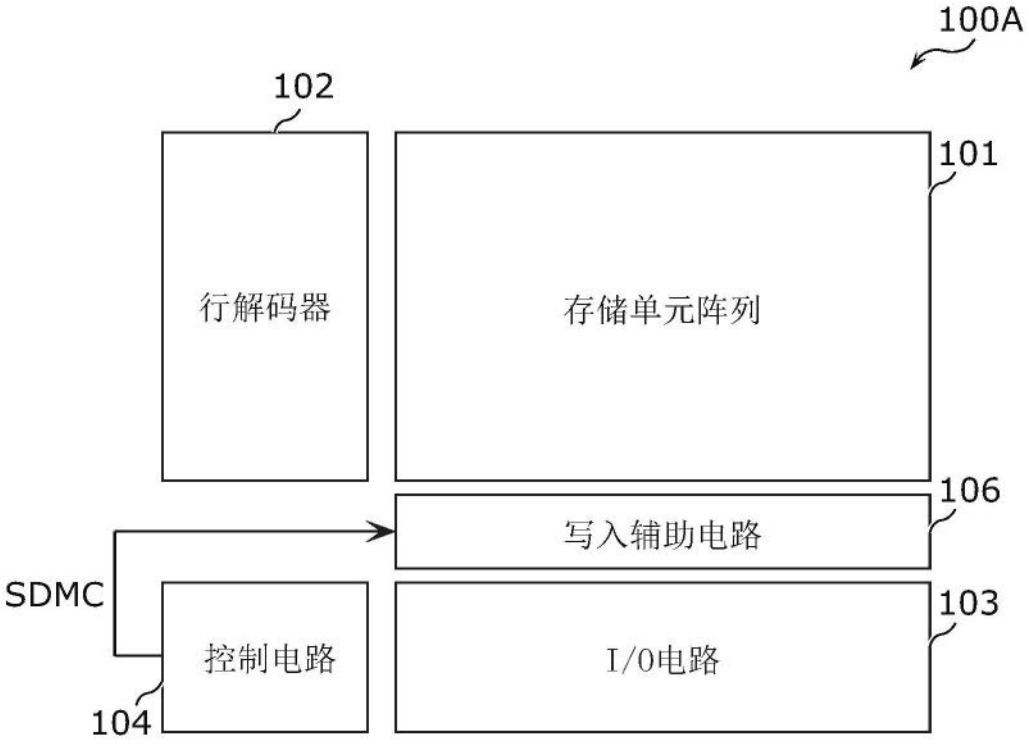

100A
102
101
行解码器
存储单元阵列
106
写入辅助电路
SDMC
103
控制电路
I/O电路
104

图7

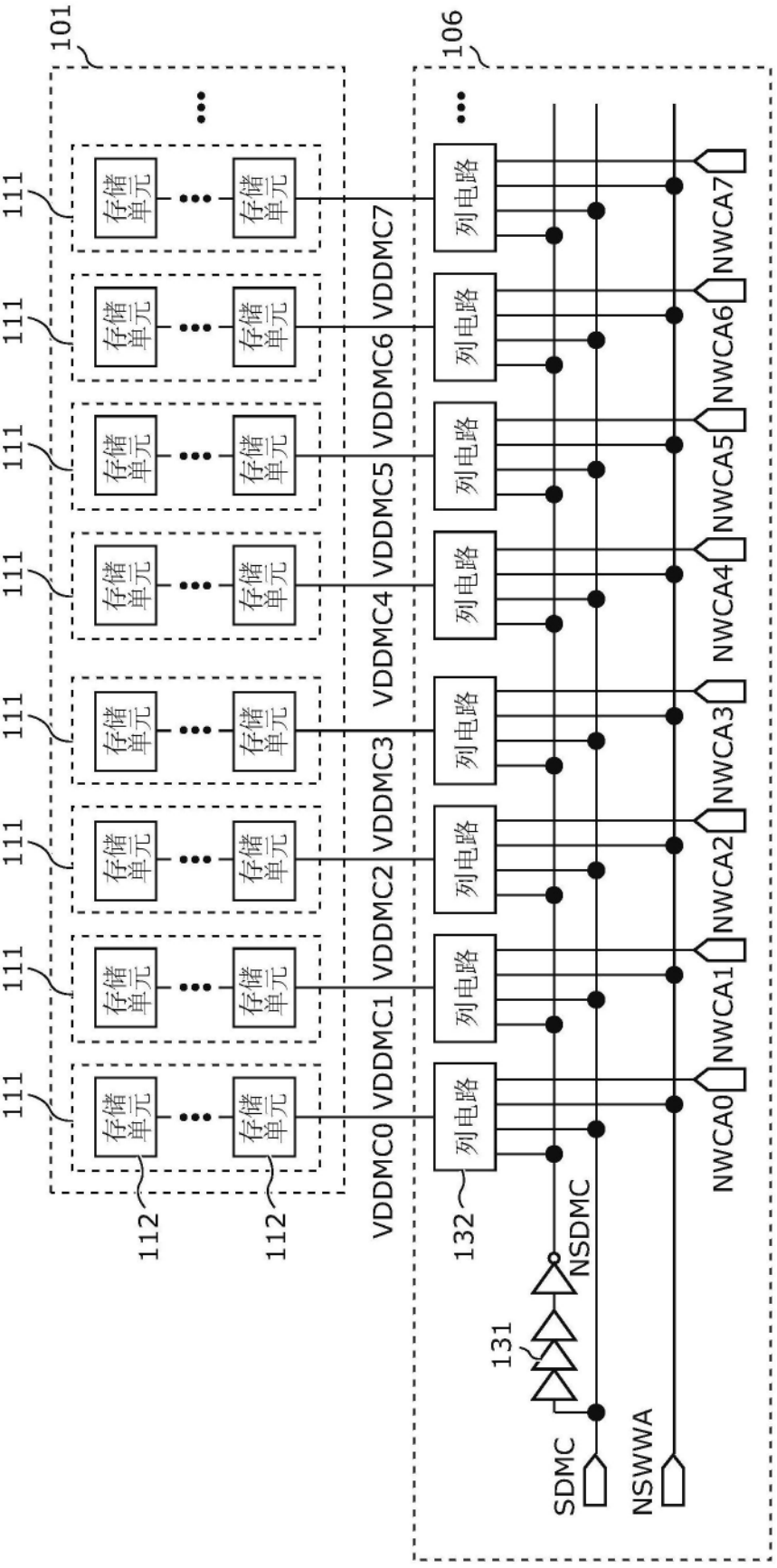

101
106
111
112
存储单元
列电路
132
131
VDDMC0
VDDMC1
VDDMC2
VDDMC3
VDDMC4
VDDMC5
VDDMC6
VDDMC7
NWCA0
NWCA1
NWCA2
NWCA3
NWCA4
NWCA5
NWCA6
NWCA7
NSDMC
SDMC
NSWWA

图8

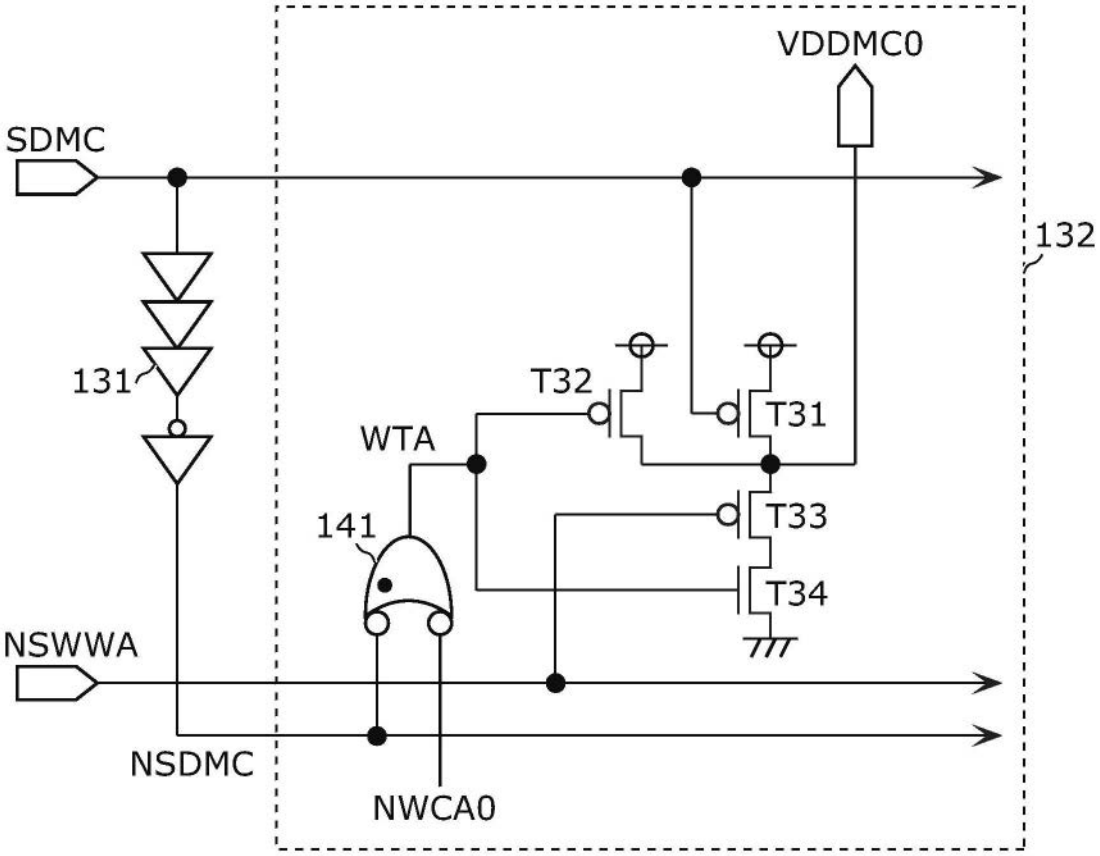


图9

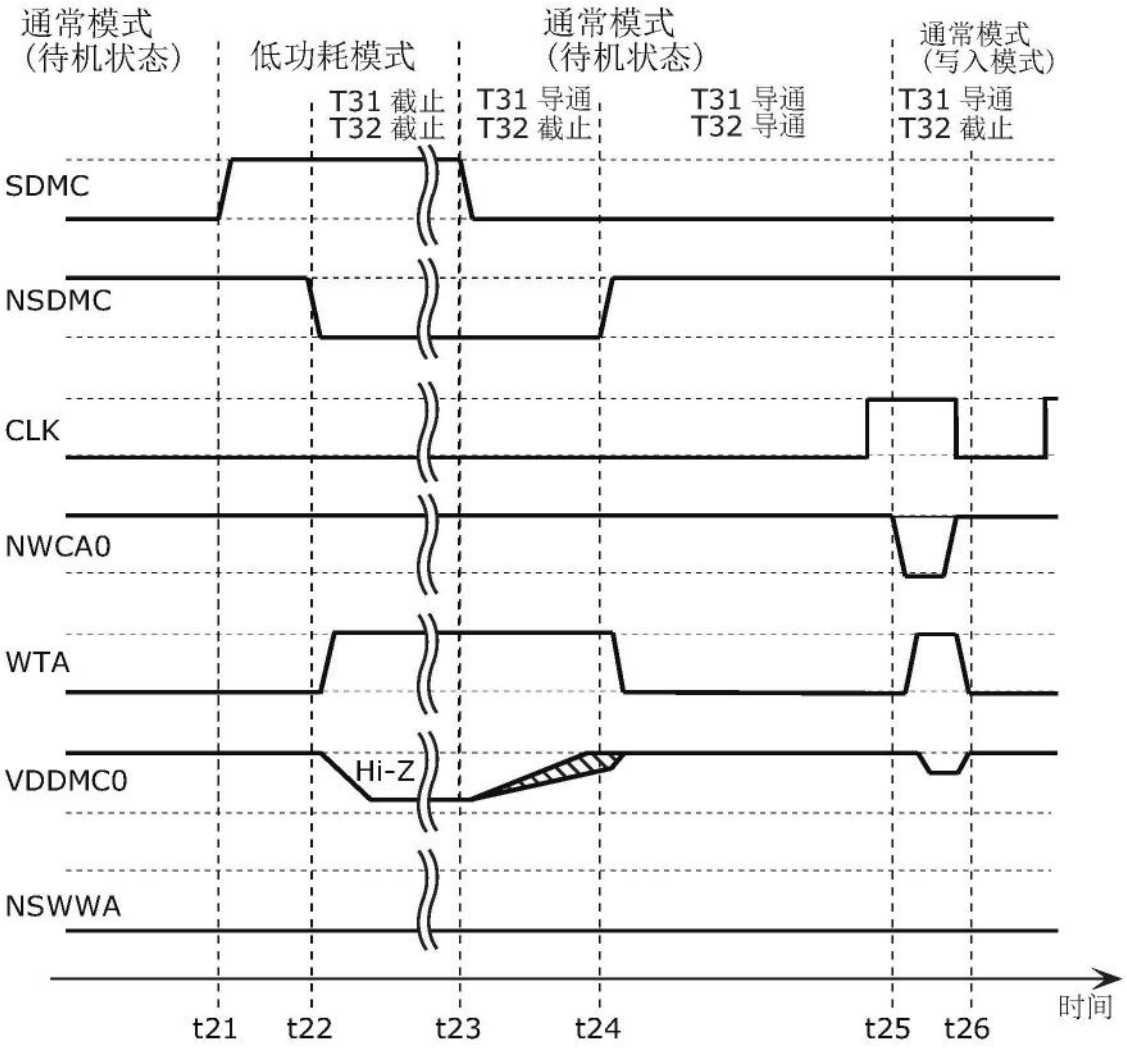

通常模式
(待机状态)
低功耗模式
通常模式
(待机状态)
通常模式
(写入模式)
T31 截止
T32 截止
T31 导通
T32 截止
T31 导通
T32 导通
T31 导通
T32 截止
SDMC
NSDMC
CLK
NWCA0
WTA
VDDMC0
Hi-Z
NSWWA
时间
t21
t22
t23
t24
t25
t26

图10

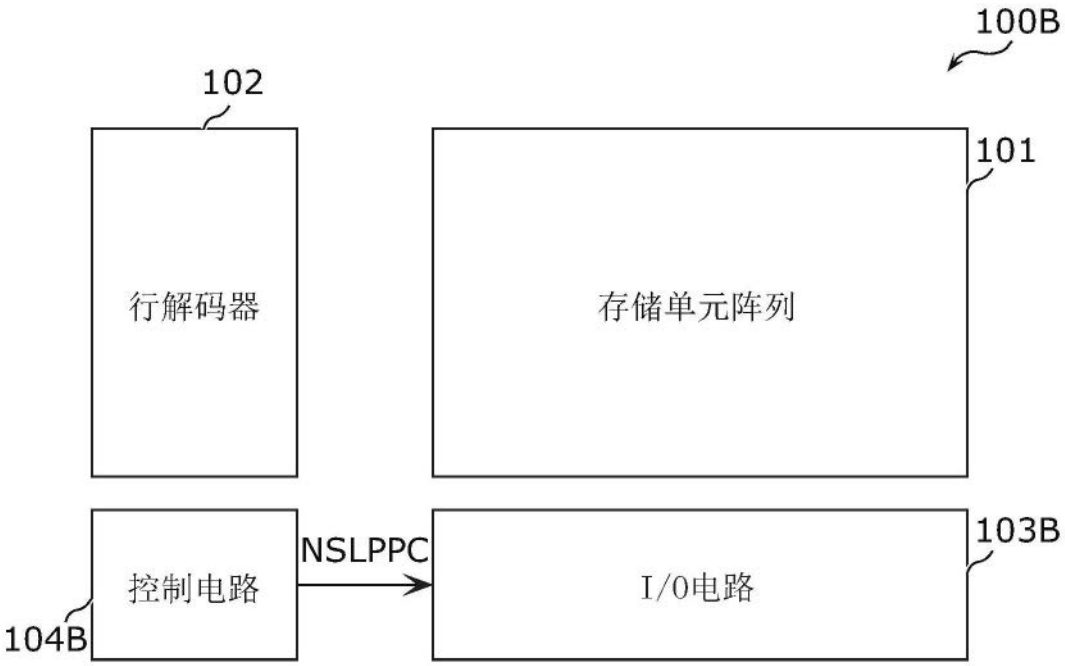


图11

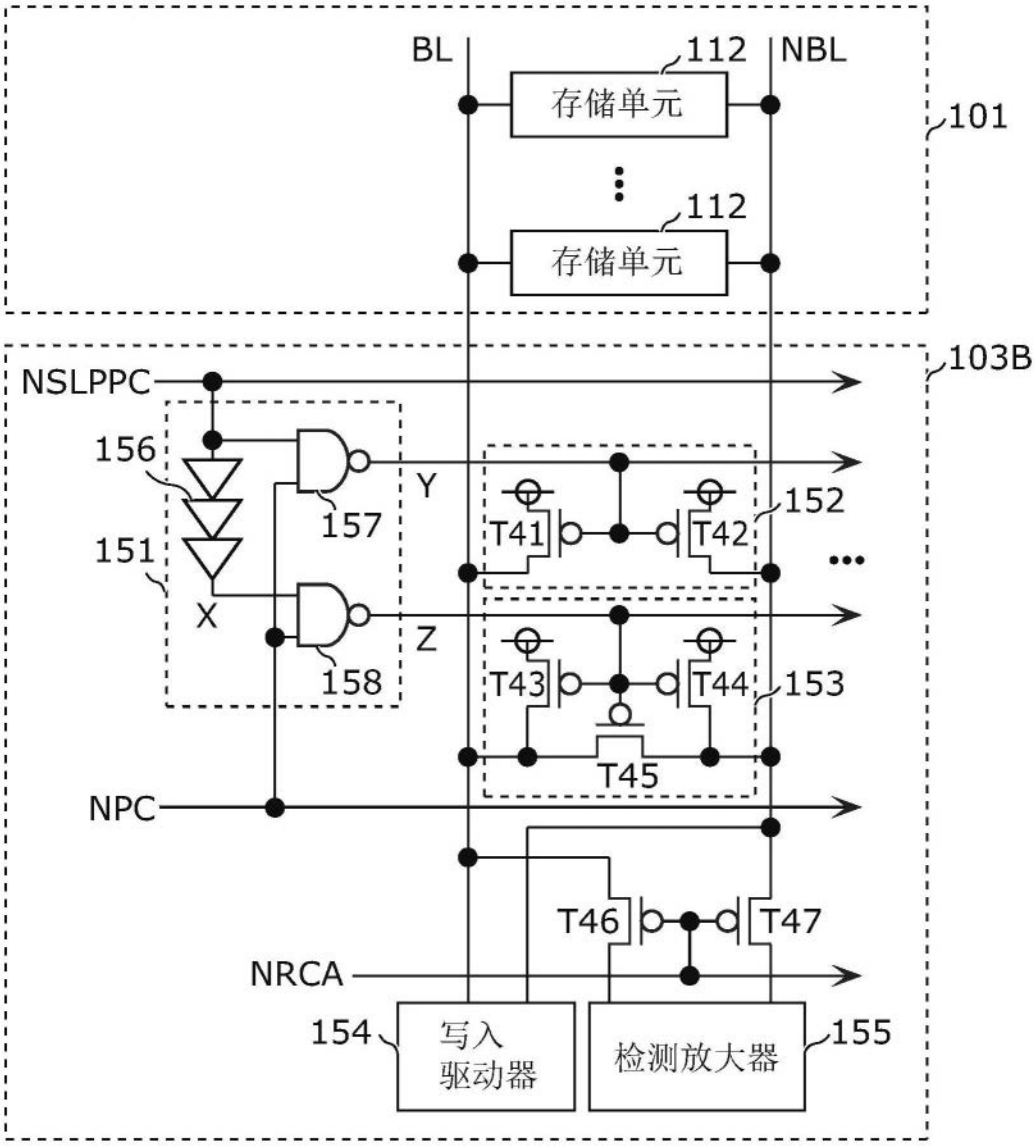

BL
112
NBL
存储单元
101
112
存储单元
103B
NSLPPC
156
151
X
157
158
Y
Z
T41
T42
152
T43
T44
153
T45
NPC
T46
T47
NRCA
154
写入
驱动器
检测放大器
155

图12

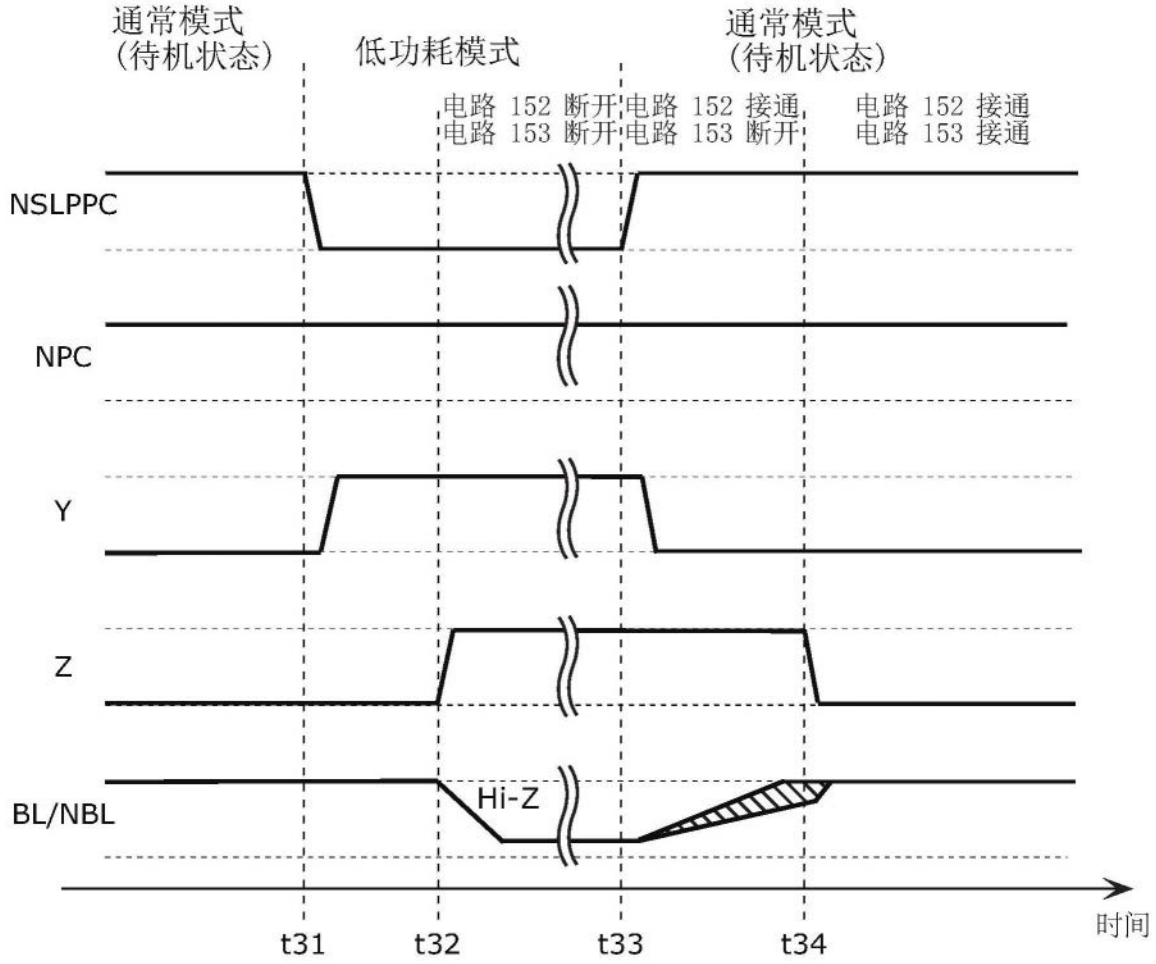

通常模式
(待机状态)
低功耗模式
通常模式
(待机状态)
电路 152 断开
电路 153 断开
电路 152 接通,
电路 153 断开
电路 152 接通
电路 153 接通
NSLPPC
NPC
Y
Z
BL/NBL
Hi-Z
t31
t32
t33
t34
时间

图13

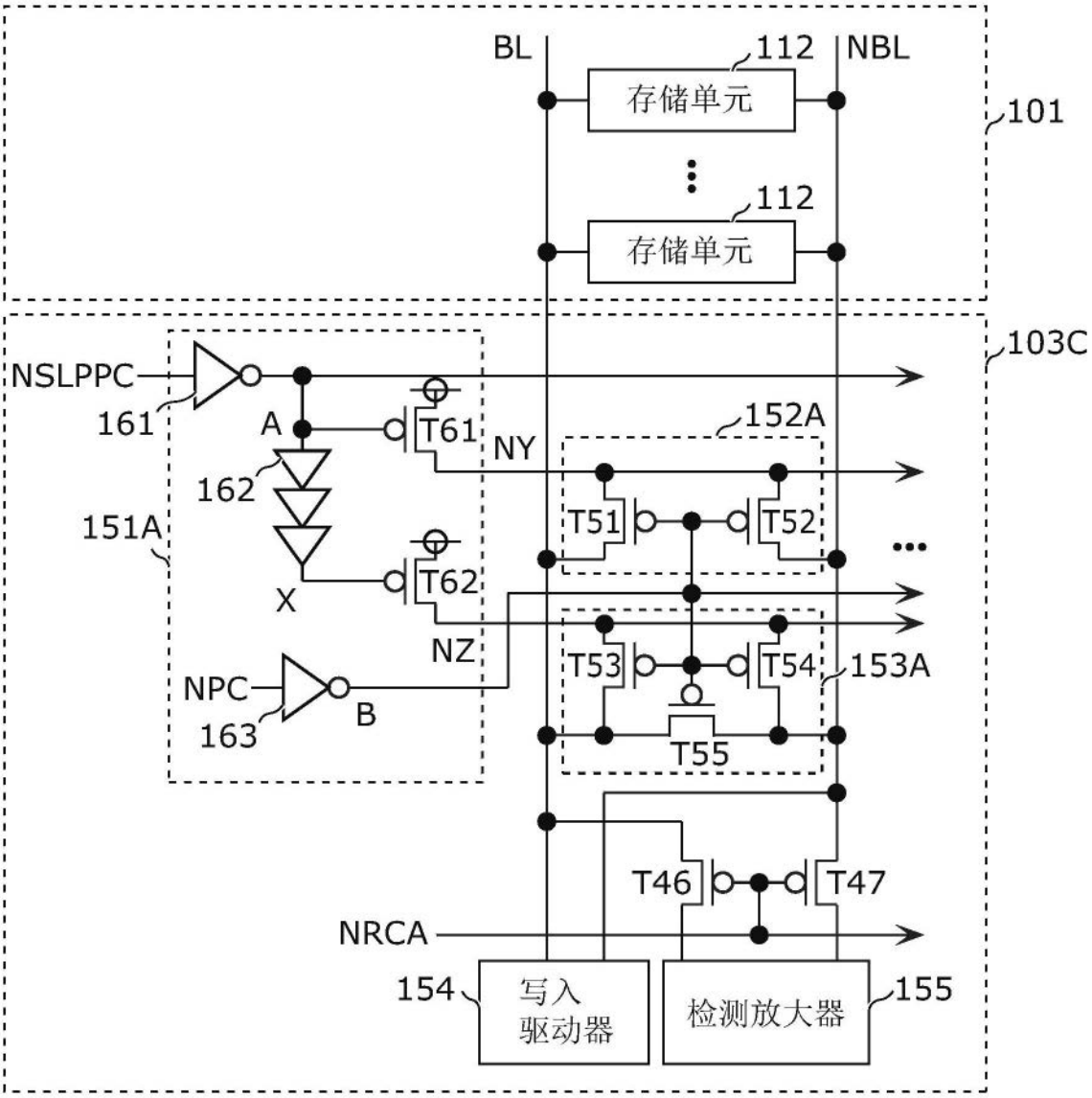

BL
112
NBL
存储单元
101
112
存储单元
103C
NSLPPC
161
A
T61
NY
152A
162
151A
T51
T52
X
T62
NZ
T53
T54
153A
NPC
163
B
T55
T46
T47
NRCA
154
写入
驱动器
检测放大器
155

图14

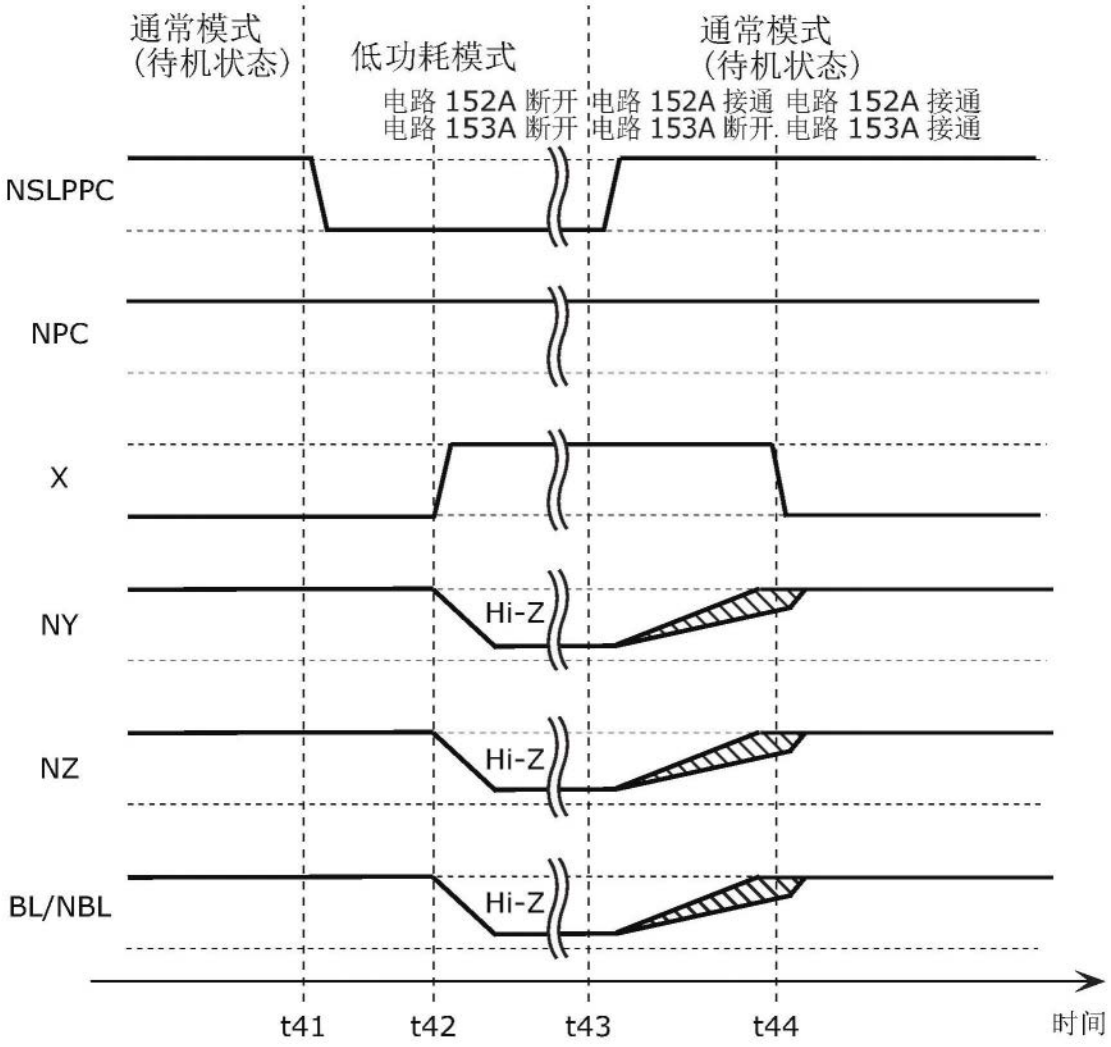

通常模式
(待机状态)
低功耗模式
通常模式
(待机状态)
电路 152A 断开
电路 153A 断开
电路 152A 接通
电路 153A 断开
电路 152A 接通
电路 153A 接通
NSLPPC
NPC
X
NY
NZ
BL/NBL
Hi-Z
Hi-Z
Hi-Z
t41
t42
t43
t44
时间

图15

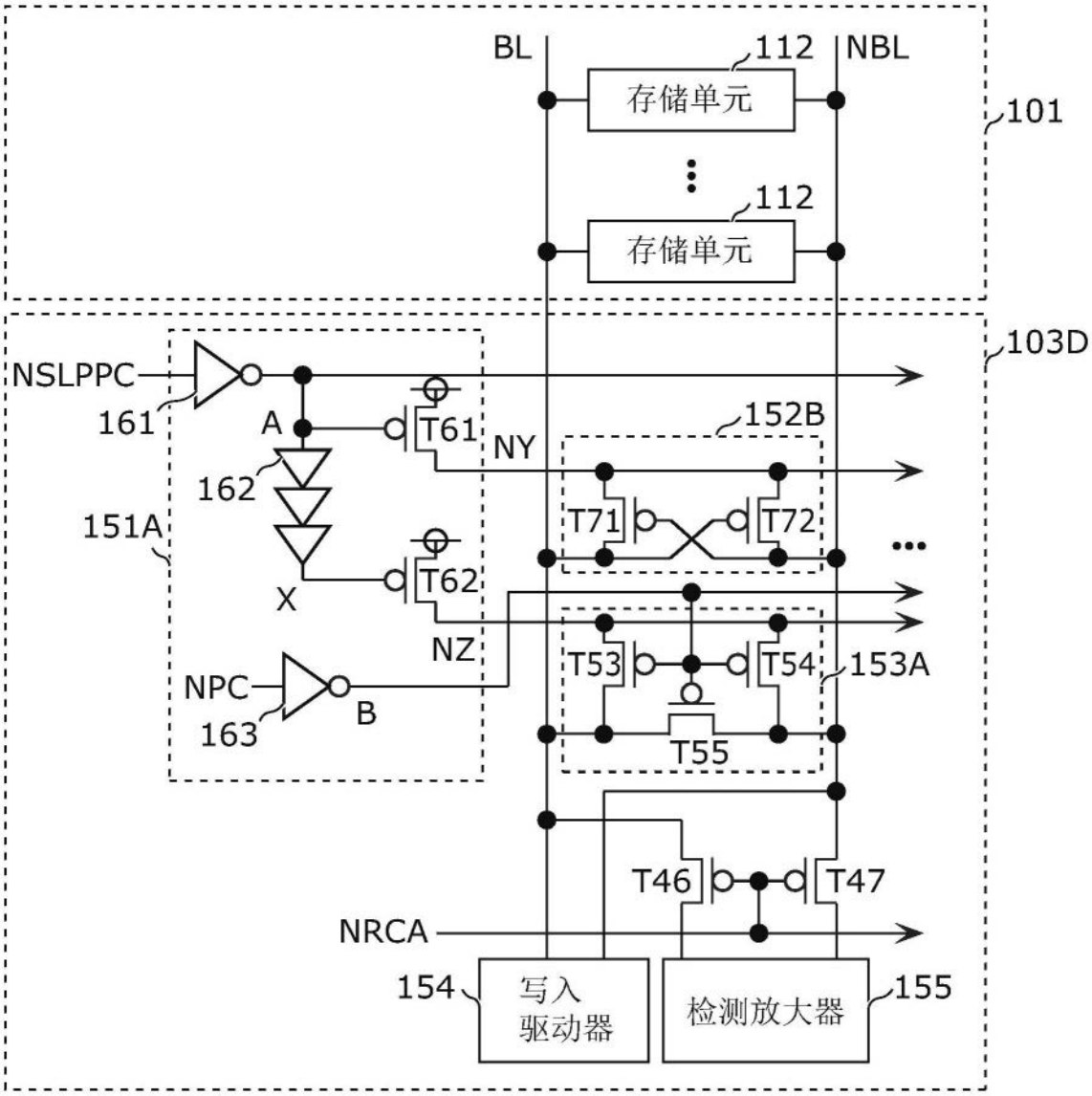

BL
112
NBL
存储单元
101
112
存储单元
103D
NSLPPC
161
A
T61
NY
152B
162
T71
T72
151A
T62
X
NZ
T53
T54
153A
NPC
163
B
T55
T46
T47
NRCA
154
写入
驱动器
检测放大器
155

图16