



Ausschliessungspatent

Erteilt gemäß § 5 Absatz 1 des Änderungsgesetzes
zum Patentgesetz

ISSN 0433-6461

(11)

202 218

Int.Cl.³

3(51) H 04 L 27/18

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) AP H 04 L/ 2393 563

(22) 27.04.82

(44) 31.08.83

(71) siehe (73)

(72) BORS, LÁSZLÓ, DIPL.-ING.; GÁRDAY, ERNŐ; SZÁBÓ, LÁSZLÓ; SOMOGYI, ANDRÁS, DIPL.-ING.; HU;
PETSCHNER, GÉZA; HU;

(73) ORION RÁDIO ÉS VILLAMOSSÁGI VÁLLALAT; BUDAPEST, HU

(74) PAB (PATENTANWALTSBUERO BERLIN) 1499557 1130 BERLIN FRANKFURTER ALLEE 286

(54) VERFAHREN UND SCHALTUNGSANORDNUNG ZUR ERZEUGUNG EINER PHASENGETASTETEN KOHAERENTEN TRÄGERFREQUENZ

(57) Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur Erzeugung einer phasengetasteten kohärenten Trägerfrequenz durch ein Basisband-Signalverarbeitungssystem, insbesondere für digitale Funkübertragungsanlagen. Mit der Erfindung werden bei der Regenerierung der digitalen Information verschiedene Nachteile des Standes der Technik, u. a. eine Synchronisierung auf eine falsche Frequenz, vermieden. Das Verfahren ist dadurch gekennzeichnet, daß das kohärente Referenzsignal durch das Ausgangssignal eines phasenmäßig in einer geschlossenen Schleife arbeitenden spannungsgeregelten Oszillators erzeugt wird, dessen Steuersignal aus dem demodulierten Basisbandsignal durch digitale Frequenzvervielfachung und anschließendes Aussieben des erhaltenen digitalen Steuer- oder Fehlersignals erzeugt wird, wobei zumindest die eine nicht regenerierte Rechtecksignalreihe — beispielsweise durch Vergleich der zu übertragenden digitalen Signalreihe mit einer zum Taktsignal synchronisierbaren jitterfreien Signalreihe — ausgewertet wird, woraufhin man das Auswertungsergebnis als Digitalsignal speichert, durch dessen Einwirkung im Fall einer als fehlerhaft befundenen demodulierten Rechtecksignalreihe die Frequenz oder die Phase des Ausgangssignals des spannungsgesteuerten Oszillators verändert wird. Fig. 1

239356 3

Verfahren und Schaltungsanordnung zur Erzeugung einer phasengetasteten kohärenten Trägerfrequenz

Anwendungsgebiet der Erfindung:

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zum Erzeugen einer in der Phase getasteten kohärenten Trägerfrequenz durch ein Basisband-Signalverarbeitungssystem, insbesondere für digitale Rundfunk-Übertragungsanlagen, bei denen aus der durch mehrpegelige Phasentastung modulierten Trägerfrequenz ein kohärentes Referenzsignal erzeugt wird. Eine derartige Schaltung wird zur Erkennung und Regenerierung der digitalen Information benötigt.

Charakteristik der bekannten technischen Lösungen:

In den eine digitale Information übertragenden Systemen, so z.B. in den digitalen (PCM) Signalreihen übertragenden

12 AUG 1982 * 028661

Punktelaiseinrichtungen oder bei den Datenübertragungssystemen, verwendet man bei der Modulation wegen seiner Vorteile vorteilhaft ein mehrpegeliges Trägerfrequenz-Phasendemodulationssystem, was mit anderen Worten auch als Phasentastung bezeichnet wird (N-PSK, wo $N=2,4,8,\dots$, d.h. die Zahl der Modulationspegel bezeichnet).

Die Phasentastung kann auch nach dem sogenannten "Quadrature partial response" Verfahren (englische Abkürzung QPR) erzeugt werden. Bei diesem Verfahren ist die Zahl der Modulationspegel eine ungerade Zahl. (Siehe z.B. Lucky, R.W. - Salz, J. - Weldon, E.M., "Principles of Data Communication", McGraw-Hill, Inc., New York, 1968.)

Ein gemeinsames Merkmal dieser erwähnten Modulationsverfahren liegt darin, daß das Modulationsspektrum die Trägerfrequenz nicht in Form von diskreten Komponenten enthält.

Auf der Empfangsseite verwendet man zwecks Wiederherstellung der Information praktisch die nachstehenden Verfahrensschritte:

1. durch die unmodulierte Trägerfrequenz wird ein kohärentes Referenzsignal erzeugt;
2. die mit dem kohärenten Referenzsignal modulierte Trägerfrequenz wird in der Phase demoduliert (kohärenter Detektor);
3. die N-demodulierten Basisband-Signale werden einem Entscheidungsstromkreis zugeführt, der die Signale digitalisiert, d.h. Rechtecksignale erzeugt;
4. die signalreihe aus elementaren Signalen, die jitterartig sind, d.h. schwebende Breite aufweisen, werden regeneriert, und zwar mit Hilfe eines zumeist aus der modulierten Basisband-Signalreihe erhaltenen Taktsig-

nals. (Siehe Lucky - Salz - Weldon, "Principles of data Communication", McFraw-Hill, Inc., New York.)

Die Güte des Modulators wird weitgehend dadurch bestimmt, in welcher Qualität aus dem verrauschten und durch die Übertragung verzerrten modulierten Signalen eine kohärente Übertragungsfrequenz mit stabiler Frequenz hergestellt werden kann.

Bei dem zur Zeit am stärksten verbreiteten System wird aus dem die Trägerfrequenz nicht beinhaltenden modulierten Signal die Trägerfrequenz im allgemeinen in zwei Schritten hergestellt. Im ersten Schritt wird die modulierte Trägerfrequenz auf eine nicht lineare Stufe N-ten-Grades geleitet, z.B. auf eine N-mal multiplizierende Schaltung gegeben.

Die Qualität, oder Reinheit der hergestellten Trägerfrequenz ist wegen der erforderlichen Bandbegrenzung des Systems (Vorschriften bezüglich Sendespektrum, Empfängergeräuschabsenkung) im allgemeinen nicht ausreichend, und zwar wegen des Modulationsgeräusches, das nach der Vervielfachung zurückbleibt.

Deswegen erfolgt im zweiten Schritt die Reinigung der Trägerfrequenz durch Anwendung einer geschlossenen Schleife (englische Abkürzung: PLL), und zwar derart, daß ein aus einem spannungsgeregeltem Oszillator (VCO) gewonnenes Signal und ein Signal, das aus dem Spektrum ausgewählt ist, mit Hilfe eines analogen vervielfachenden Stromkreises (kohärenter Detektor) miteinander vermischt werden und der VCO-Oszillator durch ein Fehlersignal gesteuert wird, das der Phasendifferenz proportional ist. Nach diesem Prinzip arbeitet der kohärente Phasendemodulator vom Typ DRF 04 M (400 MHz mit 2 Mbit/s Übertragungsgeschwindigkeit) der Firma Orion Rádió és Villamossági Vállalat. Auf der Seite wird das 4-PSK-modulierte Signal im Empfänger auf eine Frequenz von 5 MHz gemischt, wonach mit Hilfe eines Frequenzverviel-

fachers eine vervierfachte Frequenz erzeugt wird. Danach wird das Signal in eine phasenmäßig geschlossene Schleife geführt, die das Signal eines Oszillators von 20 MHz auf die ausgewählte vierfache Empfangskomponente heraufsynchronisiert, wonach schließlich das Signal des so beaufschlagten Oszillators in Form von um in der Frequenz um 90° verschobenen Phasenkomponenten auf das Viertel hergestellt wird, die als Referenzsignale für die im Phasendemodulator vorhandenen kohärenten Detektoren dienen.

Die Wiederherstellung der digitalen Information wird im Sinne der eingangs erwähnten Weise durch Vervielfachung der in der phasendemodulierten Signale, und nach einer Regenerierung durchgeführt.

Die Anwendung dieses Verfahrens bei höheren Funkfrequenzen, z.B. von einigen GHz- oder auch darüber, verursacht bei mit diesen Frequenzen arbeitenden Einrichtungen mehrere Schwierigkeiten, vor allem wegen der an die PLL-Schleife gestellten widersprüchlichen Forderungen. Die Erhöhung des Signal-Geräusch-Verhältnisses des Referenzträgers erfordert eine Verringerung der Bandbreite der Schleife. Zugleich muß aber die Schleife eine genügend große Bandbreite aufweisen, d.h. es muß ein entsprechend breites Einfanggebiet vorhanden sein, damit das System den Schwankungen der Frequenz des VCO-Oszillators (Temperaturänderungen, Speisespannungsschwankungen, Alterung) sicher folgen kann. Als Beispiel sei erwähnt, daß im 2 GHz-Band, gerechnet mit einer herkömmlichen relativen Frequenzstabilität von $\pm 2 \times 10^{-5}$ der Empfangsoszillatoren, die absolute Abweichung der Frequenz KF vom Nennwert von ± 80 kHz nach der Frequenz-Vervielfachung $\pm 4 \times 80 = \pm 320$ kHz beträgt, wozu noch die VCO-Stabilität hinzugerechnet werden muß. Das bedeutet, daß wenigstens ein Einfanggebiet von ± 400 kHz erforderlich ist. Mit anderen Worten heißt dies, daß dies, bezogen auf einen VCO von 20 MHz, einen mindestens 2 % hohen relativen

Wert bedeutet. Sowohl die Theorie (z.B. Lindsey W.C., "Synchronization Systems in Communication and Control", Prentice - Hall, Inc., New Jersey), als auch die Messungen in vorhandenen Geräten beweisen, daß ohne ergänzende Schaltung im Fall von größeren relativen Einfanggebieten über 1 % die Wirkungsweise der PLL-Schleife aufgrund ihrer Unstabilität als kritisch bezeichnet werden muß. (Siehe KTI-KGM:Mbit/s sebességü digitális rádiórelé berendezés elektromos mintája.)

Zur Verbreiterung des Einfanggebietes der PLL-Schleife besteht ein herkömmliches Verfahren in der Anwendung von sog. "einfangenden" Hilfsschaltungen, die bewirken, daß die Schleife, falls sie aus dem Synchronbereich herausgefallen ist, den VCO innerhalb eines Frequenzbandes solange verstimmen kann, bis die Schleife wieder in die richtige (eingefangene) Lage gelangt.

Die Wirkungsweise dieser Schaltung wird dadurch bestimmt, durch welche Kriterien das Einfangen ausgelöst oder beendet werden soll. Zu diesem Zweck verwendet man zumeist das Fehlersignal der Steuerschleife des VCO-Oszillators oder ein von diesem abgeleitetes Signal. (Siehe z.B. Yamashita, T., Sakata, T., Iguchi, K., "Synchronous Phase Demodulators for High Speed Quadrature PSK Transmission Systems", FUJITSU Scient. Techn. J., Dec. 1975.)

Solange im genannten Bereich der Schleife der Wert der Fehlerspannung der Schleife der Frequenz des VCO-Oszillators gut folgen kann, ist bei einer nicht eingefangenen Schleife der Wert der Steuerspannung gleich Null, ebenso wie an der Mitte des eingefangenen Bereiches.

Die Betätigung des sogenannten einfangenden oder mit anderen Worten einstellenden Stromkreises in Abhängigkeit von den Parametern des PLL-Oszillators verursacht weitere Probleme, und zwar in solchen Fällen, bei denen die Gefahr eines Einfangens auf falsche Frequenzen besteht.

Anhand der Fehlerspannung der Schleife kann im allgemeinen nicht entschieden werden, ob die gewünschte oder eine falsche Synchronisierung erfolgt ist. Als Beispiel sei erwähnt, daß die Auswahl der Trägerfrequenz durch das Frequenzvervielfachungssystem nicht nur die Trägerfrequenz aus dem Spektrum auswählt, sondern auch die Komponente der digitalen Bitfrequenz im Bereich der Trägerfrequenz, die besonders im Falle von niedrigen Bitfrequenzen von den Trägerfrequenzen nicht weit entfernt sind. (Siehe Simon, M.K., "False Lock Performance of Quadriphase Receivers", IEEE Trans. on Com., Vol. COM-27, No.11.)

Die Gewinnung der kohärenten Trägerfrequenz aus dem in der Phase getasteten Signals, bei gleichzeitiger kohärenter Phasendemodulation bedeutet praktisch, daß gleichzeitig nach dem System der Basisbandsignalverarbeitung vorgegangen wird. Das Wesentliche liegt hierbei darin, daß keine besonderen frequenzvervielfachen Schaltungen erforderlich sind, weil die Basissignale die demoduliert sind, aus dem analogen Produkt hergestellt werden können, und zwar zwecks Steuerung eines VCO-Oszillators in einer geschlossenen Schleife, der gleichzeitig das Referenzsignal der kohärenten Detektoren liefert. Ein Nachteil dieses Verfahrens, insbesondere bei mittleren und höheren Bitzahlen liegt darin, daß die Frequenzabhängigkeit und Nichtlinearität der breitbandigen analogen Multiplikatoren den Wirkungsgrad des Verfahrens erheblich verschlechtern.

Beim Einsatz von passiven analogen Multiplikatoren muß man zwischen den einzelnen Stufen Verstärker entsprechender Zahl anordnen. Bei aktiven analogen Multiplikatoren muß man wegen der Gleichspannungspegelwanderung entsprechende kompensierende Stromkreislösungen treffen. Man muß also hinter den multiplizierenden Stromkreisen für eine Unterdrückung der Kombinationsprodukte höherer Frequenzen sorgen.

Bei niedrigeren Bitzahlen treten andere Schwierigkeiten auf. Aus dem Prinzip des Verfahrens ergibt sich zwangsläufig, daß die Gefahr einer falschen Synchronisierung viel größer ist als bei der Trägerfrequenzwahl bei der Frequenzvervielfachungsmethode. In der Nähe der Trägerfrequenz kann diejenige Frequenz, bei der eine falsche Synchronisierung zustande kommen kann, bei einer Frequenz liegen die N-mal kleiner als die Bitfrequenz ist (z.B. im Fall von 2 Mbit/s und 4-PSK um die Trägerfrequenz von ± 250 kHz).

Zur Gewinnung der kohärenten Trägerfrequenz sind in der Fachliteratur auch andere Verfahren beschrieben worden, die aber in der Praxis nicht angewendet werden, so daß auf diese hier nicht eingegangen werden soll.

Ziel der Erfindung:

Ziel der Erfindung ist die Ermöglichung einer Wiederherstellung der digitalen Information aus der nach dem N-PSK- oder QPR-Prinzip in der phasengetasteten Trägerfrequenz, wobei die nachteiligen Eigenschaften der bekannten Verfahren teilweise oder gänzlich beseitigt werden, und zwar mittels einer einfachen Schaltung, die vielseitig einsetzbar ist. Das Verfahren und die Schaltungsanordnung gemäß der Erfindung sollen unter anderen die nachstehenden Vorteile bieten:

- aus dem modulierten Signal soll die kohärente Trägerfrequenz ausgewählt und die kohärente Phasendemodulation ohne Anwendung einer speziellen Frequenzvervielfachungsstufe in einem einzigen Schritt durchgeführt werden;
- das Einfang- oder Einzugsgebiet der geschlossenen Schleife soll am Eingang des Demodulators um 5 % oder mehr gegenüber der Frequenz der kohärenten Trägerfrequenz verbreitert werden;

- die geschlossene Schleife soll ihrem eingezogenen bzw. eingefangenen Zustand von äußeren Einflüssen (Temperatur- und Spannungsabhängigkeit, Alterung der verwendeten Schaltelemente usw.) weitgehend unabhängig gemacht werden;
- es soll ein effektiver Schutz gegen eine falsche Synchronisierung geschaffen werden;
- das Einfangen der phasenmäßig geschlossenen Schleife und das Festhalten derselben soll automatisch aufgrund der Auswertung der digitalen Signalreihe erfolgen;
- in der phasenmäßig geschlossenen Schleife (PLL) soll das Fehlersignal durch eine digitale Schaltung hergestellt werden.

Darlegung des Wesens der Erfindung:

Die Erfindung geht von einem Verfahren aus, bei dem eine in an sich bekannter Weise modulierte Trägerfrequenz mit einem kohärenten Referenzsignal in der Phase demoduliert wird, wonach die so hergestellte analoge Basisband-Signalreihe (Signalreihen) mit Hilfe eines Entscheidungsstromkreises in Rechtecksignale umgeformt wird (werden), woraufhin zweckmäßig durch Anwendung eines Taktsignals, das isochron mit der zu übertragenden Signalreihe hergestellt ist, regeneriert wird. Das Wesen der Erfindung liegt darin, daß das kohärente Referenzsignal durch das Ausgangssignal eines in einer geschlossenen Schleife (PLL) arbeitenden spannungsgeregelten Oszillators (VCO) erzeugt wird, dessen Steuersignal (Fehlersignal) selbst von dem demodulierten Basisband-Signal durch digitale Frequenzvervielfachung hergestellt wird, wonach das Fehlersignal durch Aussieben des so erhaltenen digitalisierten Fehlersignals erzeugt wird. Zumindest die eine nicht regenerierte Rechtecksignalreihe wird, zweckmäßig durch Vergleich zwischen dem Taktsignal der zu übertragenden digitalen Signalreihe und einer

jitter-freien Signalreihe ausgewertet, woraufhin das Ergebnis des Vergleiches in Form eines binären Signals gespeichert wird, durch dessen Einfluß im Fall einer als fehlerhaft befundenen, aber demodulierten Rechtecksignalreihe die Frequenz oder die Phase des Ausgangssignals des in der Spannung gesteuerten Oszillators verändert wird.

Zur Durchführung des erfindungsgemäßen Verfahrens dient eine Schaltungsanordnung, die einen an sich bekannten kohärenten Phasendemodulator, einen Entscheidungsstromkreis, eine Regenerierschaltung, ein Tiefpaßfilter, einen in der Spannung gesteuerten Oszillator, einen $\pi/2$ Phasenschieber, einen digitalen Fehlersignalbildungsstromkreis, einen digitalen Auswertestromkreis, einen ein Einstellsignal erzeugenden Generator und gegebenenfalls weitere digital gesteuerte Phasenschieber enthält, wobei mindestens ein zeitbestimmender Eingang und wenigstens ein digitaler Ausgang vorgesehen sind.

Das Wesen der erfindungsgemäßen Schaltungsanordnung liegt darin, daß der Eingang für den modulierten Träger gleichzeitig der gemeinsame Eingang von zwei kohärenten Phasendetektoren bildet, wobei zumindest ein digitaler Ausgang durch wenigstens einen Ausgang eines Regenerators gebildet wird. In einem weiteren Eingang des kohärenten Phasendetektors liegt ein $\pi/2$ Phasenschieber, der auch den anderen kohärenten Phasendetektor steuert, wobei die Ausgänge der kohärenten Phasendetektoren an je einen Eingang eines das digitale Fehlersignal bildenden Stromkreises und weiterhin an je einem Eingang eines Entscheidungsstromkreises anliegen. Der Ausgang des digitalen fehlerbildenden Stromkreises ist mit dem Eingang eines Tiefpaßfilters, der Ausgang des letztgenannten mit dem einen Eingang eines in spannungsgesteuerten Oszillators verbunden. Der Ausgang (Ausgänge) des Entscheidungsstromkreises liegt am Eingang (Eingänge) des Regenerators, bei dem zumindest ein Eingang

mit dem Eingang eines digitalen Auswertestromkreises verbunden ist, dessen weitere Eingänge gleichzeitig die zeitbestimmenden Eingänge der Schaltungsanordnung sind, wobei der Ausgang mit dem Eingang eines Einstellsignalgenerators galvanisch verbunden ist, zumindest ein Eingang dieses Einstellsignalgenerators ist entweder mit einem weiteren Eingang des in der Spannung gesteuerten Oszillators oder mit einem weiteren Eingang eines digitalen Phasenschiebers verbunden.

Ausführungsbeispiel:

Die Erfindung wird anhand von Ausführungsbeispielen nachfolgend näher erläutert. In den zugehörigen Zeichnungen zeigen:

Fig. 1: das Blockschaltbild der Schaltungsanordnung gemäß der Erfindung,

Fig.

2, 3, 4: eine mögliche Ausführungsvariante des die digitalen Fehlerzeichen bildenden Stromkreises, der einen Teil der erfindungsgemäßen Schaltungsanordnung bildet,

Fig. 5: ein Ausführungsbeispiel der analogen Summierschaltung der Fig. 4,

Fig. 6: eine mögliche Ausführungsform des Einstellsignalgenerators der Fig. 1,

Fig. 7: eine mögliche Ausführungsform des digitalen Auswertungsstromkreises.

Die Schaltung nach Fig. 1 wäre ohne den Einstellsignal-Generator und den digitalen Auswertestromkreis 12 eine kohärente Trägerfrequenz bildende Schaltung und Phasende-

modulatorschaltung, die nach dem Prinzip der Basisband-Signalverarbeitung arbeitet (sog. Costas-Schleife), wenn anstelle des das digitale Fehlersignal bildenden Stromkreises 9 das Fehlersignal über einen analog multiplizierenden Stromkreis erzeugt würde, und zwar aus den am Ausgang der kohärenten Phasendetektoren 4 und 33 erscheinenden demodulierten analogen Basisband-Signalen.

Die letztere Signalreihe wird auch als "Augenfigur"-Signalreihe, und zwar aufgrund ihrer Oszillogramme, bezeichnet, wenn die modulierende Signalreihe statistisch als nahezu zufällig betrachtet werden kann.

Falls x den Phasenunterschied zwischen dem Momentanwert der modulierten Trägerfrequenz und dem Referenzsignal bedeutet, so ist die Vorbedingung für die Regelung eine Phasentastung mit dem Pegel N ($N = 2, 4, 8 \dots$), und im Fall einer sinusförmigen Komparatorcharakteristik müßte sich das Fehlersignal nach der Funktion $\sin(Nx)$ verändern. In dem das digitale Fehlersignal erzeugenden Stromkreis 9 wird die momentane Vor- oder Nacheilung des Referenzsignals durch ein Fehlersignal gesteuert, das nur das multiplizierte Phasenunterschiedssignal berücksichtigt.

$$\begin{aligned} \text{sgn } \lfloor \sin(Nx) \rfloor, \\ = 1, \text{ wenn } y > 0 \\ \text{wo } \text{sgn } y \\ = 1, \text{ wenn } y < 0. \end{aligned}$$

In diesem Falle beschreibt die Charakteristik des Phasenkomparators eine Rechteckkurve, die der sinusförmigen Kurve nicht nur gleichwertig, sondern aus anderen Gründen sogar überlegen ist (z.B. Einstellzeit). Damit das Fehlersignal in dieser Form ein Signal von zwei Zuständen ist, sei darauf hingewiesen, daß im Fall von Modulationen mit verschiedenen Pegeln (N-PSK) die Herstellung dieses Signals viel leichter als bei dem traditionellen analogen Fehlersignal

ist. Natürlich erfolgt die Steuerung des VCO-Oszillators nicht unmittelbar durch den Momentanwert des Fehlersignals, sondern durch den zeitlichen Mittelwert dieses Signals, was durch das Tiefpaßfilter 8, das im Wege des Fehlersignals liegt, gesichert wird, wie dies aus Fig. 1 ersichtlich ist.

Die Momentanwerte der demodulierten analogen Basisband-Signale an den Ausgängen der kohärenten Detektorren 4 bzw. 33 werden nachfolgend mit p und q bezeichnet, wobei eine Winkelfunktion von x die momentane Phasenabweichung zwischen dem eintreffenden modulierten Signal und dem Referenzsignal bezeichnet und zwar gilt:

$$\begin{aligned} p &= \cos x \\ q &= \sin x. \end{aligned}$$

Anhand elementarer trigonometrischer Zusammenhänge kann leicht bewiesen werden, daß aus den den Werten p und 1 analogen Zeichen die Herstellung der digitalen Fehlersignalfunktion, die durch Multiplikation erfolgt, statt durch einen analogen Multiplizierungsschritt, zwecks Beseitigung der damit verbundenen Schwierigkeiten, nur durch eine binäre Summierung, also durch Addition der binären Zahlen "Modulo 2" erfolgen kann (mit $\oplus$ bezeichnet). Wenn man bei den beiden Werten von $\text{sgn } y$ (Vorzeichen-Funktion) durch die Bezeichnung $\text{SGN } y$ eine binäre Funktion zuordnet, so ergibt sich der Wert $\text{SGN } y$ zu:

$$\text{SGN } y = \frac{1 + \text{sgn } y}{2} .$$

Im Fall von verschiedenen Modulationsmöglichkeiten beschreiben die nachstehenden Formeln den Wert der digitalisierten Fehlersignalfunktion, durch die den Werten p und q analogen Ziffern ausgedrückt, wo u_N die Vorzeichen-Funktion, U_N das binäre Fehlerzeichen, N den Index des Modulationspegels ($N = 2, 4, 8$) bezeichnet:

2-PSK:

$$u_2 = \text{sgn}(\sin 2x) = \text{sgn } p \cdot \text{sgn } q,$$

$$U_2 = \text{SGN } p \oplus \text{SGN } q$$

4-PSK:

$$u_4 = \text{sgn}(\sin 4x) = \text{sgn } p \cdot \text{sgn } q \cdot \text{sgn}(p+q) \cdot \text{sgn}(p-q)$$

$$U_4 = U_2 \oplus \text{SGN}(p+q) \oplus \text{SGN}(p-q)$$

8-PSK, QPR:

$$u_8 = \text{sgn}(\sin 8x) = \text{sgn}(\sin 4x) \cdot \text{sgn}[\sin 4/\sqrt{2} (8-x)]$$

$$U_8 = U_4 \oplus U'_4,$$

wo

$$U'_4 = \text{SGN } P + \text{SGN } Q + \text{SGN}(P+Q) + \text{SGN}(P-Q)$$

$$P = k_1 p + k_2 q$$

$$Q = k_2 p - k_1 q$$

$$k_1 = \cos \pi/8$$

$$k_2 = \sin \pi/8$$

Die angegebene Art der Herstellung des Fehlersignals durch die Formeln wird nachfolgend als digitale Frequenzvervielfachung bezeichnet, durch die aus den Signalen $p = \cos x$ und $q = \sin x$ das Signal $\text{sgn}(\sin Nx)$ hergestellt wird. Die erfindungsgemäße Anwendung des Prinzips der digitalen Frequenzvervielfachung zur Herstellung des Fehlersignals für die Steuerung des VCO-Oszillators bringt den großen Vorteil mit sich, daß anstelle der komplizierten störanfälligen analogen Multiplizierungsstromkreise (Frequenzabhängigkeit, Verstärkung, Linearitätsprobleme aufgrund der bei der Mischung entstandenen ungünstigen Kombinationsfrequenzen usw.) bei der binären Summierung exklusive ODER-Tore verwendet werden können, wobei die analogen Zeichen p und q vorher in Rechteckform gebracht wurden (2-PSK). Außerdem können noch die Summe der beiden Signale und die Differenz derselben auch in Rechtecksignale (4-PSK) oder die Summe und die Differenz der Zeichen p und q , die mit den Werten k_1 und k_2 gewichtet sind, in Rechtecksignale (8-PSK oder QPR) umgewandelt werden.

Eine mögliche Ausführungsform zur Bildung des digitalen Fehlerzeichens für den Fall von 2-PSK ist in Fig. 2 näher dargestellt, wo der Eingang der Schaltung der Eingang von Begrenzern 15 und der Ausgang, der Ausgang eines exklusiven ODER-Tores 16 ist, an dessen Eingängen die Begrenzer 15 liegen.

Im Fall einer 4 PSK-Phasentastung entsprechend den vorher beschriebenen Zusammenhängen ist eine Ausführungsvariante des in Fig. 1 gezeigten Fehlersignal-bildenden digitalen Stromkreises 9 in Fig. 3 dargestellt, wo der gemeinsame Eingang von je einem Eingang des digitalen frequenzverdoppelnden Stromkreises 17 (siehe Fig. 2), einem Eingang einer analogen Summierstufe 18 und einem Eingang eines Differenzbilders 19 gebildet ist. Die Stufe 18 und ein Begrenzer 15 bilden eine Einheit 21. Die Stufe 19 und ein weiterer Begrenzer 15 eine Einheit 22. Der Ausgang der Schaltung ist der Ausgang eines exklusiven ODER-Tores 16, dessen einer Eingang mit dem Ausgang eines digitalen frequenzverdoppelnden Stromkreises 17 und dessen anderer Eingang mit dem Ausgang eines weiteren exklusiven ODER Tors 16 verbunden ist, dessen beide Eingänge an den Ausgang der Einheiten 21 und 22 liegen.

Fig. 4 zeigt ein Ausführungsbeispiel einer ein digitales Fehlersignal bildenden Schaltung 23 gemäß der Erfindung für den Fall einer 8-PSK Phasentastung oder QPR-Modulation. Sie enthält eine gewichtete analoge Summierstufe 34 mit Begrenzer, eine gewichtete analoge differenzbildende Schaltung 35 mit Begrenzer und zwei Frequenzvervielfacher 20, deren Ausgänge an den Eingängen eines exklusiven ODER-Tors 16 liegen.

Ein großer Vorteil des Verfahrens gemäß der Erfindung liegt darin, daß im Laufe der digitalen Frequenzvervielfachung die Rechteckherstellung der Signale p und q mittels einfacher Null-Komparatoren durchgeführt werden kann. Dabei bil-

den die Begrenzer 15 (Fig. 2 und Fig. 3) sogenannte Null-Komparatoren.

Bei der digitalen Frequenzvervierfachung kann man weitere Vereinfachungen durchführen, in dem die analoge Differenzbildung (p-q) und die Begrenzung (Rechteckverformung) in einem einzigen Schritt durch Einsatz eines Differenzkomparators durchgeführt wird, an dessen einen Eingang das Signal p und an dessen zweiten Eingang das Signal q gelangt. Die Ausführungsform des digitalen frequenzvervierfachenden Stromkreises 20 ist gleichfalls Gegenstand der Erfindung, wobei gemäß Fig. 3 die Einheit 22 eine derartige Differenzkomparatorschaltung bildet. Bei Anwendung dieses Prinzips besteht eine weitere Ausführungsform der analogen Summier- und Begrenzerschaltung 21, wie in Fig. 5 dargestellt, aus einem phasendrehenden Verstärker 24 und einem Differenzkomparator 25, wobei die Eingänge der Schaltung 21 von je einem Eingang der Schaltungen 24 und 25 gebildet sind. Der Eingang der Schaltung 24 ist mit dem Ausgang des phasendrehenden Verstärkers 24 verbunden, dessen Ausgang gleichzeitig den Ausgang der Schaltung 21 bildet.

Bei dem erfindungsgemäßen Verfahren kann man den Empfangsbereich der geschlossenen Schleife (PLL) erweitern, in dem man mittels eines digitalen Steuersignales einen Einstellsignalgenerator 11 auslöst, wobei man die Frequenz eines frequenzgesteuerten Oszillators oder bei bestimmten Modulationsverfahren, wie z.B. im Fall einer QPR-Modulation, die Phasenverschiebung eines digitalen Phasenschiebers 6 im Wege des Referenzsignales solange verändert, bis die Schleife in einen synchronisierten Zustand gelangt (siehe Fig. 1).

Die Ausgangsleitungen des das Fehlersignal einstellenden Generators 11 sind in Fig. 1 gestrichelt gezeichnet, weil je nach dem Einsatzgebiet entweder der eine oder der andere oder gleichzeitig beide Ausgänge notwendig sein können. So ist es z.B. bei der Modulationsart N-PSK ($N = 2, 4, 8, \dots$)

ausreichend, nur die Frequenz des VCO-Oszillators 7 zu verändern. Bei einer QPR-Modulation kann die Schleife bei der richtigen Frequenz bei vier weiteren Phasenlagen, die um 45° gegeneinander verschoben sind, synchronisiert werden.

Die Lösung gemäß der Erfindung ermöglicht es nämlich in diesem Fall, daß bei einem als fehlerhaft demoduliert bewerteten Signal mit Hilfe des Einstellsignalgenerators 11 nicht nur die Frequenz des Oszillators 7, sondern auch die Phasenlage des Ausgangssignals verändert wird.

Zum Erfindungsgedanke gehört auch die Ausbildung des Einstellsignalgenerators 11, bei dem die Frequenz (VCO) nicht kontinuierlich, sondern in diskreten Schritten, in Form eines stufenförmigen Signals verändert wird.

Durch das Arbeiten mit einem stufenförmigen Signal anstelle eines Sägezahnsignals wird es leichter, den synchronisierten Zustand der Schleife zu kontrollieren.

Die Herstellung einer solchen stufenartigen Spannung kann durch handelsübliche integrierte Schaltungen leicht erfolgen.

In der Praxis kann es vorkommen, daß die Abstimmung der Frequenz VCO nicht erforderlich ist, sondern z.B. nur im Fall der Modulation, zur Einstellung der richtigen Phasenlage, falls der VCO-Oszillator als ein kristallgesteuerter Oszillator ist.

Zum Gegenstand der Erfindung gehört ferner die Maßnahme, nach welcher der Einstellsignalgenerator 11 durch einen Rechtecksignalgenerator gebildet ist. Die Ausführungsvariante der Schaltungsanordnung (siehe Fig. 1) ist dadurch gekennzeichnet, daß der Ausgang des Einstellsignalgenerators 11 am Eingang des digitalen Phasenschiebers 6 liegt, wobei wenigstens ein Eingang derselben mit dem Ausgang des digitalen Auswertestromkreises 12 verbunden ist.

Wie bekannt, hängt die Reinheit des Referenzspektrums und damit auch die Qualität des demodulierten Rechtecksignals (jitter) davon ab, wie nahe das durchschnittliche Fehlersignal am Eingang von des VCO-Oszillators 7 am nominalen Mittelwert liegt. Temperaturänderungen, Alterung der Bauteile und Spannungsschwankungen können zur Folge haben, daß das Fehlersignal verschoben wird, wodurch der PLL-Stromkreis aus seinen Betrieb fällt. Um zu bewirken, daß im Laufe der Funktion der PLL-Stromkreis ständig im optimalen Wirkungsbereich arbeitet, ist erfindungsgemäß eine Maßnahme vorgesehen, gemäß welcher der VCO-Oszillator von außen durch einen Einstellsignal-Generator, der abstimmbar ist, mittels eines weiteren digitalen Signals gesteuert wird, das dann zustande kommt, wenn der Wert des am VCO-Oszillator auftretenden Fehlersignals über und unter einem vorgegebenen Schwellwert liegt. Die Realisierung dieser Maßnahme ist z.B. durch Anwendung von zwei Komparatoren und logischen Stromkreisen möglich, bei welchen die Komparatoren bzw. ihre Referenzspannungen auf die Schwellwerte eingestellt sind. Der logische Stromkreis (z.B. ein digitaler Diskriminator) sichert, daß der Einstellsignalgenerator nur in dem Fall ein Steuersignal erhält, wenn der PLL-Stromkreis eingefangen ist. Natürlich können auch andere Schaltungen zur Realisierung der obigen Aufgabe verwendet werden. Diese Ausführungsform der Schaltungsanordnung ist in Fig. 1 mit gestrichelten Linien dargestellt. Es handelt sich um die Leitung, die den Eingang des VCO-Oszillators 7 mit dem weiteren Eingang des Einstellsignalgenerators verbindet.

Wie bereits einleitend erwähnt, kann bei der Basisband-Signalverarbeitung (Costas-Schleife) auch auf eine falsche Frequenz synchronisiert werden. Durch das erfindungsgemäße Verfahren und die Schaltungsanordnung gemäß der Erfindung, kann dieser Nachteil dadurch beseitigt werden, daß die Synchronisierung der Schleife, d.h. das "Einfangen" (also das Anlassen des Einstellsignalgenerators) (siehe Fig. 1)

nicht unmittelbar durch die Fehlersignalspannung ausgelöst wird, sondern durch digitale Auswertung des demodulierten Rechtecksignals erfolgt.

Eine mögliche Form der Realisierung des Verfahrens besteht darin, daß das jitter des demodulierten, aber noch nicht regenerierten Rechtecksignals überwacht wird. Die demodulierte, nicht regenerierte Rechtecksignalreihe erscheint am Ausgang des Entscheidungsstromkreises 10 gemäß Fig. 1. Hierbei kann die nicht regenerierte Rechtecksignalreihe mit dem Signal eines die jitter-Schwelle auswählenden Fenstergenerators verglichen werden, wobei die die jitter-Schwelle überschreitende elementaren Signale gezählt werden, woraufhin diese für eine durch einen Zeitbasisgenerator bestimmte Zeit gespeichert werden. Je nach dem, ob die Zahl der Bits, die die jitter-Schwelle überschreiten, im Vergleich mit der Bitzahl, die während der Speicherzeit eingetroffen sind - unterhalb eines Schwellenpegels, der zumeist größer als 10^{-3} ist, oder diesen Wert überschreitet, wird das Vergleichsverhältnis in Form eines binären Signals gespeichert. Das Fenstersignal, d.h. das Signal des Stromkreises, der innerhalb einer Zeitspanne einer digitalen Signalreihe ein Rechtecksignal bildet, kann zweckmäßig mit dem aus der demodulierten analogen Grundbasissignalreihe gewonnenen Taktsignal synchronisiert werden. Die Breite des Fenstersignals muß man so wählen, daß im Fall einer richtigen Synchronisierung (Referenzsignal von vorbestimmter Frequenz- und Phasenlage) und im Fall eines geräuschlosen Zustandes das jitter-Maximum die Enden des Fenstersignals nicht erreicht und gleichzeitig im Fall einer falschen Synchronisierung (Referenzsignal mit anderer Frequenz oder verschobener Phasenlage) das jitter-Maximum in das Fenster hereinragt.

Der digitale Auswertestromkreis, der einen Teil der erfindungsgemäßen Schaltungsanordnung bildet, ist aus Fig. 1 ersichtlich.

Zumindest ein Ausgang des Entscheidungsstromkreises 10 ist mit einem Eingang des digitalen Auswertestromkreises 12 verbunden, von dem ein weiterer Eingang durch den Eingang des zeitbestimmenden Stromkreises 3 gebildet ist. (Unter dem Begriff "zeitbestimmende Signal" ist eine beliebige periodische isochrone Signalreihe zu verstehen, die durch synchrone Dividierung der empfangenen digitalen Signalreihe erzeugt sein kann.) Eine mögliche Ausführungsform des digitalen Auswertestromkreises 12 ist in Fig. 7 als Blockschema dargestellt, wo unter anderem ein an sich bekannter Fenstersignalgenerator 29, ein jitter-Komparator 28, ein Zähler 30, ein Speicher 31 und ein Basiszeitgenerator 32 vorgesehen sind. Ein zeitbestimmender Eingang 3 der Schaltung wird durch den Eingang des Fenstersignalgenerators 29 gebildet, einen weiteren Eingang bildet der Eingang des jitter-Komparators 28, wenigstens einen Ausgang der Ausgang des Speichers 31, der mit einer Trennstufe versehen ist, wobei der Ausgang des Fenstergenerators 29 mit einem weiteren Eingang des jitter-Komparators 28, der Ausgang des jitter-Komparators 28 mit dem Eingang des Zählers 30, dessen Ausgang mit dem Eingang des Speichers 31 und wenigstens ein Ausgang des Zeitbasisgenerators 32 mit je einem weiteren Eingang des Zählers 30 und des Speichers 31 verbunden ist. Der digitale Auswertestromkreis 12 (siehe Fig. 1) muß nur dann an den Einstellsignalgenerator 11 ein binäres Signal liefern, wenn die Zahl der innerhalb einer sogenannten Zeitbasis eingetroffenen Bits bzw. ihr Anteil um 10^{-2} größer als die durch das Fenstersignal ausgewählte jitter-Schwelle ist. Zweckmäßig wird der Zeitbasisgenerator nur dann in Betrieb gesetzt, wenn die Stelle des ersten Signalüberganges (jitter) diese Schwelle überschreitet. Die in Fig. 7 gezeigte gestrichelte Linie zeigt diese Ausführungsform, wo der Zeitbasisgenerator 32 mit einem Eingang versehen ist, der mit dem Ausgang des jitter-Komparators 28 verbunden ist. Der Speicher 31 ist als wiederanlaßbarer monostabiler Multivibrator ausgebildet, der seinen umgekippten Zustand solange aufrechterhält, bis innerhalb der durch

den Zeitbasisgenerator 32 definierten Speicherzeit vom Zähler 30 ein Starsignal eintrifft.

Das Verfahren und die Schaltungsanordnung gemäß der Erfindung ist für kohärente Phasenmodulatoren von 2 Mbit/s und 8 Mbit/s PCM-Signalreihen übertragende Funkrelaisanlagen geeignet, die im 400 MHz-Band mit 2 Mbit/s und im 2 GHz-Band mit 2 Mbit/s arbeiten. Bei den Anlagen mit 2 Mbit/s gelangt das 4 PSK-modulierte bandbegrenzte Signal bei einer Mittelfrequenz von 5 MHz, bei der 8 Mbit/s Ausführung das die QPR-Modulation-tragende Signal bei einer Mittelfrequenz von 35 MHz auf den Phasenmodulator. Bei den früheren Ausführungen, wo das modulierte 5 MHz-Signal durch viermalige Multiplikation erzeugt wurde, wurde eine Trägerfrequenz von 20 MHz erzeugt, wobei bei der konventionellen geschlossenen Schleife das Einfangen des PLL bezüglich der Trägerfrequenz nur durch eine relative Verstimmung um weniger als 1 % (ca. 0,5 %) gesichert werden konnte.

Durch die Erfindung ist das Einfangen in Abhängigkeit von der Bandbreite des Mittenfrequenzverstärkers, auch bei einer relativen Trägerfrequenzabweichung von 5 % gesichert, wobei dieser Wert praktisch ein Vielfaches des in der Praxis erforderlichen Wertes ist.

In Abhängigkeit von der Bandbegrenzung des Systems in dem digitalen Auswerter, wird die Festeröffnung für eine Bit-Zeitspanne von 40 bis 50 % gewählt, wobei bis zu einem Bit-Fehlerverhältnis von 10^{-2} eine falsche Synchronisierung nicht festgestellt werden konnte.

Die Schaltung sichert im Fall von 4-PSK das vorgeschriebene Fehlerverhältnis von 10^{-3} , das zu dem 13 dB S/N-Wert der bekannten Ausführungen mit einem Bereich von + 5 °C bis + 40 °C mit einem Bereich von -10 °C bis + 55 °C erheblich günstiger ist. In dem das digitale Fehlersignal erzeugenden Stromkreis, im Einstellsignalgenerator und im digitalen Auswerter können herkömmliche TTL-Stromkreise verwendet werden.

Durch den Einsatz der Einstell- und Auswertungsautomatik kann die Kompliziertheit der aufzubauenden Stromkreise gegenüber den Phasendemodulatoren der früheren trägerauswählenden frequenzmultiplizierenden Phasendemodulatoren erheblich verringert, z.B. die Zahl der Bauelemente auf die Hälfte gesenkt werden. Auch können die Zahl der Abstimmelemente und die Abmessungen der Schaltungen reduziert werden.

Erfindungsanspruch:

1. Verfahren zur Erzeugung einer phasengetasteten kohärenten Trägerfrequenz durch ein Basisband-Signalverarbeitungssystem, insbesondere für digitale Funkübertragungsanlagen mittels mehrpegeliger Phasentastung zwecks Erkennung und Regenerierung der digitalen Information, bei dem eine in an sich bekannter Weise modulierte Trägerfrequenz mit einem kohärenten Referenzsignal phasendemoduliert wird, woraufhin die so hergestellte analoge Basisband-Signalreihe (Signalreihen) mit Hilfe eines Entscheidungsstromkreises in Rechtecksignale umgeformt wird (werden), woraufhin zweckmäßig durch Anwendung eines mit der zu übertragenden digitalen Signalreihe isochronen Taktzeichens regeneriert wird, gekennzeichnet dadurch, daß das kohärente Referenzsignal durch das Ausgangssignal eines phasenmäßig in einer geschlossenen Schleife (PLL) arbeitenden spannungsgeordneten Oszillators (VCO) erzeugt wird, dessen Steuerungssignal (Fehlersignal), aus dem demodulierten Basisband-Signal durch digitale Frequenzvervielfachung und anschließendes Aussieben des so erhaltenen digitalen Fehlersignals erzeugt wird, wobei zumindest die eine nicht regenerierte Rechtecksignalreihe, zweckmäßig durch Vergleich der zu übertragenden digitalen Signalreihe mit einer zum Taktsignal synchronisierbaren jitter-freien Signalreihe ausgewertet wird, woraufhin das Ergebnis der Auswertung in Form eines digitalen Signals gespeichert wird, durch dessen Einwirkung, im Fall einer als fehlerhaft befundenen demodulierten Rechtecksignalreihe, die Frequenz oder die Phase des Ausgangssignals des spannungsgesteuerten Oszillators verändert wird.
2. Verfahren nach Punkt 1, insbesondere zur phasengerechten Einstellung des kohärenten Referenzsignals einer

vorzugsweise QPR-signalmodulierten Trägerfrequenz, gekennzeichnet dadurch, daß die Phasenänderung des kohärenten Referenzsignals mittels eines im Strompfad des spannungsgesteuerten Oszillators angeordneten Phasenschiebers in diskreten Schritten vorgenommen wird, wobei der Phasenschieber durch ein digitales Startsignal steuerbar ist.

3. Verfahren nach einem der Punkte 1 oder 2, gekennzeichnet dadurch, daß zwecks Verbreiterung des Empfangsbereiches der geschlossenen Schleife die Frequenz des spannungsgesteuerten Oszillators in diskreten Schritten durch einen Stufensignalgenerator verändert wird, der durch ein digitales Startsignal in Betrieb gesetzt werden kann.
4. Verfahren nach einem der Punkte 1 bis 3, gekennzeichnet dadurch, daß zur Erhöhung des Haltevermögens der geschlossenen Schleife der spannungsgesteuerte Oszillator, der durch einen externen Stufensignalgenerator beaufschlagt ist, durch ein weiteres digitales Signal gesteuert wird, das dann erzeugt wird, wenn das am spannungsgesteuerten Oszillator ankommende Fehlersignal einen oberen Schwellwert über- oder einen unteren Schwellwert unterschreitet.
5. Verfahren nach einem der Punkte 1 bis 4, zur Auswertung einer demodulierten, nicht regenerierten Rechtecksignalreihe, bei dem die nicht regenerierte Rechtecksignalreihe mit einem jitter-Pegel begrenzenden Signal eines Fenstersignalgenerators verglichen wird, woraufhin die Bits der die jitter-Schwelle überschreitenden elementaren Signale abgezählt werden und die abgezählten Werte für eine durch einen Basiszeitgenerator bestimmte Zeit gespeichert werden, woraufhin in Abhängigkeit davon, ob die Zahl der Bits, die die jitter-Schwelle überschreiten, im Vergleich zu den während

der Speicherzeit abgelaufenen Bits niedriger oder höher als ein Schwellwert von im allgemeinen 10^{-3} ist, das Ergebnis in Form eines binären Signals gespeichert wird, gekennzeichnet dadurch, daß der Fenstersignalgenerator mit dem aus dem demodulierten analogen Basisbandsignal gewonnenen Taktsignal synchronisiert wird.

6. Verfahren nach Punkt 1 bis 4, gekennzeichnet dadurch, daß zur Auswertung der demodulierten, nicht regenerierten Rechtecksignalreihe, der Fenstersignalgenerator, mit dem Taktsignal synchronisiert wird, das aus der regenerierten digitalen Signalreihe erzeugt wird.
7. Verfahren nach Punkt 1 bis 6, gekennzeichnet dadurch, daß im Fall einer durch zweieglige Phasentastung (2-PSK) modulierten Trägerfrequenz zur Erzeugung des Fehlersignals und digitaler Frequenzverdopplung des Fehlersignals der Phasenschleife die beiden demodulierten analogen Signalreihen eine Rechteckform gebracht werden, woraufhin die so hergestellten binären Signale summiert und schließlich die resultierende binäre Signalreihe zwecks Erzeugung eines zeitlichen Mittelwertes gesiebt wird.
8. Verfahren nach einem der Punkte 1 bis 6, gekennzeichnet dadurch, daß im Fall eines durch viereglige Phasentastung (4-PSK) modulierten Trägerfrequenz zwecks Erzeugung des Fehlersignals durch digitale Frequenzvervierfachung zuerst die Summe und dann die Differenz der beiden demodulierten analogen Basisbandsignale gebildet wird, woraufhin die so erzeugten analogen Signale in eine rechteckform gebracht werden; daß sodann die binäre Summe erzeugt wird, woraufhin aus den so erzeugten binären Signalen weitere binäre Signale bzw. ihre Summen erzeugt werden, die durch digitale Fre-

quenzverdopplung der demodulierten Grundbandsignale erzeugt werden, und daß schließlich die so entstandene resultierende binäre Signalreihe zwecks Bildung eines zeitlichen Mittelwertes gesiebt wird.

9. Verfahren nach einem der Punkte 1 bis 6, gekennzeichnet dadurch, daß im Fall einer achtpegelige Tastung modulierten Signales (8-PSK), oder im Fall einer QPR-modulierten Trägerfrequenz zwecks Herstellung eines digitalisierten Fehlersignals einer phasenmäßig geschlossenen Schleife durch Frequenzverachtfachung zunächst die gewichtete analoge Summe der demodulierten analogen Basisbandsignale und dann die Differenz der gewichteten analogen Signale gebildet wird, woraufhin aus den so gebildeten Signalen die durch Frequenzvervierfachung erzeugte binäre Signalreihe hergestellt wird, daß anschließend mittels einer weiteren binären Signalreihe, die unmittelbar durch Frequenzvervierfachung der demodulierten analogen Basisbandsignale hergestellt wird, eine weitere binäre Summe gebildet wird, und daß schließlich diese binäre Summe zwecks Bildung eines zeitlichen Mittelwertes gesiebt wird.
10. Schaltungsanordnung zur Durchführung des Verfahrens nach Punkt 1 bis 9, bei der an sich bekannte kohärente Phasendetektoren, Entscheidungsstromkreis, Regeneratoren, Tiefpaßfilter, ein in der Spannung geregelter Oszillator, $\pi/2$ -Phasenschieber und weiterhin digitale fehlersignalbildende Stromkreise, ein digitaler Signalgenerator und gegebenenfalls weitere digitale Phasenschieber vorgesehen sind, wobei wenigstens ein Eingang für die modulierte Trägerfrequenz, wenigstens ein zeitbestimmender Eingang und wenigstens ein digitaler Ausgang vorgesehen sind, gekennzeichnet dadurch, daß der Trägerfrequenzeingang (1) durch den gemeinsamen Eingang von kohärenten Phasendetektoren (4;33) gebil-

det ist, daß zumindest ein digitaler Ausgang (2) mindestens ein Ausgang eines Regenerators (13) ist, daß die zeitbestimmende Eingänge (3) von je einem Eingang des digitalen Auswerters (12) und des Regenerators (3) gebildet sind, daß ein weiterer Eingang eines der kohärenten Phasendetektoren (4) mit dem Eingang des $\pi/2$ -Phasenschiebers (5), und ein weiterer Eingang des an deren kohärenten Phasendetektors (33) mit dem Ausgang des $\pi/2$ -Phasenschiebers verbunden ist, daß die Ausgänge der kohärenten Phasendetektoren (4;33) jeweils an einem Eingang des digitalen fehlersignalbildenden Stromkreises (9) und an jeweils einem Eingang des Entscheidungsstromkreises (10) liegen, wobei der Ausgang des digitalen fehlersignalbildenden Stromkreises (9) mit dem Eingang des Tiefpaßfilters (8) verbunden ist, daß der Ausgang des Tiefpaßfilters (8) an einem Eingang des in der Spannung gesteuerten Oszillators (7) liegt, und daß der Ausgang bzw. die Ausgänge des Entscheidungsstromkreises (10) mit dem Eingang bzw. den Eingängen des Regenerators (13) verbunden sind, von denen zumindest einer an einen Eingang eines digitalen Auswerters (12) angeschlossen ist, dessen weitere Eingänge durch die zeitbestimmenden Eingänge (3) der Schaltung gebildet sind, während der Ausgang mit dem Ausgang des Einstellsignalgenerators (11) galvanisch verbunden ist, der über zumindest einen Ausgang verfügt, der entweder am weiteren Eingang des in der Spannung gesteuerten Oszillators (7) oder an einem weiteren Eingang des digitalen Phasenschiebers (6) liegt.

11. Schaltungsanordnung nach Punkt 10, gekennzeichnet dadurch, daß der Einstellsignalgenerator (11) zwei Ausgänge aufweist, von denen der eine am weiteren Eingang des in der Spannung gesteuerten Oszillators (7) und der andere am weiteren Eingang des digital gesteuerten Phasenschiebers (6) liegt.

12. Schaltungsanordnung nach Punkt 10 oder 11, gekennzeichnet dadurch, daß der Einstellsignalgenerator (11) über einen Eingang verfügt, der dem Eingang des in der Spannung gesteuerten Oszillators (7) elektrisch parallel geschaltet ist.
13. Schaltungsanordnung nach Punkt 10 bis 12, gekennzeichnet dadurch, daß der bzw. die zeitbestimmenden Eingänge (3) durch den Ausgang bzw. die Eingänge eines Taktzeichen erzeugenden Stromkreises gebildet sind, der wenigstens einen Eingang aufweist, der mit zumindest einem der Ausgänge der kohärenten Phasendetektoren (4;33) verbunden ist.
14. Schaltungsanordnung nach Punkt 10 bis 13, zur Demodulation einer hauptsächlich QPR-modulierten Trägerfrequenz, gekennzeichnet dadurch, daß der Entscheidungsstromkreis (10), der einen Teil der Schaltungsanordnung bildet, zumindest einen zeitbestimmenden Eingang (3) aufweist.
15. Schaltungsanordnung nach Punkt 10 bis 13, insbesondere zur Herstellung eines Fehlersignals mit doppelter Frequenz, vorzugsweise für eine mit zweiegliger Phasentastung (2-PSK) modulierte Trägerfrequenz, gekennzeichnet dadurch, daß der digitale Fehlersignale bildende Stromkreis (9) ein aus Begrenzern und exklusiven ODER-Toren aufgebauter digitaler frequenzvervielfachender Stromkreis ist, wobei die Eingänge der Schaltung von den Eingängen zweier Begrenzer (15) gebildet sind, während der Ausgang der Schaltung ein Ausgang eines exklusiven ODER-Tores (16) ist, an dessen Eingänge der Ausgang jeweils eines Begrenzers (15) angeschlossen ist.
16. Schaltungsanordnung nach Punkt 10 bis 13, insbesondere zur Erzeugung eines Fehlersignals mit vierfacher Fre-

quenz, vorzugsweise für eine Trägerfrequenz, die durch ein vierpegliges Phasentastsignal (4-PSK) moduliert ist, gekennzeichnet dadurch, daß der das digitale Fehlersignal bildende Stromkreis (9) unter anderem einen Frequenzvervierfacher (20) enthält, der aus einem digitalen frequenzverdoppelnden Stromkreis (17), einem analogen summierenden Stromkreis (18) und einem Begrenzer besteht, das außerdem eine differenzbildende und begrenzende Einheit (22) und ein exklusives ODER-Tor (16) vorgesehen sind, wobei an einem Eingang der Schaltung des digitalen frequenzverdoppelnden Stromkreises (17), des analogen Summierers (18) und des analogen differenzbildenden Stromkreises (19) liegen, während der Ausgang der Schaltung durch den Ausgang eines weiteren exklusiven ODER-Tores (16) gebildet ist, dessen einer Eingang mit dem Ausgang des digitalen frequenzverdoppelnden Stromkreises (17) und dessen anderer Eingang mit dem Ausgang des ersten exklusiven ODER-Tores (16) verbunden ist, an dessen beide Eingänge die Ausgänge zweier Begrenzer (15) angeschlossen sind, von denen der eine dem summierenden Stromkreis (18) und der andere dem differenzbildenden Stromkreis (19) nachgeschaltet ist.

17. Schaltungsanordnung nach Punkt 10 bis 14, insbesondere zur Herstellung eines Fehlersignals mit achtfacher Frequenz, vorzugsweise für eine durch achtpeglige Phasentastung (8-PSK) oder für eine mit einem QPR-Signal modulierte Trägerfrequenz, gekennzeichnet dadurch, daß der das digitale Fehlersignal bildende Stromkreis (9) durch einen digitalen frequenzverachtfachenden Stromkreis (23) gebildet ist, der unter anderem digitale frequenzvervierfachende, gewichtete analoge summierende Stufen, gewichtete analoge differenzbildende Stufen und exklusive ODER-Tore enthält und dessen einer Eingang durch je einen Eingang eines frequenzvervierfachenden Stromkreises (20) eines gewichteten analogen sum-

mierenden Stromkreises (21) und einer analogen differenzbildenden Einheit (22) gebildet ist, deren einer Eingang am Eingang der Schaltung und deren weitere Eingänge durch die Ausgänge von weiteren digitalen frequenzvervielfachenden Stromkreisen gebildet sind, deren einer Eingang mit dem Ausgang der gewichteten analogen Summierstufe (21) und deren weitere Eingänge mit dem Ausgang des gewichteten analogen differenzbildenden Stromkreises verbunden sind.

18. Schaltungsanordnung nach Punkt 10 bis 17, gekennzeichnet dadurch, daß sowohl in dem digitalen frequenzverdoppelnden Stromkreis (17) als auch in der gewichteten analogen Summierstufe (18) und in dem gewichteten analogen differenzbildenden Stromkreis (19) die Begrenzer (15) durch Null-Komparatoren gebildet sind.
19. Schaltungsanordnung nach Punkt 16, gekennzeichnet dadurch, daß die aus dem differenzbildenden Stromkreis (19) und dem Begrenzer (15) bestehende Einheit (22) als Spannungskomparator ausgebildet ist.
20. Schaltungsanordnung nach Punkt 16 und 17, gekennzeichnet dadurch, daß die aus der analogen Summierstufe (18) und dem Begrenzer (15) bestehende Einheit (21) einen phasendrehenden Verstärker (24) und einen Spannungskomparator (25) enthält, deren einer Eingang der erste Eingang des Spannungskomparators (25) und deren anderer Eingang der Eingang des phasendrehenden Verstärkers (24) ist, wobei der Ausgang der Einheit (21) durch den Ausgang des Spannungskomparators (25) gebildet ist und der Ausgang des phasendrehenden Verstärkers (24) am zweiten Eingang des Spannungskomparators (25) liegt.

21. Schaltungsanordnung nach Punkt 10 bis 20, gekennzeichnet dadurch, daß der Einstellsignal-Generator (11) durch einen Stufengenerator gebildet ist, der zumindest einen Eingang aufweist, der mit dem Ausgang des digitalen Auswertestromkreises (12) verbunden ist, während sein Ausgang an den weiteren Eingängen des in der Spannung gesteuerten Oszillators (7) liegt.
22. Schaltungsanordnung nach Punkt 10 bis 20, gekennzeichnet dadurch, daß der Einstellsignal-Generator (11) durch einen Rechtecksignalgenerator gebildet ist, der über einen Eingang und einen Ausgang verfügt und dessen Eingang am Ausgang der digitalen Auswerteschaltung (12) und dessen Ausgang an einem weiteren Eingang des digitalen Phasenschiebers (6) liegt.
23. Schaltungsanordnung nach Punkt 10 bis 20, bei der der Einstellsignalgenerator (11) aus einem Rechtecksignalgenerator und aus einem Stufensignalgenerator besteht, der wenigstens einen Eingang und zwei Ausgänge aufweist, gekennzeichnet dadurch, daß wenigstens ein Eingang der Schaltung durch den Eingang des Rechtecksignalgenerators (27) gebildet ist, daß ein Eingang am Ausgang eines Stufensignalgenerators (6) liegt, der mit den weiteren Eingängen des in der Spannung gesteuerten Oszillators (7) verbunden ist, wobei sein Eingang mit dem Ausgang des Rechteckgenerators (27) verschaltet ist, und daß ein weiterer Ausgang der Schaltung ein weiterer Ausgang des Rechtecksignalgenerators (27) ist, der an den weiteren Eingang des digital gesteuerten Phasenschiebers (6) angeschlossen ist.
24. Schaltungsanordnung nach Punkt 10 bis 23, bei der der digitale Auswertestromkreis einen an sich bekannten Fenstersignalgenerator, einen jitter-Komparator, einen Zähler, einen Speicher und einen Zeitbasisgenerator, enthält, wobei der Zeitbasisgenerator über wenigstens

zwei zeitbestimmende Eingänge verfügt und wenigstens mit einem weiteren Eingang und mit zumindest einem Ausgang versehen ist, gekennzeichnet dadurch, daß wenigstens ein zeitbestimmender Eingang (3) der Eingang des Fenstersignalgenerators (29) ist, daß wenigstens ein weiterer Eingang der Eingang des jitter-Komparators (28), daß wenigstens ein Ausgang, gegebenenfalls durch eine Trennstufe ergänzt, der Ausgang eines Speichers (31) ist, und daß der Ausgang des Fenstersignalgenerators (29) mit dem weiteren Eingang des jitter-Komparators (28), der Ausgang des jitter-Komparators (28) mit dem Eingang des Zählers (30), und wenigstens ein Ausgang des Zeitbasisgenerators (32) mit jeweils einem weiteren Eingang des Zählers (30) und des Speichers (31) verbunden ist.

25. Schaltungsanordnung nach Punkt 24, gekennzeichnet dadurch, daß der Zeitbasisgenerator (32) einen Eingang aufweist, der mit dem Ausgang des jitter-Komparators (28) verbunden ist.
26. Schaltungsanordnung nach Punkt 24, gekennzeichnet dadurch, daß der Speicher (31) als wiederanlaßbarer monostabiler Multivibrator ausgebildet ist.

- Hierzu 4 Blatt Zeichnungen -

239356 3

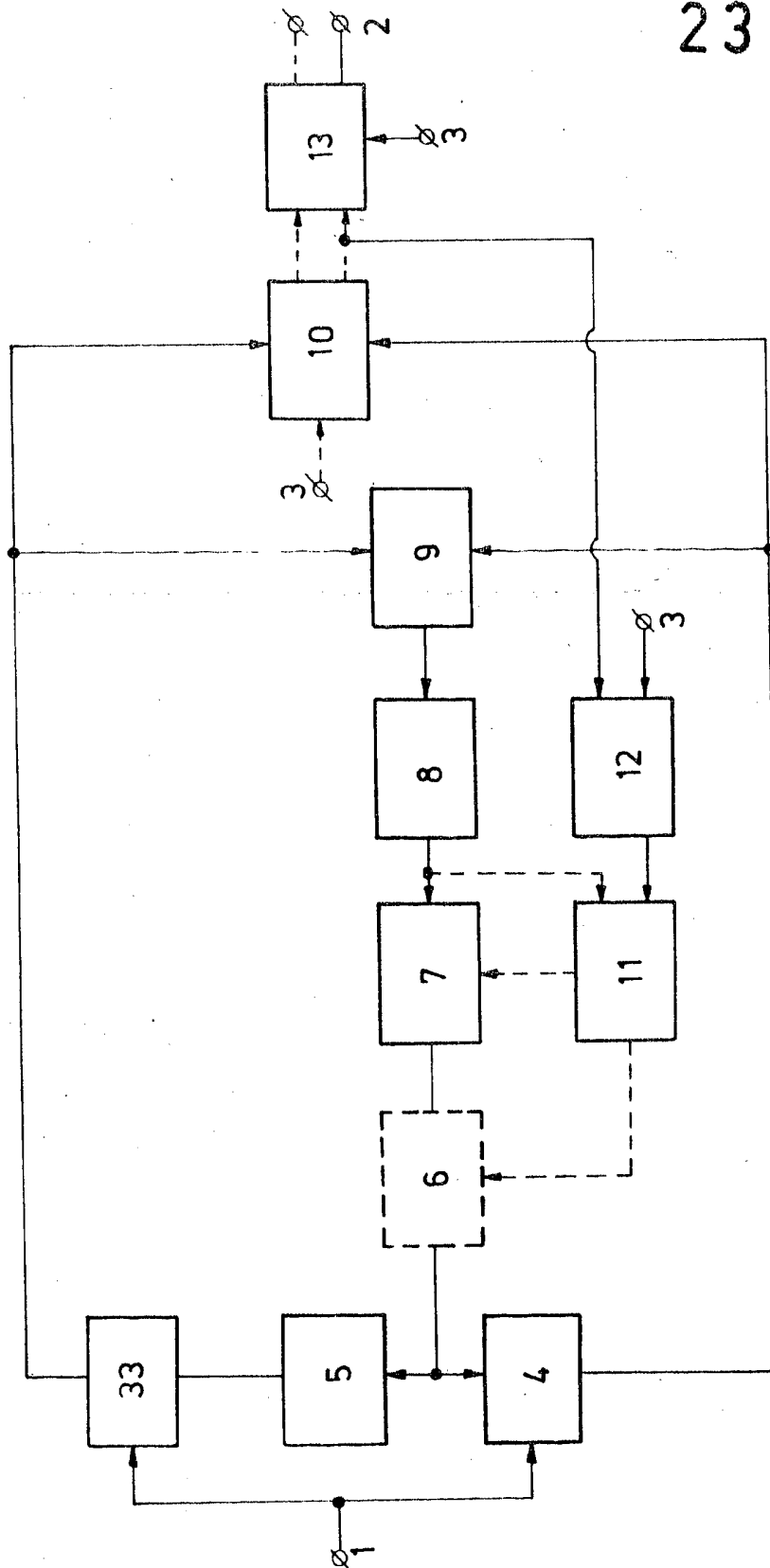


Fig. 1

27. APR 1982 *005777

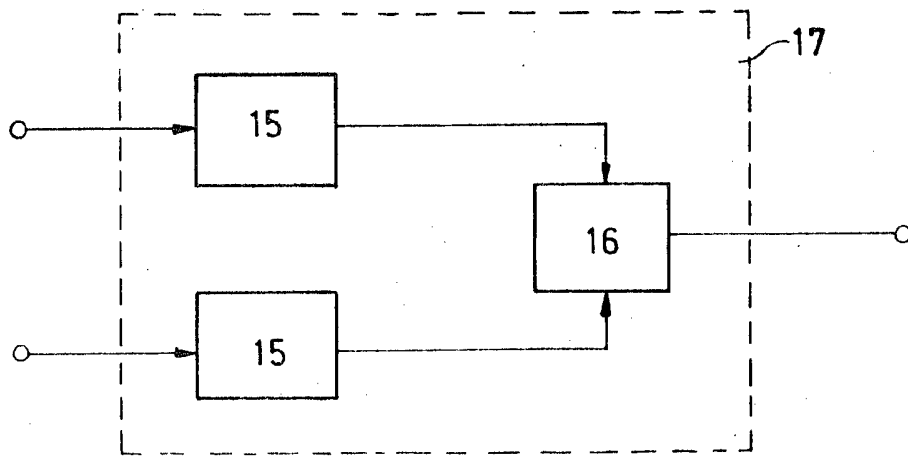


Fig. 2

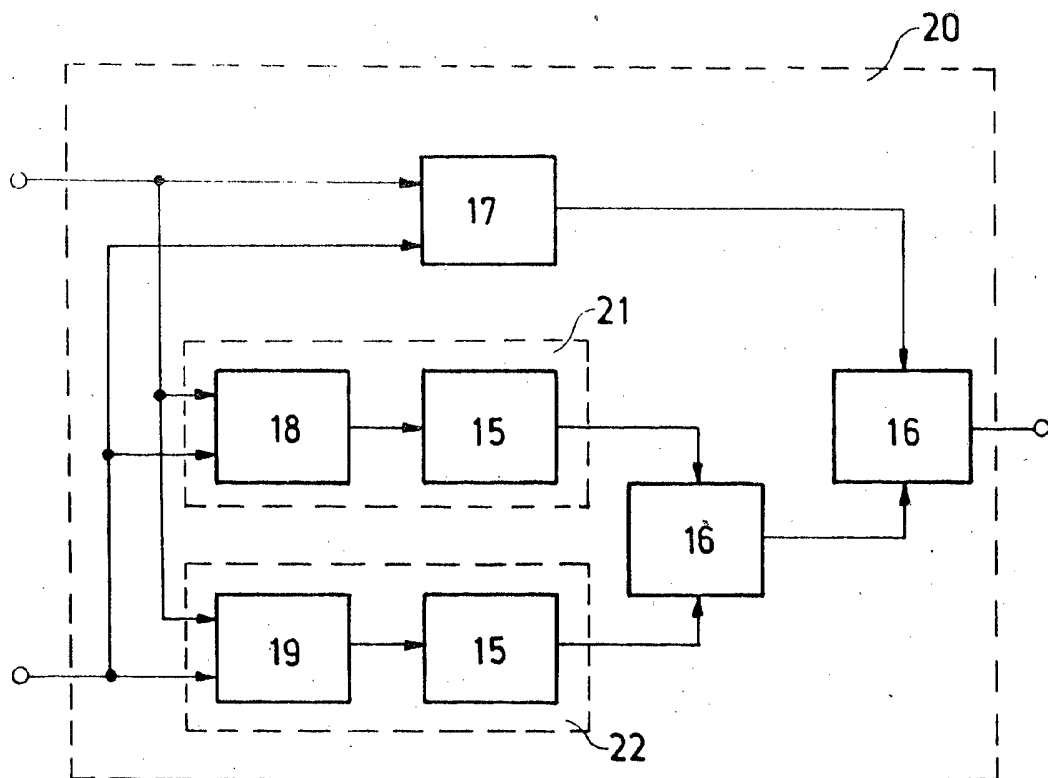


Fig. 3

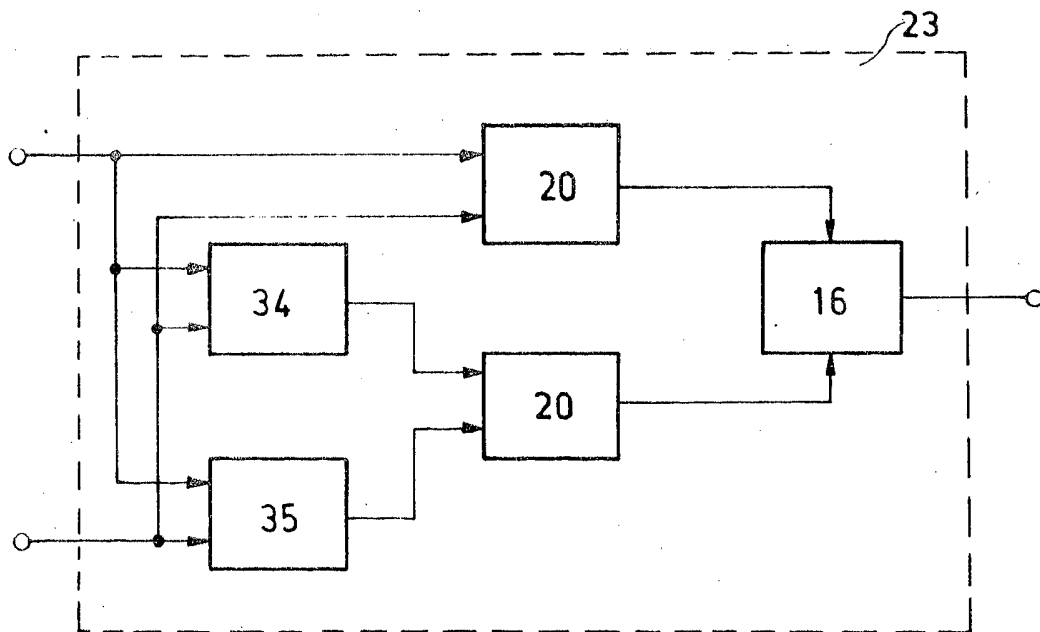


Fig.4

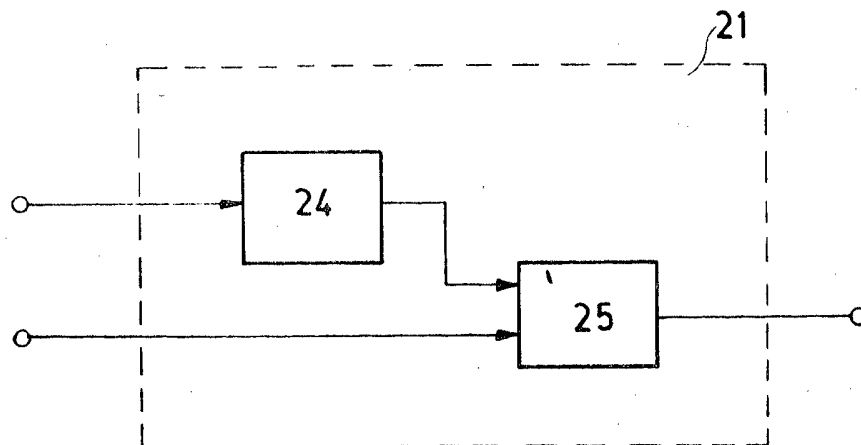


Fig.5

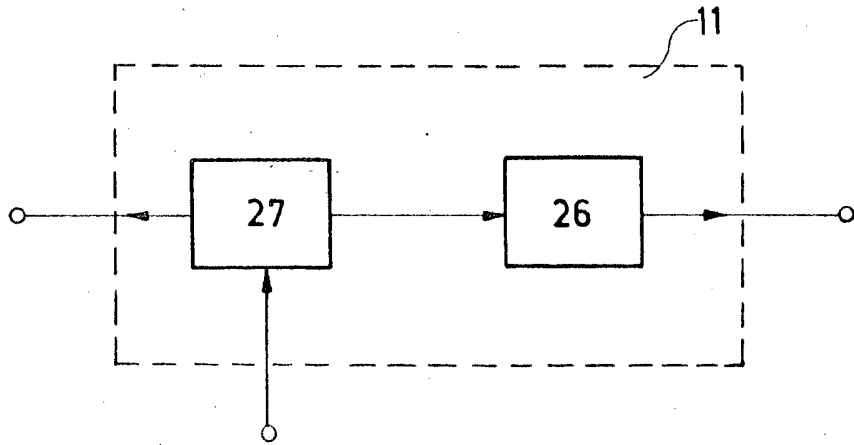


Fig.6

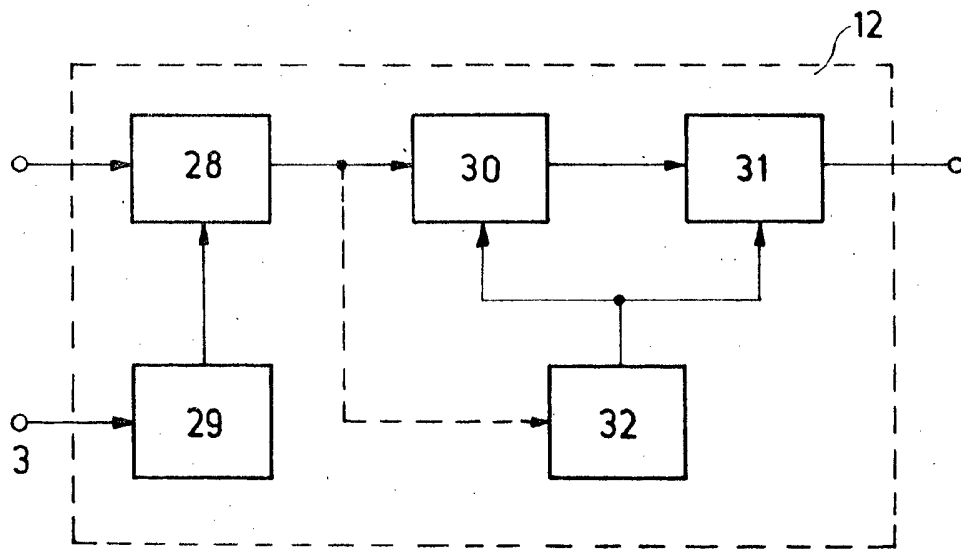


Fig.7