(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101499144 B
(45)授权公告日 2013.09.25

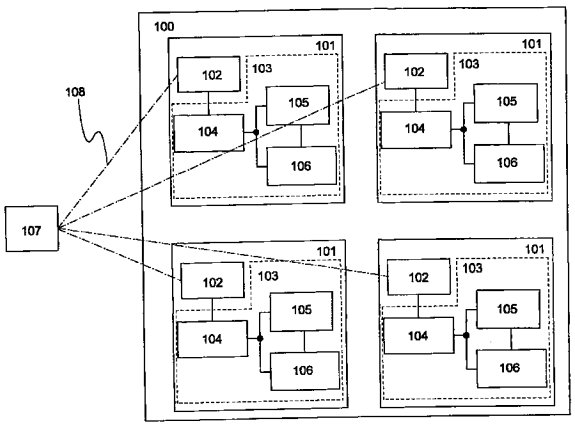
(21)申请号 200910009909.2
(22)申请日 2009.01.22
(30)优先权数据
2008-020938 2008.01.31 JP
(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川
(72)发明人 小山润 山崎舜平
(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038
代理人 屠长存
(51)Int.Cl.
*G06K 19/077*(2006.01)
(56)对比文件
US 2002195590 A1,2002.12.26,
CN 1684087 A,2005.10.19,
US 2005045729 A1,2005.03.03,
US 2007210923 A1,2007.09.13,
审查员 曾威
权利要求书3页 说明书17页 附图21页

(54)发明名称

半导体装置

(57)摘要

本发明的目的在于：提高能够进行无线通信的半导体装置的可靠性。本发明的半导体装置包括作为冗余电路的多个功能电路，该功能电路包括天线、半导体集成电路，并且该多个功能电路被纤维体中浸渗有树脂的同一个密封层覆盖。再者，半导体集成电路具有设置有电连接到天线的收发电路、电连接到收发电路的电源电路、以及电连接到收发电路及电源电路的逻辑电路的结构。




CN 101499144 B

1. 一种半导体装置，包括：

第一功能电路，包括：第一天线，以及配置用于存储识别信息并电连接到所述第一天线的第一半导体集成电路；-

第二功能电路，包括：第二天线，以及配置用于存储识别信息并电连接到所述第二天线的第二半导体集成电路；以及

围绕所述第一功能电路和所述第二功能电路的密封层，

其中，所述第一功能电路被与所述第二功能电路电隔离，并且

其中，所述第一功能电路的识别信息与所述第二功能电路的识别信息不同。

2. 根据权利要求 1 所述的半导体装置，其中所述第一半导体集成电路和所述第二半导体集成电路每一个包括电连接到所述第一天线或所述第二天线的收发电路、电连接到所述收发电路的电源电路、以及配置用于存储所述识别信息并电连接到所述收发电路和所述电源电路的逻辑电路。

3. 根据权利要求 1 所述的半导体装置，其中所述第一半导体集成电路和所述第二半导体集成电路每一个包括电连接到所述第一天线或所述第二天线的收发电路、电连接到所述收发电路的电源电路、配置用于存储所述识别信息并电连接到所述收发电路和所述电源电路的逻辑电路、电连接到所述电源电路和所述逻辑电路的电源控制电路、以及电连接到所述逻辑电路和所述电源控制电路的判定电路。

4. 根据权利要求 1 所述的半导体装置，其中所述第一功能电路和所述第二功能电路每一个都具有相同的功能。

5. 根据权利要求 1 所述的半导体装置，其中所述第一功能电路和所述第二功能电路每一个都具有冲突防止功能，并且根据所述识别信息以不同的时序响应从所述半导体装置外部接收的电波。

6. 根据权利要求 1 所述的半导体装置，其中使用所述第一功能电路和所述第二功能电路的位置差异、所述第一功能电路和所述第二功能电路的信号的发送或接收所需要的时间差异、或所述第一功能电路和所述第二功能电路的响应信号的频率差异来生成所述识别信息。

7. 根据权利要求 1 所述的半导体装置，其中通过从所述半导体装置外部发送的电波判定所述第一功能电路和所述第二功能电路每一个是否工作，且通过所述从所述半导体装置外部发送的电波控制所述第一功能电路和所述第二功能电路每一个是否工作。

8. 根据权利要求 1 所述的半导体装置，其中用于使所述第一功能电路工作的数据被写入所述第一功能电路中，并且用于使第二功能电路停止的数据被写入在所述第二功能电路中。

9. 根据权利要求 1 所述的半导体装置，其中所述密封层的厚度是 10μm 以上且 100μm 以下。

10. 根据权利要求 1 所述的半导体装置，其中所述密封层由浸渍有树脂的纤维体形成。

11. 根据权利要求 10 所述的半导体装置，其中所述纤维体由碳纤维形成。

12. 根据权利要求 10 所述的半导体装置，

其中所述纤维体由织布或无纺布形成，

其中所述织布是通过将纤维把用于经线及纬线编织而成的，所述无纺布是将纤维把任

意地或在一个方向上堆积而成的。

13. 根据权利要求 10 所述的半导体装置，其中将高导热填料分散在所述树脂和所述纤维体至少其一中。

14. 根据权利要求 10 所述的半导体装置，其中将碳粒子分散在所述树脂和所述纤维体至少其一中。

15. 一种半导体装置，包括：

第一功能电路，包括：第一天线，以及配置用于存储有识别信息并电连接到所述第一天线的第一半导体集成电路；

第二功能电路，包括：第二天线，以及配置用于存储有识别信息并电连接到所述第二天线的第二半导体集成电路；

围绕所述第一功能电路和所述第二功能电路的密封层；以及

配置为通过与所述第一功能电路的第一天线电磁耦合并与所述第二功能电路的第二天线电磁耦合收发电波的第三天线，

其中，所述第三天线被配置来与外部无线通信装置交换数据，

其中，所述第一功能电路被与所述第二功能电路电隔离，并且

其中，所述第一功能电路的识别信息与所述第二功能电路的识别信息不同。

16. 根据权利要求 15 所述的半导体装置，其中所述第一半导体集成电路和所述第二半导体集成电路每一个包括电连接到所述第一天线或所述第二天线的收发电路、电连接到所述收发电路的电源电路、以及配置用于存储所述识别信息并电连接到所述收发电路和所述电源电路的逻辑电路。

17. 根据权利要求 15 所述的半导体装置，其中所述第一半导体集成电路和所述第二半导体集成电路每一个包括电连接到所述第一天线或所述第二天线的收发电路、电连接到所述收发电路的电源电路、配置用于存储所述识别信息并电连接到所述收发电路和所述电源电路的逻辑电路、电连接到所述电源电路和所述逻辑电路的电源控制电路、以及电连接到所述逻辑电路和所述电源控制电路的判定电路。

18. 根据权利要求 15 所述的半导体装置，其中所述第一功能电路和所述第二功能电路每一个都具有相同的功能。

19. 根据权利要求 15 所述的半导体装置，其中所述第一功能电路和所述第二功能电路每一个都具有冲突防止功能，并且根据所述识别信息以不同的时序响应从所述半导体装置外部接收的电波。

20. 根据权利要求 15 所述的半导体装置，其中使用所述第一功能电路和所述第二功能电路的位置差异、所述第一功能电路和所述第二功能电路的信号的发送或接收所需要的时间差异、或所述第一功能电路和所述第二功能电路的响应信号的频率差异来生成所述识别信息。

21. 根据权利要求 15 所述的半导体装置，其中通过从所述半导体装置外部发送的电波判定所述第一功能电路和所述第二功能电路每一个是否工作，且通过所述从所述半导体装置外部发送的电波控制所述第一功能电路和所述第二功能电路每一个是否工作。

22. 根据权利要求 15 所述的半导体装置，其中用于使所述第一功能电路工作的数据被写入所述第一功能电路中，并且用于使第二功能电路停止的数据被写入在所述第二功能电

路中。

23. 根据权利要求 15 所述的半导体装置，其中所述密封层的厚度是 10μm 以上且 100μm 以下。

24. 根据权利要求 15 所述的半导体装置，其中所述密封层由浸渍有树脂的纤维体形成。

25. 根据权利要求 24 所述的半导体装置，其中所述纤维体由碳纤维形成。

26. 根据权利要求 24 所述的半导体装置，

其中所述纤维体由织布或无纺布形成，

其中所述织布是通过将纤维把用于经线及纬线编织而成的，所述无纺布是将纤维把任意地或在一个方向上堆积而成的。

27. 根据权利要求 24 所述的半导体装置，其中将高导热填料分散在所述树脂和所述纤维体至少其一中。

28. 根据权利要求 24 所述的半导体装置，其中将碳粒子分散在所述树脂和所述纤维体至少其一中。

# 半导体装置

## 技术领域

[0001] 本发明涉及能够进行无线通信的半导体装置。

## 背景技术

[0002] 近年来，利用电磁场或电波等的无线通信的个体识别技术引人注目。尤其是，作为通过无线通信进行数据的交换的半导体装置，利用 RFID(Radio Frequency Identification ;射频识别技术）标签（例如包括非接触 IC(Integrated Circuit ;集成电路）标签、RF 标签、无线标签、电子标签、转发器、或数据载体等）的个体识别技术引人注目。利用 RFID 标签（以下称为 RFID) 的个体识别技术已开始应用于各个对象物的生产、管理等，并被期待应用于个人识别。

[0003] 如上述那样的 RFID 等的半导体装置为提高对外力等的耐性并获得挠性而采用功能电路本身被树脂等的密封材料密封的结构。然而，为获得半导体装置的挠性需要使树脂的厚度减薄。然而，若是厚度薄，则不能充分地提高对外力的耐性而会使破坏的可能性增高。

[0004] 作为对抗外力破坏的对策的一个例子，可以举出通过设置多个具有相同的功能的电路来提高冗余的结构（例如，专利文献 1)。通过设置多个具有相同的功能的电路，当检测出因外力等的破坏多个具有相同的功能的电路（以下称为冗余电路）中的一个电路出现故障时，可以用其他任何电路代替被判定为具有不良的电路工作。

[0005] [ 专利文献 1]

[0006] 日本专利申请公开 2002-083277 号公报

## 发明内容

[0007] 本发明的课题在于 :进一步提高 RFID 等的半导体装置的冗余性，并还提高其可靠性。

[0008] 本说明书所公开的发明之一个方式为一种半导体装置，包括个功能电路，它们具有相同的功能，并分别由从外部发送的电波判定是否正常，且当判定为正常时由从外部发送的电波控制是否工作。其中该功能电路包括天线、以及电连接到天线并存储有识别信息的半导体集成电路，并且多个功能电路的识别信息彼此不同，并且多个功能电路被同一个密封层覆盖。

[0009] 半导体集成电路还可以采用一种结构，其中包括电连接到天线的收发电路、电连接到收发电路的电源电路、以及电连接到收发电路及电源电路的逻辑电路。

[0010] 此外，本说明书所公开的发明的一个方式为一种半导体装置，包括 :多个功能电路，它们具有相同的功能，并分别由从外部发送的电波判定是否正常，且当判定为正常时由从外部发送的电波控制是否工作 ;以及第一天线。其中功能电路包括通过与第一天线电磁耦合收发电波的第二天线、电连接到第二天线并存储有识别信息的半导体集成电路，并且多个功能电路的识别信息彼此不同，并且多个功能电路被同一个密封层覆盖。

[0011] 半导体集成电路还可以采用一种结构，其中包括电连接到第二天线的收发电路、电连接到收发电路的电源电路、以及电连接到收发电路及电源电路的逻辑电路。

[0012] 此外，本说明书所公开的发明之一个方式为一种半导体装置，包括：多个功能电路，它们具有相同的功能，并分别由从外部发送的电波判定是否正常，且当判定为正常时由从外部发送的电波控制是否工作。其中功能电路包括天线、以及半导体集成电路，并且半导体集成电路包括电连接到天线的收发电路、电连接到收发电路的电源电路、电连接到收发电路及电源电路并存储有识别信息的逻辑电路、电连接到电源电路及逻辑电路的电源控制电路、以及电连接到逻辑电路及电源控制电路的判定电路，并且多个功能电路的识别信息彼此不同。

[0013] 此外，本说明书所公开的发明的一个方式为一种半导体装置，包括：多个功能电路，它们具有相同的功能，并分别由从外部发送的电波判定是否正常，且当判定为正常时由从外部发送的电波控制是否工作；以及第一天线。其中功能电路包括通过与第一天线电磁耦收发电波的第二天线、以及半导体集成电路，并且半导体集成电路包括电连接到第二天线的收发电路、电连接到收发电路的电源电路、电连接到收发电路及电源电路并存储有识别信息的逻辑电路、电连接到电源电路及逻辑电路的电源控制电路、以及电连接到逻辑电路及电源控制电路的判定电路，并且多个功能电路的识别信息彼此不同。

[0014] 多个功能电路还可以采用被同一个层覆盖的结构。

[0015] 注意，在本文件（说明书、权利要求书或附图等）中，晶体管至少包括三个端子，即栅极端子、源极端子、及漏极端子。栅极端子是指栅电极的部分（包括导电层及布线等）或与栅电极电连接的部分的一部分。源极端子是指源电极的部分（包括导电层及布线等）、或与源电极电连接的部分的一部分。漏极端子是指漏电极的部分（包括导电层及布线等）、或与漏电极电连接的部分的一部分。

[0016] 此外，在本文件（说明书、权利要求书或附图等）中，晶体管的源极端子和漏极端子根据晶体管的结构及工作条件等而改变，所以难以限定哪一个是源极端子或漏极端子。于是，在本说明书中（说明书、权利要求书或附图等）中，将任意地选自源极端子及漏极端子之中的一方端子表示为源极端子及漏极端子的一方，而将另一方端子表示为源极端子及漏极端子的另一方。

[0017] 本发明可以提高能够进行无线通信的半导体装置的可靠性。

## 附图说明

[0018] 图 1 是示出实施方式 1 中的半导体装置的结构的框图；

[0019] 图 2 是示出实施方式 1 中的半导体装置的其他结构的框图；

[0020] 图 3 是示出实施方式 1 的半导体装置中的功能电路的选择工作的流程图；

[0021] 图 4 是示出实施方式 2 中的半导体装置的结构的框图；

[0022] 图 5 是示出实施方式 2 中的半导体装置中的功能电路的结构的框图；图 6 是示出实施方式 2 中的半导体装置的其他结构的框图；

[0023] 图 7 是示出实施方式 2 的半导体装置中的功能电路的选择工作的流程图；

[0024] 图 8A 和 8B 是示出实施方式 3 中的半导体装置的结构的斜视图；

[0025] 图 9 是示出实施方式 3 中的半导体装置的结构的截面图；

[0026] 图 10A 和 10B 是示出实施方式 3 中的织布的俯视图；

[0027] 图 11 是示出实施方式 3 中的半导体装置的半导体元件层的结构的截面图；

[0028] 图 12 是示出实施方式 3 中的半导体装置的半导体元件层的结构的截面图；

[0029] 图 13 是示出实施方式 3 中的半导体装置的其他结构的截面图；

[0030] 图 14A 和 14B 是示出实施方式 3 中的半导体装置的制造方法的截面图；

[0031] 图 15A 和 15B 是示出实施方式 3 中的半导体装置的制造方法的截面图；

[0032] 图 16A 和 16B 是示出实施方式 3 中的半导体装置的制造方法的截面图；

[0033] 图 17A 和 17B 是示出实施方式 3 中的半导体装置的制造方法的截面图；

[0034] 图 18 是示出实施方式 3 中的半导体装置的其他结构的斜视图；

[0035] 图 19 是示出实施方式 3 中的半导体装置的其他结构的截面图；

[0036] 图 20A 和 20B 是示出实施方式 3 中的半导体装置的制造方法的截面图；

[0037] 图 21A 至 21F 是示出实施方式 4 中的半导体装置的使用例子的图。

## 具体实施方式

[0038] 下面，关于本说明书所公开的发明的实施方式将参照附图给予说明。但是，所属技术领域的普通技术人员可以很容易地理解一个事实，就是本说明书所公开的发明可以以多个不同形式来实施，其方式和详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此，本发明所公开的发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0039] 实施方式 1

[0040] 在本实施方式中，作为本说明书所公开的发明的一个方式说明半导体装置。

[0041] 首先，参照图 1 说明本实施方式中的半导体装置的电路结构。图 1 是示出本实施方式中的半导体装置的电路结构的框图。

[0042] 如图 1 所示，半导体装置 100 包括多个功能电路 101，功能电路 101 包括天线 102、以及电连接到天线 102 的半导体集成电路 103。

[0043] 功能电路 101 具有如下功能，即使用天线 102 所接收的电波（载波等）生成电源电压，并使用电源电压进行按照天线 102 所接收的电波中的信号的指令的工作。此外，多个功能电路 101 具有相同的功能，并分别用作可以进行相等的工作的冗余电路。

[0044] 此外，多个功能电路 101 具有彼此不同的识别信息。例如可以使用各个功能电路 101 的位置差异、信号的发送或接收所需要的时间差异、或响应信号的频率差异等生成彼此不同的识别信息。

[0045] 天线 102 具有如下功能，即例如通过收发电波，与外部无线通信装置（例如为可以利用无线通信与半导体装置 100 进行数据收发的装置如读取器、读写器、或询问器等）107 等进行数据交换。例如，功能电路 101 可以利用电波 108 经由天线 102 将在功能电路 101 中生成的信号发送到外部无线通信装置 107。此外，例如通过将片上天线 (onchip antenna) 用作天线 102，可以抑制天线 102 和半导体集成电路 103 的接触不良。

[0046] 注意，在外部无线通信装置 107 和半导体装置 100 之间使用的电波频率优选为 30MHz 以上且 5GHz 以下左右，例如使用 950MHz、2.45GHz 等的频带即可。

[0047] 此外，作为应用于天线 102 的信号的传送方式，根据频率例如可以采用电磁耦合

方式、电磁感应方式、或微波方式等。适当地考虑使用用途而选择传送方式，并根据传送方式设置具有最适合的长度及形状的天线，即可。

[0048] 半导体集成电路 103 是为获得特定的功能而将多个半导体元件集中配置为一个的电路。作为半导体元件，例如可以适当地使用晶体管、二极管、电阻元件、以及电容元件中的任何一种或多种。此外，在半导体集成电路 103 中存储有上述识别信息。

[0049] 注意，多个功能电路 101 优选被同一个密封层覆盖。通过由同一个密封层覆盖多个功能电路 101，可以抑制从外部混入水等杂质，并还可以提高对外力的耐性。作为密封层，例如可以使用在纤维体中浸渗有树脂的材料（例如为预浸料）等。

[0050] 再者，半导体集成电路 103 由电连接到天线 102 的收发电路 104、电连接到收发电路 104 的电源电路 105、电连接到收发电路 104 及电源路 105 的逻辑电路 106 构成。但是，例如也可以采用还追加有上其他电路的结构而不局限于上述结构。

[0051] 收发电路 104 具有如下功能，即利用天线 102 所接收的电波生成信号，并输出到电源电路 105 及逻辑电路 106 中。收发电路 104 例如可以由整流电路、调制电路、解调电路等构成。

[0052] 电源电路 105 具有如下功能，即利用收发电路 104 所生成的信号生成电源电压。所生成的电源电压输出到逻辑电路 106。

[0053] 逻辑电路 106 具有如下功能，即通过接收从电源电路 105 供给的电源电压，按照天线 102 所接收的电波的信号中的指令进行预定的工作。在逻辑电路 106 中设置有存储电路，并且在存储电路中写入有用来进行按照天线 102 所接收的电波的信号中的指令的工作的数据（识别信息等）。

[0054] 注意，在图 1 中，说明作为多个功能电路设置四个功能电路的结构，但是不局限于此。只要具有至少两个以上的功能电路，就可以成为多个功能电路，例如可以设置多于四个的功能电路。

[0055] 此外，在本实施方式中，除了设置在功能电路中的天线之外，还可以将增益天线 (booster antenna) 设置在半导体装置中。参照图 2 说明设置有增益天线的半导体装置的结构例子。图 2 是示出本实施方式中的半导体装置的其他结构的框图。

[0056] 图 2 所示的本实施方式中的半导体装置 200 包括多个功能电路 201、以及第一天线 202。功能电路 201 包括第二天线 203、以及电连接到第二天线 203 的半导体集成电路 204。

[0057] 再者，半导体集成电路 204 由电连接到第二天线 203 的收发电路 205、电连接到收发电路 205 的电源电路 206、电连接到收发电路 205 及电源电路 206 的逻辑电路 207 构成。

[0058] 半导体集成电路 204 相当于图 1 中的半导体集成电路 103，从而对于其结构及功能援用图 1 的半导体集成电路的说明。

[0059] 此外，收发电路 205、电源电路 206、以及逻辑电路 207 分别相当于图 1 中的收发电路 104、电源电路 105、以及逻辑电路 106。对于各电路的功能援用收发电路 104、电源电路 105、及逻辑电路 106 的说明。

[0060] 第二天线 203 相当于图 1 中的天线 102。此外，第一天线 202 也称为增益天线，并通过与第二天线 203 磁耦合可以接受信号。此外，第一天线 202 例如具有通过收发电波 209 与外部无线通信装置 208 等进行数据交换的功能。例如，当将电波从外部无线通信装置 208 发送到第一天线 202 时，在第一天线 202 中产生交流电流，并且在第一天线 202 的周围产生

磁场。而且，通过第一天线 202 和第二天线 203 的磁耦合，在第二天线 203 中产生感应电动势。功能电路 201 使用感应电动势工作，并可以经由第一天线 202 收发电波 209。此外，在将作为电波的信号从功能电路 201 发送到外部无线通信装置 208 的情况下，根据在功能电路 201 中生成的信号将电流流过到第二天线 203 来进行磁耦合。在被进行磁耦合的第一天线 202 中产生感应电动势，并将电波 209 经由第一天线 202 发送到外部通信装置 208。

[0061] 如上所述，通过采用除了设置在功能电路的天线之外还设置增益天线的结构，可以延长通信距离而不限制可接收的电波的频带。

[0062] 本实施方式中的半导体装置在多个功能电路中分别被判定是否正常。

[0063] 接着，说明多个功能电路的选择工作。注意，在此，作为例子将半导体装置的结构假定为图 1 的结构进行说明。

[0064] 作为功能电路的选择工作，在电源电路 105 中，进行正常或不良的判定（以下称为判定处理）。参照图 3 说明电源电路 105 中的判定处理。图 3 是一种流程图，其示出本说明书所公开的发明的一个方式的半导体装置中的功能电路的选择工作。

[0065] 如图 3 所示，作为开始之后的第一步骤（图 3 中的 S1），将电波从外部无线通信装置 107 发送到多个功能电路。

[0066] 接着，作为第二步骤（图 3 中的 S2），通过判定各个功能电路 101 是否工作来进行电源电路 105 的判定处理。工作的（是 Yes）功能电路 101 将对响应信号作出应答的电波经由天线 102 发送到外部无线通信装置 107。将对响应信号作出应答的电波发送到外部无线通信装置 107 的功能电路 101 被判定为正常。此外，因为没工作的（是 No）功能电路 101 不生成响应信号，所以不将电波发送到外部无线通信装置 107 而被判定为不良。被判定为正常的功能电路 101 在判定处理之后也作为功能电路进行与外部无线通信装置 107 的数据交换，而被判定为不良的功能电路 101 在判定处理之后不从外部无线通信装置 107 发送电波。通过上述步骤，结束选择工作。

[0067] 注意，优选地是，多个功能电路 101 具有冲突防止功能（抗冲突功能）而可以对从外部无线通信装置 107 接收的电波各个功能电路 101 以彼此不同的时序分别响应。例如，在每个功能电路 101 具有不同的识别信息的情况下，可以根据识别信息选择响应的功能电路 101，从而各个功能电路 101 可以以不同的时序响应。

[0068] 再者，优选地是，在具有多个通过判定处理被判定为正常的功能电路 101 的情况下，将电波从外部无线通信装置 107 发送到功能电路 101，只使正常的功能电路 101 中的任何一个工作，并且使其他的正常电路停止工作。

[0069] 如上所述，在本实施方式的半导体装置中，通过设置多个功能电路，并只要其中任何一个功能电路正常就可以使半导体装置工作。由此，可以提高可靠性。

[0070] 此外，本实施方式的半导体装置可以选择正常的功能电路中的任何一个而使用。因此，例如在发货之前等进行上述工作来可以预先掌握不良的功能电路而只使用正常的功能电路。

[0071] 实施方式 2

[0072] 在本实施方式中，说明本说明书所公开的发明之一个方式的半导体装置的其他结构。

[0073] 首先，参照图 4 说明本说明书所公开的发明之一个方式的半导体装置结构中的功

能电路的结构。图 4 是示出本实施方式中的功能电路的结构的框图。

[0074] 如图 4 所示，本实施方式中的半导体装置 300 包括多个功能电路 301。功能电路 301 包括天线 302、以及电连接到天线 302 的半导体集成电路 303。

[0075] 功能电路 301 具有如下功能，即利用天线 302 所接收的电波（载波等）生成电源电压，并使用电源电压进行根据天线 302 所接收的电波中的信号的指令的工作。此外，多个功能电路 301 具有相同的功能，并分别用作能够进行相等的工作的冗余电路。

[0076] 此外，多个功能电路 301 具有彼此不同的识别信息。例如使用各个功能电路 301 的位置差异、信号的发送或接收所需要的时间差异、或者响应信号的频率等的差异生成彼此不同的识别信息。

[0077] 天线 302 具有如下功能，即例如通过电波的收发，与外部无线通信装置 309 等进行数据交换。例如，功能电路 301 可以利用电波 310 将在功能电路 301 中生成的信号经由天线 302 发送到外部无线通信装置 309。此外，例如通过使用片上天线作为天线 302，可以抑制天线和半导体集成电路的接触不良。

[0078] 注意，在外部无线通信装置 309 和半导体装置 300 之间使用的电波频率优选为 30MHz 以上且 5GHz 以下左右，例如使用 950MHz、2.45GHz 等的频带即可。

[0079] 此外，作为应用于天线 302 的信号的传送方式，根据频率例如可以采用电磁耦合方式、电磁感应方式、或微波方式等。适当地考虑使用用途选择传送方式，并根据传送方式设置具有最适合的长度及形状的天线，即可。

[0080] 半导体集成电路 303 是为获得特定的功能而将多个半导体元件集中配置为一个的电路。作为半导体装置，例如可以适当地使用晶体管、二极管、电阻元件、以及电容元件中的任何一种或多种。

[0081] 注意，多个功能电路 301 优选被同一个密封层覆盖。通过由同一个密封层覆盖多个功能电路 301，可以抑制从外部混入水等杂质，并还可以提高对外力的耐性。作为密封层，例如可以使用在纤维体中浸渗有树脂的材料（例如为预浸料）等。

[0082] 再者，半导体集成电路 303 由电连接到天线 302 的收发电路 304、电连接到收发电路 304 的电源电路 305 及逻辑电路 306、电连接到电源电路 305 及逻辑电路 306 的电源控制电路 307、以及电连接到电源控制电路 307 的判定电路 308 构成。但是，例如也可以采用还追加有其他电路的结构而不局限于上述结构。

[0083] 收发电路 304 具有如下功能，即利用天线 302 所接收的电波生成信号，并输出到电源电路 305 及逻辑电路 306 中。收发电路 304 例如可以由整流电路、调制电路、解调电路等构成。

[0084] 电源电路 305 具有如下功能，即利用收发电路 304 所生成的信号生成电源电压。所生成的电源电压输出到逻辑电路 306。

[0085] 逻辑电路 306 具有如下功能，即通过接收从电源电路 305 供给的电源电压，按照天线 302 所接收的电波的信号中的指令进行预定的工作。在逻辑电路 306 中设置有存储电路，并且写入有用来进行按照天线 302 所接收的电波的信号中的指令的工作的数据（识别信息等）。

[0086] 电源控制电路 307 具有控制是否使电源电路 305 工作的功能。判定电路 308 至少包括存储电路，并且根据逻辑电路 306 是否进行正常工作，High 或 Low 的数据被写入到存

储电路中。注意，在本说明书中，Low 是指接地电位或与此相等的低电位的状态，而 High 是指其电位比 Low 高的状态，并且这些值是可以任何设定的。

[0087] 作为逻辑电路 306 及判定电路 308 的存储电路，例如可以使用非易失性存储器或易失性存储器等。例如，可以使用 DRAM（动态随机存取存储器）、SRAM（静态随机存取存储器）、FeRAM、掩模 ROM（只读存储器）、EPROM（电可编程只读存储器）、EEPROM（电可擦可编程只读存储器）、快闪存储器、有机存储器、无机存储器等。例如，通过使用不能改写数据的存储器，在发货之后也可以维持写入的 High 或 Low 的数据。此外，通过使用能够改写数据的存储器，在发货之后也可以判定功能电路的不良并改写已写入的 High 或 Low 的数据。

[0088] 在本实施方式的半导体装置中，多个具有上述结构的功能电路 301 被判定是否正常，被判定的多个功能电路 301 中的正常的功能电路 301 中的任何一个在被判定之后也与外部无线通信装置 309 进行数据交换。

[0089] 再者，参照图 5 说明本实施方式的半导体装置的具体结构。图 5 是示出本实施方式的半导体装置中的功能电路的结构的图。

[0090] 如图 5 所示，本实施方式的半导体装置中的功能电路 301 包括天线 302、电连接到天线 302 的收发电路 304、电连接到收发电路 304 的电源电路 305 及逻辑电路 306、电连接到电源电路 305 及逻辑电路 306 的电源控制电路 307、以及电连接到电源控制电路 307 的判定电路 308。

[0091] 天线 302、收发电路 304、逻辑电路 306、以及判定电路 308 具有与图 4 相同的结构或功能。

[0092] 电源电路 305 包括晶体管 315、晶体管 310、晶体管 311、电阻元件 312、及晶体管 313。

[0093] 晶体管 315 包括栅极端子、源极端子、漏极端子。栅极端子电连接到源极端子及漏极端子的一方，并且源极端子及漏极端子的另一方电连接到收发电路 304。

[0094] 在晶体管 301 中，栅极端子电连接到晶体管 315 的栅极端子，并且源极端子及漏极端子的一方电连接到收发电路 304。

[0095] 在晶体管 311 中，栅极端子电连接到晶体管 310 的源极端子及漏极端子的另一方，源极端子及漏极端子的一方电连接到晶体管 315 的源极端子及漏极端子的一方，并且源极端子及漏极端子的另一方电连接到逻辑电路 306 及电源控制电路 307。

[0096] 在电阻元件 312 中，一方端子电连接到晶体管 311 的源极端子及漏极端子的另一方，并且另一方的端子接地。

[0097] 在晶体管 313 中，栅极端子电连接到逻辑电路 306、电源控制电路 307、晶体管 311 的源极端子及漏极端子的另一方、以及电阻元件 312 的一方端子，源极端子及漏极端子的一方接地，源极端子及漏极端子的另一方电连接到晶体管 310 的源极端子及漏极端子的另一方及晶体管 311 的栅极端子。

[0098] 注意，在图 5 中，晶体管 315 及晶体管 310 是 P 型晶体管，而晶体管 311 及晶体管 313 是 N 型晶体管，但是不局限于此。只要能够进行与图 5 所示的电源电路 305 相同的工作，就也可以在各个晶体管中应用导电型不同的晶体管。此外，电源电路 305 不局限于图 5 所示的结构，而例如可以使用其他元件等构成。

[0099] 电源控制电路 307 包括具有栅极端子、源极端子、及漏极端子的晶体管 314。在晶

体管 314 中，栅极端子电连接到判定电路 308，源极端子及漏极端子的一方电连接到电源电路 305 及逻辑电路 306，并且源极端子及漏极端子的另一方接地。注意，电源控制电路 307 不局限于图 5 所示的结构而可以使用其他元件构成。

[0100] 此外，在本实施方式中，除了设置在功能电路的天线之外还可以将增益天线设置在半导体装置中。参照图 6 说明设置有增益天线的半导体装置的结构例子。图 6 是示出本实施方式中的半导体装置的其他结构的框图。

[0101] 图6所示的本实施方式中的半导体装置400包括多个功能电路401、以及第一天线 402。功能电路 401 包括第二天线 403、电连接到第二天线 403 的半导体集成电路 404。

[0102] 再者，半导体集成电路 404 包括电连接到第二天线 403 的收发电路 405、电连接到收发电路 405 的电源电路 406 及逻辑电路 407、电连接到电源电路 406 及逻辑电路 407 的电源控制电路 408、以及电连接到逻辑电路 407 及电源控制电路 408 的判定电路 409。

[0103] 半导体集成电路404相当于图4中的半导体集成电路303，从而对于其结构及功能援用半导体集成电路 303 的说明。

[0104] 此外，收发电路 405、电源电路 406、逻辑电路 407、电源控制电路 408、以及判定电路 409 分别相当于图 4 中的收发电路 304、电源电路 305、逻辑电路 306、电源控制电路 307、以及判定电路 308。对于各个电路的功能援用收发电路 304、电源电路 305、逻辑电路 306、电源控制电路 307、以及判定电路 308 的说明。

[0105] 第二天线 403 相当于图 4 中的天线 302。第一天线 402 也可以称为增益天线，并通过与第二天线 403 磁耦合可以接受信号。此外，第一天线 402 例如具有通过收发电波 411 与外部无线通信装置 410 等进行数据交换的功能。例如，当将电波从外部无线通信装置 410 发送到第一天线 402 时，在第一天线 402 中产生交流电流，并且在第一天线 402 的周围产生磁场。而且，通过第一天线 402 和第二天线 403 的磁耦合，在第二天线 403 中产生感应电动势。功能电路 401 使用感应电动势工作，并可以经由第一天线 402 收发电波 411。此外，在将电波从功能电路 401 发送到外部无线通信装置 410 的情况下，根据在功能电路 401 中生成的信号对第二天线 403 流过电流来进行磁耦合。在被进行磁耦合的第一天线 402 中产生感应电动势，将电波经由第一天线 402 发送到外部通信装置 410。

[0106] 如上所述，本实施方式的半导体装置通过采用除了设置在功能电路的天线之外还设置增益天线的结构，可以延长通信距离而不限制可接收的电波的频带。

[0107] 接着，说明本实施方式的半导体装置中的功能电路的选择工作。在此，作为例子，假设半导体装置的结构为图 4 所示的结构，并且功能电路 301 的结构为图 5 所示的结构，来进行说明。

[0108] 由于功能电路的选择工作与上述实施方式 1 所示的功能电路的选择电路的选择工作相同，因此适当地援用图 3 所示的流程图来说明。首先，通过进行电源电路 305 中的判定处理，判定各个功能电路 301 是否正常。

[0109] 注意，此时优选地是，多个功能电路 301 具有冲突防止功能（抗冲突功能）并可以对从外部无线通信装置 309 接收的电波各个功能电路 301 以彼此不同的时序分别响应。例如，在每个功能电路 301 具有不同的识别信息的情况下，可以根据识别信息选择响应的功能电路，从而各个功能电路 301 可以以不同的时序响应。

[0110] 接着，进行逻辑电路 306 是否正常的判定处理。

[0111] 参照图 7 说明逻辑电路 306 中的判定处理。图 7 是示出本实施方式的半导体装置中的逻辑电路的判定处理的流程图。

[0112] 如图 7 所示，作为开始之后的第一步骤（图 7 中的 S1），进行判定处理。以下说明判定处理的具体方法。

[0113] 例如，当在任意选择的功能电路 301 的逻辑电路 306 中进行判定处理时，在正常的情况下显示正常的数据（在本实施方式中为 High）被写入到判定电路 308 的存储电路中，而在不良的情况下显示不良的数据（在本实施方式中为 Low）被写入到判定电路 308 的存储电路中。

[0114] 注意，作为此时的判定处理的方法，若是电源电路 305 正常则可以采用将电波从外部无线通信装置等发送到功能电路 301 来判定逻辑电路 306 是否工作的方法等。此外，在发货之前等的情况下，例如可以采用使用探测器等从外部对逻辑电路 306 施加电源电压来判定逻辑电路 306 是否工作的方法等。

[0115] 当显示不良的数据被写入到判定电路 308 的存储电路中时，电源控制电路 307 的晶体管 314 处于导通状态，并且将接地电位经由晶体管 314 供给到电源电路 305，所以电源电路 315 停止且不生成电源电压。由此，功能电路 301 不能工作。

[0116] 如上所述，当多个功能电路 301 中的被选择的任何功能电路 301 中被判定为不良时，在还没有被选择的其他功能电路 301 中进行与上述相同的判定处理。由此，在例如一个功能电路 301 中，电源电路 305 被判定为正常，而逻辑电路 306 被判定为不良的情况下，可以使功能电路 301 停止工作，从而可以防止具有被判定为不良的逻辑电路 306 的功能电路 301 的故障。

[0117] 再者，作为第二步骤（图 7 中的 S2），根据通过逻辑电路 306 中的判定处理被判定为正常的功能电路 301 的数量，进行第一写入处理至第五写入处理中的任何一个。以下说明各种写入处理。

[0118] 在被判定为正常的功能电路 301 的数量为 1 的情况下，作为第一写入处理，显示正常的数据被写入到被判定为正常的功能电路 301 中的判定电路 308 的存储电路中。被写入正常的数据的功能电路 301 在判定处理之后也与外部（外部无线通信装置 309 等）进行数据交换。

[0119] 在被判定为正常的功能电路 301 的数量为 2 的情况下，作为第二写入处理，显示正常的数据被写入到被判定为正常的两个功能电路 301 中的任何一方的功能电路 301 中的判定电路 308 的存储电路中，并且显示停止的数据（在本实施方式中为 Low）被写入到任何另一方的功能电路 301 中的判定电路 308 的存储电路中。被写入显示停止的数据的功能电路 301 处于停止状态，并且只有被写入显示正常的数据的功能电路 301 在判定处理之后也与外部（外部无线通信装置 309 等）进行数据交换。

[0120] 在被判定为正常的功能电路 301 的数量为 3 的情况下，作为第三写入处理，显示正常的数据被写入到被判定为正常的三个功能电路 301 中的任何一个功能电路 301 中的判定电路 308 的存储电路中，并且显示停止的数据（在本实施方式中为 Low）被写入到其他功能电路 301 中的判定电路 308 的存储电路中。被写入显示停止的数据的功能电路 301 处于停止状态，只有被写入显示正常的数据的功能电路 301 在判定之后也与外部（外部无线通信装置 309 等）进行数据交换。

[0121] 在被判定为正常的功能电路 301 的数量为 4 的情况下，作为第四写入处理，显示正常的数据被写入到被判定为正常的四个功能电路 301 中的任何一个功能电路 301 中的判定电路 308 的存储电路中，并且显示停止的数据（在本实施方式中为 Low）被写入到其他功能电路 301 中的判定电路 308 的存储电路中。被写入显示停止的数据的功能电路 301 处于停止状态，只有被写入显示正常的数据的功能电路 301 在判定之后也与外部（外部无线通信装置 309 等）进行数据交换。

[0122] 注意，在本实施方式中，也可以将显示正常的数据设定为 Low，并且将显示异常及停止的数据设定为 High。此外，也可以将 High 及 Low 以外的电位的状态用作显示正常、或者异常或停止的数据。

[0123] 在被判定为正常的功能电路 301 的数量为 0 的情况下，作为第五写入处理，显示不良的数据被写入到所有的功能电路 301 中的判定电路 308 的存储电路中。此时，可以不对多个功能电路 301 中最后被判定的功能电路 301 进行判定处理。

[0124] 通过进行上述多个写入处理中的任何一种，结束选择工作。

[0125] 如上所述，本实施方式的半导体装置通过设置多个功能电路，只要任何一个功能电路正常就可以工作，所以可以提高可靠性。

[0126] 此外，本实施方式的半导体装置通过在各个功能电路中进行利用判定处理的选择工作，可以选择正常的功能电路而使用。因此，例如在发货之前等进行上述判定工作来可以预先掌握不良的功能电路而只使用正常的功能电路。另外，还可以当有多个正常的功能电路时，仅选择正常的功能电路中的任何一个而使用，所以可以减少功耗。

[0127] 实施方式 3

[0128] 在本实施方式中，说明本说明书所公开的发明之一个方式的半导体装置的结构的一个例子。

[0129] 首先，参照图 8A 和 8B 说明本实施方式中的半导体装置结构的一个例子。图 8A 和 8B 是示出本实施方式中的半导体装置结构的一个例子的斜视图。

[0130] 如图 8A 所示，本实施方式中的半导体装置包括密封层 500、密封层 501、以及被密封层 500 及密封层 501 覆盖的多个功能电路 502（虚线部分）。

[0131] 此外，在图 8B 中，为简便起见而由实线表示图 8A 的多个功能电路 502，并且由虚线表示密封层 500。如图 8B 所示，被密封层 500（虚线部分）及密封层 501 覆盖的多个功能电路 502 包括设置在功能电路 502 上的天线 503。

[0132] 接着，参照图 9 说明本实施方式中的半导体装置的截面结构。图 9 是沿着图 8B 的线 A-B 的截面图。

[0133] 如图 9 所示，本实施方式中的半导体装置包括多个功能电路 502，该多个功能电路 502 包括密封层 500、设置在密封层 500 上的剥离层 504、设置在剥离层 504 上的半导体元件层 505、设置在半导体元件层 505 上并具有开口部的第一绝缘层 506 及第二绝缘层 507、以其一部分通过开口部接触于半导体元件层 505 的方式设置的导电层 508、以覆盖导电层 508 及第二绝缘层 507 的方式设置的第三绝缘层 509、以及设置在第三绝缘层 509 上的密封层 501。

[0134] 密封层 500 是第一密封层，密封层 501 是第二密封层。密封层 500 及密封层 501 在端部相接，并且剥离层 504、半导体元件层 505、第一绝缘层 506、第二绝缘层 507、导电层

508、以及第三绝缘层 509 被由密封层 500 和密封层 501 构成的一个密封层覆盖。作为密封层 500 及密封层 501，可以如图 9 所示那样应用在纤维体 510 中浸渗有树脂等的材料（例如为预浸料）等。此时的纤维体 510 是使用有机化合物或无机化合物的高强度纤维的织布或无纺布。作为高强度纤维，具体地举出拉伸弹性模量高的纤维或杨氏模量高的纤维。作为高强度纤维的典型例子，举出聚乙烯醇类纤维、聚酯类纤维、聚酰胺类纤维、聚乙烯类纤维、芳族聚酰胺纤维、聚对苯撑苯并二噁唑纤维、玻璃纤维、或碳纤维等。作为玻璃纤维，可以适用使用 E 玻璃、S 玻璃、D 玻璃、Q 玻璃等的玻璃纤维。注意，纤维体 510 也可以由一种上述高强度纤维形成。此外，还可以由多个上述高强度纤维形成。

[0135] 此外，作为纤维体 510，使用碳纤维使纤维体 510 具有导电性来可以抑制静电破坏。

[0136] 另外，纤维体 510 也可以由织布或无纺布构成，所述织布是将纤维（单股线）把（以下称为线把）用于经线及纬线编织而成的，所述无纺织是多种纤维的线把任意或在一个方向上堆积而成的。当采用织布时，可以适当地使用平纹组织、斜纹组织、缎纹组织等。

[0137] 线把的截面可以是圆形或椭圆形。作为纤维线把，也可以使用通过以高压水流、液体为介质的高频振荡、连续超声波振动、以及利用滚筒的推压等而经过开纤加工后的纤维线把。受开纤加工的纤维线把的宽度增加并且可以减少在厚度方向上的单股线数，而线把的截面成为椭圆形或平板状。另外，通过使用弱捻纱线作为线把，容易使线把变平，而线把的截面形状成为椭圆形或平板状。像这样，通过使用其截面是椭圆形或平板状的线把，可以减少纤维体 510 的厚度。由此，可以减少密封层 500 及密封层 501 的厚度，而可以制造薄型半导体装置。线把宽度是 4μm 以上且 400μm 以下，优选是 4μm 以上且 200μm 以下。另外，虽然线把厚度是 4μm 以上且 20μm 以下即可，但是根据纤维的材料种类可以进一步减少厚度，所以可以根据纤维的材料种类适当地设定线把厚度。

[0138] 图 10A 和 10B 是将纤维体 510 的纤维线把用于经线及纬线编织而成的织布的俯视图。

[0139] 如图 10A 所示，纤维体 510 是编织其之间有一定距离的经线 510a 及其之间有一定距离的纬线 510b 而成的。这种纤维体具有经线 510a 及纬线 510b 不存在的区域（称为篮孔 (baskethole)510c）。当使用这种纤维体 510 时，浸渗在纤维体中的有机树脂的比例提高，而可以提高纤维体 510 和元件层的紧密性。

[0140] 另外，如图 10B 所示，纤维体 510 也可以是经线 510a 及纬线 510b 的密度高并且篮孔 510c 的比例低。典型地，篮孔 510c 的尺寸优选小于被局部按压的面积。典型地，优选是一边长为 0.01mm 以上且 0.2mm 以下的矩形。若纤维体 510 的篮孔 510c 的面积这样小，则即使在使用先端很细的构件（典型为笔或铅笔等的书写工具）按压，也可以由纤维体 510 整体吸收该压力。

[0141] 此外，还可以对纤维进行表面处理，以便提高有机树脂向纤维线把内部渗透的比例。例如有用于使线把表面激活的电晕放电处理、等离子体放电处理等。另外，还有使用了硅氧烷耦合剂、钛酸盐耦合剂的表面处理。

[0142] 作为浸渍在纤维体 510 中并密封半导体元件层 505 的表面的树脂，可以使用热固化树脂诸如环氧树脂、不饱和聚酯树脂、聚酰亚胺树脂、双马来酰亚胺三嗪树脂或氰酸酯树脂等。或者，还可以使用热可塑性树脂诸如聚苯醚树脂、聚醚酰亚胺树脂或氟树脂等。而且。

还可以使用 UV 固化树脂、可塑性有机树脂。另外，也可以使用上述热可塑性树脂及上述热固化树脂中的多种。若使用上述树脂，可以通过热处理将纤维体 510 固定在半导体元件层 505 上。注意，树脂的玻璃转移温度越高，越不容易由于受局部按压而破坏，因而是优选的。

[0143] 另外，密封层 500 及密封层 501 的厚度优选是 10μm 以上且 100μm 以下，更优选是 10μm 以上且 30μm 以下。通过使用具有这种厚度的密封层，可以制造薄型且能弯曲的半导体装置。

[0144] 也可以在树脂或纤维体 510 的线把中分散高导热填料。作为高导热填料有氮化铝、氮化硼、氮化硅、氧化铝等。另外，作为高导热填料有如银、铜等的金属粒子。通过在有机树脂或线把中包含高导热填料，容易将在元件层中产生的热放出到外部，而可以抑制半导体装置的蓄热，并且可以减少半导体装置的破坏。

[0145] 此外，也可以将碳粒子分散在树脂或纤维体 510 的线把中。特别是，当半导体元件 505 中包括薄膜晶体管 (Thin Film Transistor) 时，通过在 TFT 的下方设置包括分散有碳粒子的树脂或纤维体 510 的密封层 500 及密封层 501，可以防止因静电 TFT 受到破坏。

[0146] 剥离层 504 用作剥离设置在其他衬底上的半导体元件层 505 和用来形成半导体元件层 505 的衬底的层，例如可以使用由选自钨、钼、钛、钽、铌、镍、钴、锆、锌、钌、铑、钯、锇、铱及硅等中的元素、以上述元素为主要成分的合金材料、或以上述元素为主要成分的化合物材料构成的层的单层或多层形成。

[0147] 在剥离层 504 具有单层结构的情况下，优选形成包含钨、钼、或钨和钼的混合物的层。或者，形成包含钨的氧化物或氧氮化物的层、包含钼的氧化物或氧氮化物的层、或包含钨和钼的混合物的氧化物或氧氮化物的层。注意，钨和钼的混合物例如相当于钨和钼的合金。

[0148] 在剥离层 504 具有叠层结构的清况下，优选地是作为第一层形成金属层，作为第二层形成金属氧化物层。典型地是，作为第一金属层形成包含钨、钼、或钨和钼的混合物的层，作为第二层形成如下层，即包含钨、钼、或钨和钼的混合物的氧化物的层；包含钨、钼、或钨和钼的混合物的氮化物的层；包含钨、钼、或钨和钼的混合物的氧氮化物的层；或者包含钨、钼、或钨和钼的混合物的氮氧化物的层。

[0149] 在形成作为第一层的金属层和作为第二层的金属氧化物层的叠层结构并用作剥离层 504 的情况下，可以利用如下现象，即通过作为金属层形成包含钨的层，作为其上层形成由氧化物构成的绝缘层，在包含钨的层和绝缘层之间的界面形成作为金属氧化物层的包含钨的氧化物的层。再者，也可以对金属层的表面进行热氧化处理、氧等离子体处理、利用臭氧水等的氧化力强的溶液的处理等形成金属氧化物层。

[0150] 此外，作为钨的氧化物，有例如 $WO_2$、$W_2O_5$、$W_4O_{11}$、$WO_3$ 等。

[0151] 使用半导体元件层 505 形成上述实施方式 1 所示的半导体集成电路。半导体层 505 优选以 1μm 以上且 10μm 以下，更优选以 1μm 以上且 5μm 以下的厚度形成。通过将半导体元件层 505 的厚度设定为上述范围，可以制造可弯曲的半导体装置。此外，半导体装置的顶面面积优选为 $4mm^2$ 以上，更优选为 $9mm^2$ 以上。

[0152] 在此，参照图 11 说明半导体元件层 505 的更具体的结构。图 11 是示出本实施方式中的半导体元件层的结构的截面图。

[0153] 如图 11 所示，本实施方式中的半导体元件层 505 包括基底层 600、以及设置在基底

层 600 上的多个晶体管 601。多个晶体管 601 包括具有杂质区域的半导体层 602、以覆盖半导体层 602 的方式设置的栅极绝缘层 603、隔着栅极绝缘层 603 设置在半导体层 602 的一部分上的栅电极 604、设置在栅电极 604 及栅极绝缘层 603 上并具有开口部的第一层间绝缘层 605 及第二绝缘层 606、以及以通过开口部接触于半导体层 602 的杂质区域的一部分的方式设置的电极 607。

[0154] 此外，导电层 508 的一部分通过图 9 中的第一绝缘层 506 及第二绝缘层 507 的开口部接触于设置在与晶体管 601 的电极 607 相同的层中的电极 608。

[0155] 作为基底层 600，使用氧化硅膜、包含氮的氧化硅膜、氮化硅膜、包含氧的氮化硅膜中的任何一种或其两种以上的叠层膜，即可。

[0156] 此外，基底层 600 还可以采用如图 12 所示的半导体元件层 505 那样的结构，即由基底层 600a 和基底层 600b 的两层构成，并且一方基底层的一部分受到蚀刻被去除。通过在蚀刻之后也使另一方基底层残留，可以抑制杂质混入。

[0157] 半导体层 602 包括沟道区域、源区域、及漏区域。作为半导体层 602 可以使用非晶半导体、微晶半导体或多晶半导体。微晶半导体是一种具有非晶结构和结晶结构（包括单晶、多晶）的中间结构且具有自由能稳定的第三状态的半导体，并且包括具有短程有序和晶格畸变的结晶区域。在微晶半导体膜的至少一部分区域可以观察到 0.5nm 至 20nm 的结晶区域。当以硅为主要成分时，拉曼光谱向低于 520cm$^{-1}$ 波数的一侧偏移。在 X 射线衍射中，可以观察到来源于硅晶格的 (111) 和 (220) 的衍射峰。微晶半导体至少包含 1 原子％以上的氢或卤素以补充悬空键。例如，在使用微晶硅的情况下，通过使材料气体辉光放电分解（等离子体 CVD）形成。作为此时的材料气体，不仅可以使用 $SiH_4$，还可使用 $Si_2H_6$、$SiH_2Cl_2$、$SiHCl_3$、$SiCl_4$、$SiF_4$ 等。或者，也可以混合 $GeF_4$。该材料气体还可以使用 $H_2$、或者 $H_2$ 与选自 He、Ar、Kr 和 Ne 的一种或多种稀有气体元素稀释。此时的稀释比率为 2 倍以上且 1000 倍以下的范围内，压力为 0.1Pa 以上且 33Pa 以下的范围内，电源频率为 1MHz 以上且 120MHz 以下，优选为 13MHz 以上且 60MHz 以下的范围内。衬底加热温度可以为 300℃以下的范围内。作为膜中的杂质元素，来源于大气成分的杂质诸如氧、氮和碳等都优选为 $1\times10^{20}$cm$^3$ 以下。特别地，氧的浓度优选为 $5\times10^{19}$/cm$^3$ 以下，更优选为 $1\times10^{19}$/cm$^3$ 以下。

[0158] 此外，半导体层 602 的杂质区域用作源区域或漏区域。例如，可以通过添加磷及砷等的 n 型杂质元素、或硼等的 p 型杂质元素形成。再者，接触于杂质区域的电极用作源电极或漏电极。此外，可以对每个半导体层 602 分别添加赋予相同的导电型的杂质元素。并且，也可以对每个半导体层 602 分别添加赋予不同的导电型的杂质元素。另外，在本实施方式中，也可以设置其杂质浓度低于成为源区域或漏区域的杂质区域的杂质浓度的低浓度杂质区域（也称为 LDD 区域）。通过设置低浓度杂质区域，可以抑制截止电流。

[0159] 作为栅极绝缘层 603，例如可以使用氧化硅膜、包含氮的氧化硅膜、氮化硅膜、包含氧的氮化硅膜中的任何一种或其两种以上的叠层膜等。栅极绝缘层 603 可以通过溅射法或等离子体 CVD 法等形成。

[0160] 作为栅电极 604，例如可以采用单层的导电膜、或两层、三层的导电膜的叠层结构。作为栅电极 604 的材料，可以使用导电膜，例如：钽、钛、钼、钨、铬、硅等的元素的单体膜；上述元素的氮化膜（典型地为氮化钽膜、氮化钨膜、氮化钛膜）；组合上述元素的合金膜（典型地为 Mo-W 合金、Mo-Ta 合金）；或上述元素的硅化物膜（典型地为钨硅化物膜、钛硅化物

膜）等。注意，可以以单层或叠层使用上述单体膜、氮化膜、合金膜、硅化物膜等。

[0161] 作为第一层间绝缘膜 605 及第二层间绝缘膜 606，例如可以使用氧化硅膜、包含氮的氧化硅膜、氮化硅膜、包含氧的氮化硅膜中的任何一种或其两种以上的叠层膜。

[0162] 作为电极 607，可以使用如下材料：铝、镍、碳、钨、钼、钛、铂、铜、钽、金或锰等的元素的单体膜；上述元素的氮化膜；组合上述元素的合金膜；或上述元素的硅化物膜。例如，作为包含多个元素的合金，可以使用包含碳和钛的铝合金、包含镍的铝合金、包含碳和镍的铝合金、包含碳和锰的铝合金等。例如，在以叠层结构设置的情况下，通过采用由钼或钛等夹着铝的结构，可以提高铝的对热及化学反应的耐性。

[0163] 注意，本实施方式中的半导体元件层 505 的结构不局限于图 11 及图 12 所示的结构，还可以设置二极管、电阻元件、电容元件、或具有浮动栅的晶体管等的半导体元件。

[0164] 此外，晶体管 601 不局限于图 11 及图 12 所示的结构，例如可以采用反交错结构、鳍式 FET 结构等的晶体管结构。例如通过采用鳍式 FET 结构，可以抑制晶体管尺寸的微细化所引起的短沟道效应。另外，作为晶体管 601，还可以使用 SOI 衬底等的半导体衬底。使用半导体衬底制造的晶体管的迁移率高，因此可以缩小晶体管的尺寸。此外，还可以采用使用有机半导体的晶体管、或使用碳纳米管的晶体管等。

[0165] 第一绝缘层 506 具有层间绝缘层的功能，例如可以使用氧化硅膜、包含氮的氧化硅膜、氮化硅膜、包含氧的氮化硅膜中的任何一种或其两种以上的叠层膜等。通过由第一绝缘层 506 覆盖半导体元件层 505，可以抑制杂质混入到成为半导体集成电路的半导体元件层 505 中。

[0166] 第二绝缘层 507 具有层间绝缘膜的功能，例如可以使用树脂等。

[0167] 导电层 508 用作图 8 中的天线 503，它例如可以使用银、金、铜、镍、铂、钯、钽、钼、钛、铝等中的任何一种或两种以上形成。在本实施方式中作为天线的形状采用环形天线，因此可以缩小功能电路的面积。但是，天线 503 的形状不局限于环形，只要是能够接收电波的形状即可。例如，可以使用偶极天线、折叠偶极天线、缝隙天线、弯折线天线、微带天线等。

[0168] 作为第三绝缘层 509，可以使用非晶硅膜、氧化硅膜、包含氮的氧化硅膜、氮化硅膜、包含氧的氮化硅膜中的任何一种或其两种以上的叠层膜等。此外，在使用非晶硅膜的情况下，也可以添加赋予一种导电型的杂质元素。通过添加赋予一种导电型的杂质元素，可以防止元件的静电破坏。注意，采用不设置第三绝缘层 509 的结构来可以减薄半导体装置的厚度。

[0169] 图 9 所示的半导体装置具有多个半导体元件层 505、第一绝缘层 506、及导电层 508 被由密封层 500 和密封层 501 构成的同一个密封层覆盖的结构。由此，可以抑制杂质混入到成为半导体集成电路的半导体元件层 505 中。

[0170] 此外，本实施方式的半导体装置采用如图 13 所示的功能电路 502 那样在区域 514 中使密封层 500 和密封层 501 接触的结构，并且还可以采用半导体元件层 505、第一绝缘层 506、及导电层 508 被由密封层 500 和密封层 501 构成的同一个密封层覆盖的结构。由此，可以抑制杂质混入到成为半导体集成电路的半导体元件层中。

[0171] 如上所述，本实施方式的半导体装置可以通过采用上述结构来提高冗余，从而可以提高可靠性。此外，由于可以抑制杂质混入到半导体集成电路中，缓和对弯曲的压力，并提高对外力的耐性，因此可以提高各个功能电路的可靠性。

[0172] 接着，参照图 14A 至图 17B 说明本实施方式中的半导体装置的制造方法。图 14A 至图 17B 是示出本实施方式中的半导体装置的制造方法的截面图。在此，作为例子说明图 11 所示的结构中的半导体装置的制造方法。

[0173] 如图 14A 所示，首先在衬底 511 上形成剥离层 504，然后在剥离层 504 上形成半导体元件层 505。剥离层 504 可以通过溅射法、等离子体 CVD 法、涂敷法、印刷法等形成。注意，涂敷法是指将溶液喷出在被处理物上进行成膜的方法，例如包括旋涂法及液滴喷出法。此外，液滴喷出法是指将包含微粒子的组成物的液滴从微细的孔喷出形成预定形状的图案的方法。

[0174] 接着，以覆盖半导体元件层 505 的方式形成第一绝缘层 506 及第二绝缘层 507。

[0175] 接着，如图 14B 所示，通过蚀刻去除第一绝缘层 506 及第二绝缘层 507 的一部分。此时，至少使覆盖半导体元件层 505 的部分的第一绝缘层 506 及第二绝缘层 507 残留。此外，在残留在半导体元件层 505 上的第一绝缘层 506 及第二绝缘层 507 的一部分设置开口部。

[0176] 接着，如图 15A 所示，以其一部分隔着第一绝缘层 506 及第二绝缘层 507 与半导体元件层 505 中的电极接触的方式形成导电层 508。导电层 508 例如可以通过如下步骤形成，即将具有上述能够用作导电层 508 的材料的金属粒子的液滴及膏剂等通过液滴喷出法（喷墨法、分配器法等）另外喷出到衬底上，然后进行干燥和焙烧。通过采用液滴喷出法形成导电层 508 可以缩减工序数目，由此可以实现成本的缩减。

[0177] 接着，如图 15B 所示，覆盖第二绝缘层 507 和导电层 508 地形成第三绝缘层 509。

[0178] 接着，如图 16A 所示，将密封层 501 粘接到第三导电层 509 上。作为粘接的方法，例如可以举出对密封层 501 进行加压粘接的方法。

[0179] 接着，如图 16B 所示，在密封层 501 上设置因光或热能够剥离的粘接胶带 512，当在粘接胶带 512 上旋转滚筒 513 的同时剥离剥离层 504 并分离衬底 511。

[0180] 接着，如图 17A 所示，从形成有剥离层 504 的面照射激光，在剥离层 504、第三绝缘层 509、及密封层 501 的一部分形成槽 515。注意，既可以在形成槽 515 之后剥离粘接胶带 512，又可以在形成槽 515 之前剥离。

[0181] 接着，如图 17B 所示，将密封层 500 粘接到第三绝缘层 509 的衬底 511 被剥离一侧的表面。作为粘接方法，例如可以举出对密封层 500 进行加压粘接的方法等。通过粘接密封层 500 使密封层 500 和密封层 501 中的树脂流到槽 515 中，从而密封层 500 和密封层 501 成为一个。此时，去除因槽 515 密封层 500 和密封层 501 的端部不一致的部分。

[0182] 如上所述，可以制造具有图 11 所示的结构的半导体装置。此外，通过采用本实施方式的半导体装置的制造方法，可以形成半导体层 505 被夹在密封层 500 和密封层 501 之间的结构。注意，本实施方式所示的半导体装置的制造方法是一个例子，还可以采用其他制造方法。

[0183] 此外，参照图 18 说明设置有增益天线的半导体装置。图 18 是示出本实施方式中的半导体装置的其他结构的斜视图。

[0184] 如图 18 所示，本实施方式中的半导体装置的其他结构包括功能电路 700，设置在功能电路 700 上的衬底 701（虚线部分）、以及设置在衬底 701 的一方上的天线 702。

[0185] 功能电路 700 与图 9 所示的功能电路 502 的结构相同。

[0186] 注意，在本实施方式中作为天线 702 的形状采用环形的天线 702，由此可以缩小半导体装置的面积。此外，但是，天线 702 的形状不局限于环形，只要是能够接收电波的形状即可。例如，可以使用偶极天线、折叠偶极天线、缝隙天线、弯折线天线、微带天线等。

[0187] 此外，也可以以不使用衬底 701 的方式将天线 702 贴合到功能电路 700。通过不使用衬底 701，可以减薄半导体装置的厚度。

[0188] 接着，参照图 19 示出设置有增益天线的半导体装置的截面结构。图 19 是沿着图 18 的线 A-B 的截面图。

[0189] 如图 19 所示，本实施方式中的半导体装置包括功能电路 700 和衬底 701。其中所述功能电路 700 包括密封层 703、设置在密封层 703 上的剥离层 704、设置在剥离层 704 上的半导体元件层 705、设置在半导体元件层 705 上并具有开口部的第一绝缘层 706 及第二绝缘层 707、以其一部分通过开口部与半导体元件层 705 接触的方式设置的导电层 708、以覆盖导电层 708 及第二绝缘层 707 的方式设置的第三绝缘层 709、以及设置在第三绝缘层 709 上的密封层 710，并且所述衬底 701 设置在密封层 710 上且包括导电层 711。

[0190] 注意，在图 19 中，密封层 703、剥离层 704、半导体元件层 705、第一绝缘层 706、第二绝缘层 707、导电层 708、第三绝缘层 709、及密封层 710 可以分别应用能够应用于图 9 中的密封层 500、剥离层 504、半导体元件层 505、第一绝缘层 506、第二绝缘层 507、导电层 508、第三绝缘层 509、及密封层 501 的结构及材料。

[0191] 导电层 711 在图 18 中用作增益天线的天线 702，例如可以使用银、金、铜、镍、铂、钯、钽、钼、钛、铝等中的任何一种或两种以上形成。

[0192] 注意，在本实施方式中作为天线 702 的形状采用环形的天线 702，由此可以缩小功能电路的面积。但是，天线 702 的形状不局限于环形，只要是能够接收电波的形状即可。例如，可以使用偶极天线、折叠偶极天线、缝隙天线、弯折线天线、微带天线等。

[0193] 如上所述，在采用设置成为第一天线的导电层 708 和成为用作增益天线的第二天线的导电层 711 的结构的情况下，可以以非接触的方式进行第一天线和第二天线之间的电力发送和接受。此外，通过设置第二天线，可接收的电波的频带不被限制而可以延长通信距离。

[0194] 接着，参照图 20A 和 20B 说明图 19 所示的半导体装置的制造方法。图 20 是示出本实施方式中的半导体装置的其他结构的制造方法的截面图。

[0195] 如图 20A 所示，首先采用如上述图 14A 至图 17B 所示的半导体装置的制造方法形成功能电路 700。

[0196] 接着，如图 20B 所示，以形成有导电层 711 的表面成为功能电路 700 一侧的方式贴合功能电路 700 和形成有导电层 711 的衬底 701。此时，也可以另外隔着粘接层贴合衬底 701 和功能电路 700。通过设置粘接层，可以提高贴合面的粘接强度。

[0197] 如上所述，可以制造作为增益天线设置第二天线（天线 702）的半导体装置。通过采用本实施方式的制造方法，可以形成半导体元件层 705 被由密封层 703 和密封层 710 构成的一个密封层覆盖的结构。此外，通过在第二天线之下配置多个功能电路，可以缩小半导体装置的面积。

[0198] 注意，本实施方式所示的半导体装置的制造方法只是一个例子，也可以采用其他制造方法。

[0199] 注意，本实施方式可以与其他实施方式适当地组合。

[0200] 实施方式 4

[0201] 在本实施方式中，说明上述实施方式所示的半导体装置的使用例子。

[0202] 参照图 21A 至 21F 说明本实施方式的半导体装置的具体使用例子。图 21 是示出本实施方式中的半导体装置的使用例子的图。

[0203] 图 21A 至 21F 示出上述实施方式中的半导体装置的使用例子。半导体装置可以广泛应用，例如可以设置在物品如钞票、硬币、有价证券类、无记名债券类、证书类（驾驶证、居民卡等，参照图 21A）、包装容器类（包装纸、瓶子等，参照图 21C）、记录媒体 (DVD 软件、录像带等，参照图 21B)、车辆类（自行车等，参照图 21D)、个人物品（包、眼镜等）、食物类、植物类、动物类、人体、衣服类、生活器具类、或电子设备（液晶显示装置、EL 显示装置、电视装置、或便携式电话）等、或每个物品所带的标签（参照图 21E 和 21F）等中而使用。

[0204] 半导体装置 800 可以安装在印刷衬底上、附着到表面上、或者嵌入等的方式固定到物品上。例如，半导体装置嵌入在书本的纸张里，或者嵌入在由有机树脂构成的包装里以在每个物品中固定。半导体装置 800 因为实现了尺寸小、厚度薄以及重量轻，所以即使在固定到上述物品中以后也不会破坏所述物品本身的设计性。另外，通过在钞票、硬币、有价证券类、无记名债券类和证书类等中设置半导体装置 800，可以提供认证功能，而且通过利用所述认证功能可以防止对其的伪造。另外，可以通过在包装容器类、记录媒体、个人物品、食物类、衣服类、生活器具类或电子设备等中安装半导体装置，提高检测系统的系统运行效率。另外，当将半导体装置安装于车辆上时，可以提高防盗的安全性。

[0205] 如上所述，由于上述实施方式所示的半导体装置具有高可靠性，因此通过使用于本实施方式所举出的各个用途，可以进一步提高物品的认证性、或安全性等。

[0206] 本说明书根据 2008 年 1 月 31 日在日本专利局受理的日本专利申请编号 2008-020938 而制作，所述申请内容包括在本说明书中。

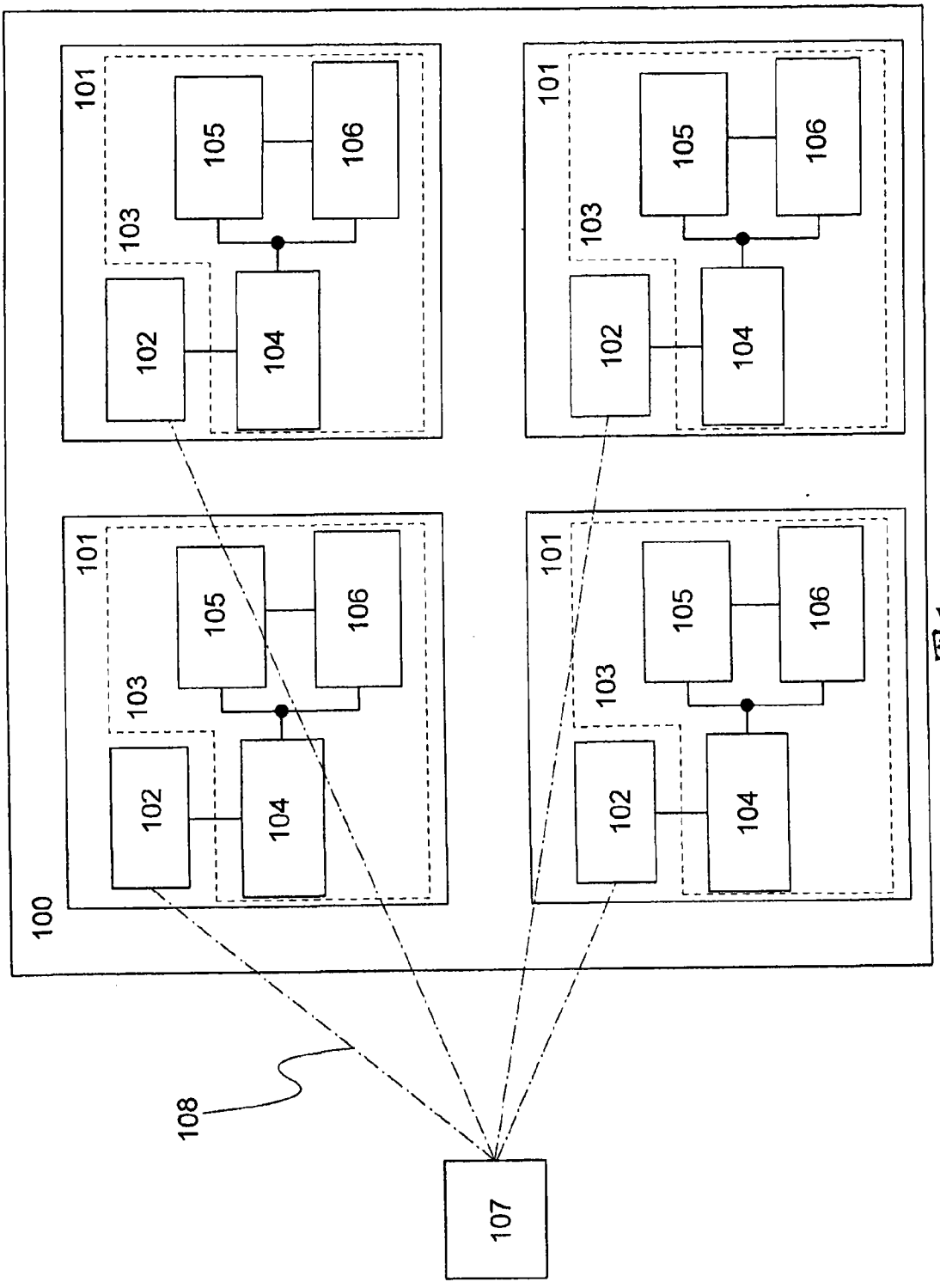



图 1

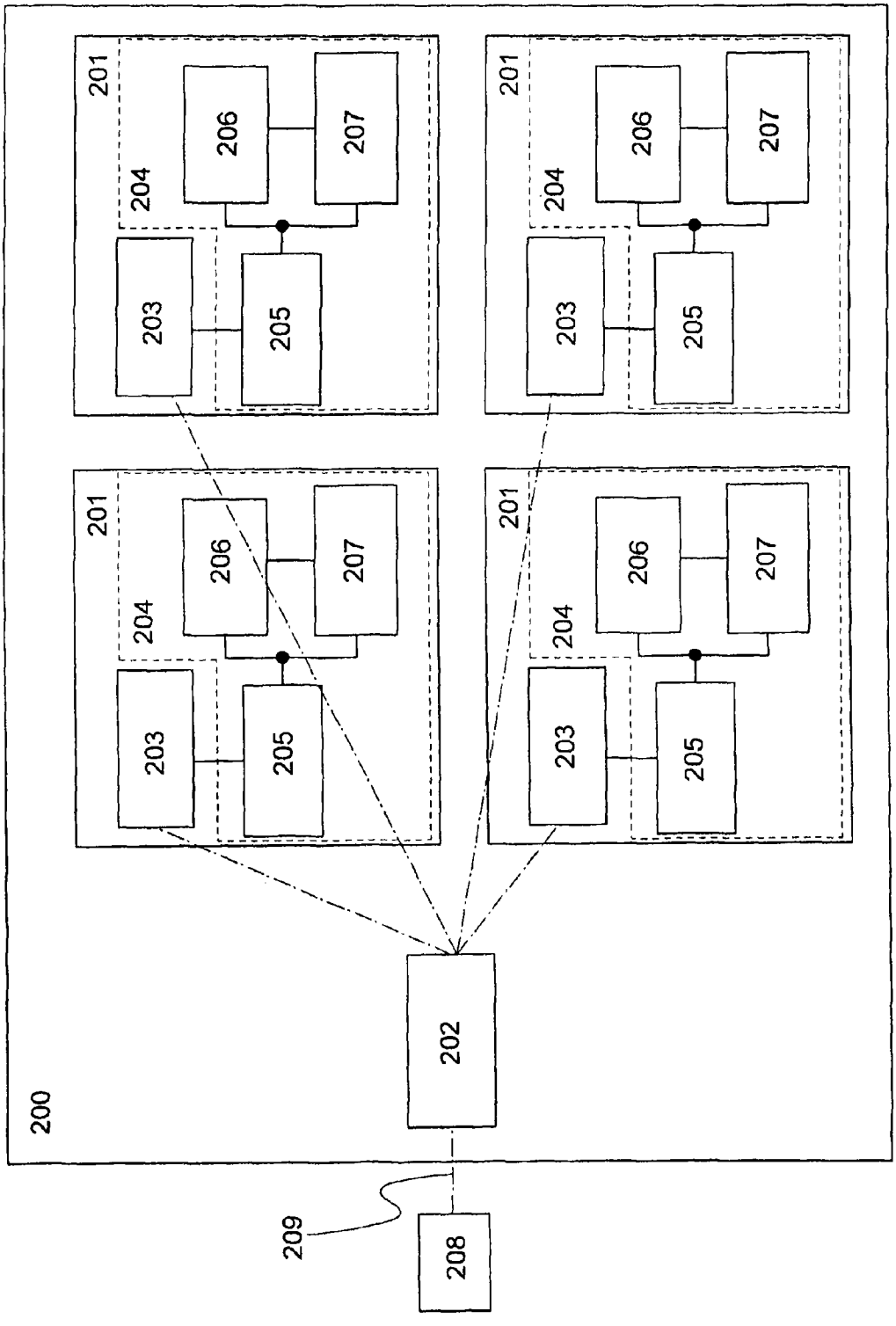



图 2

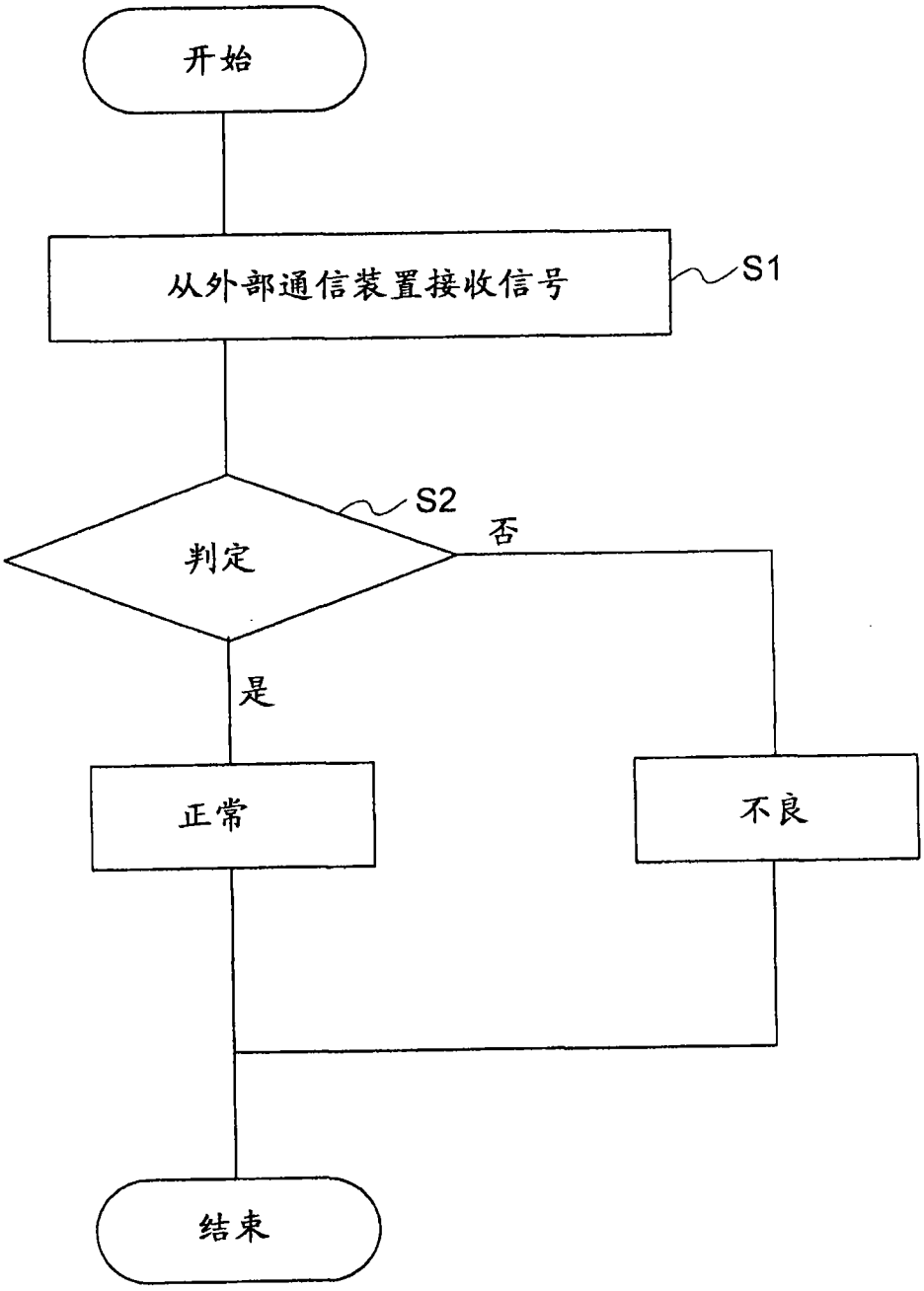



图 3

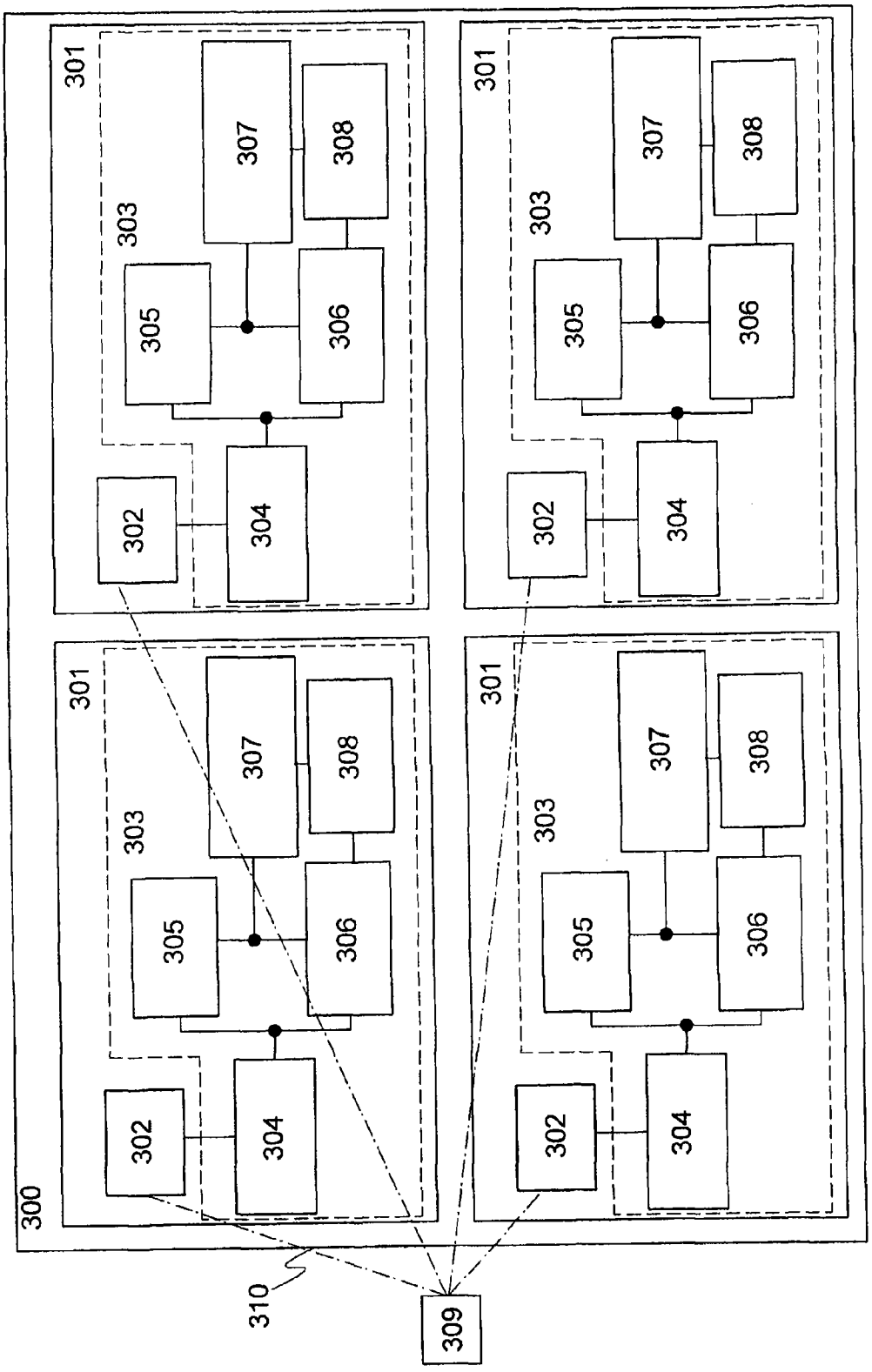



图 4

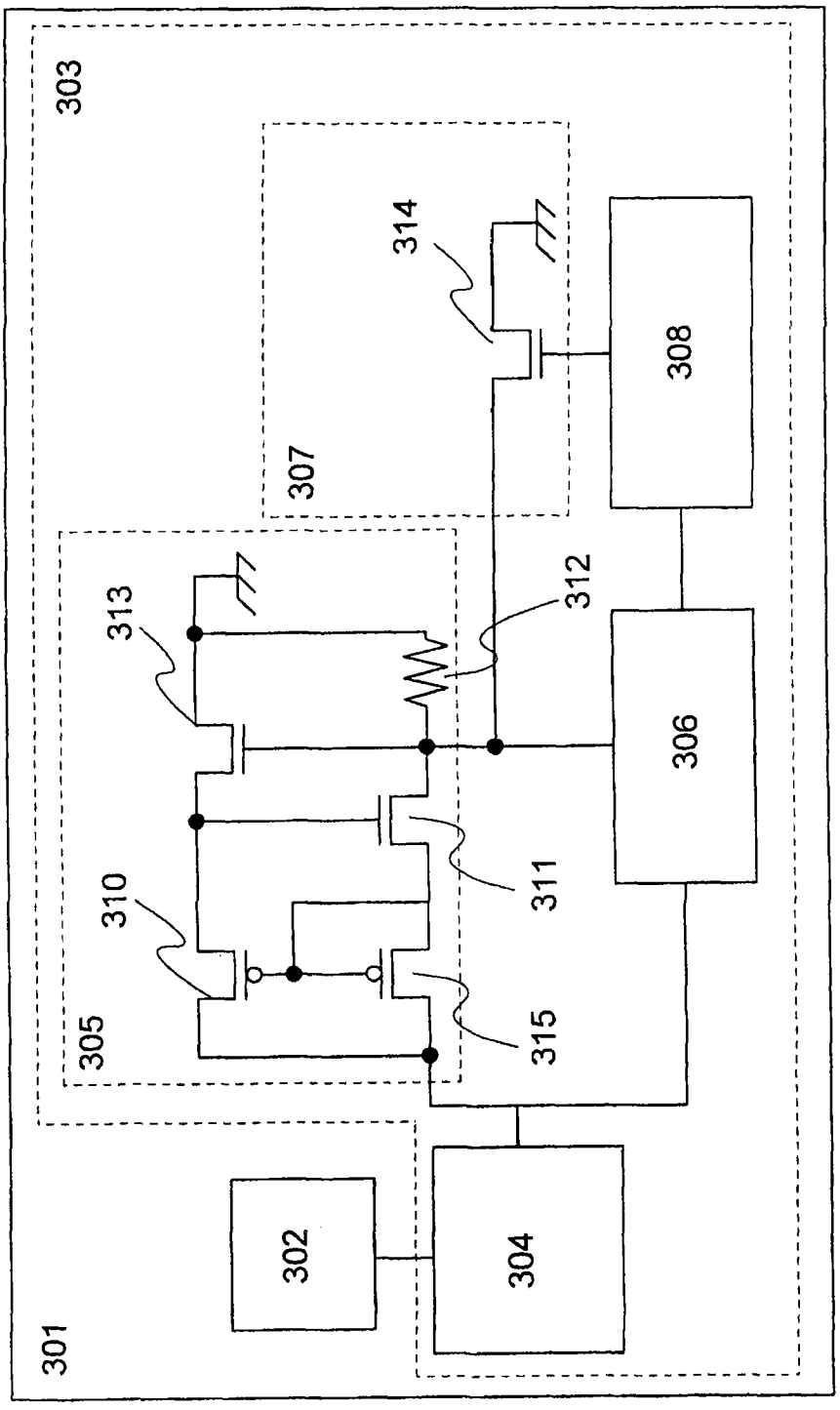



图 5

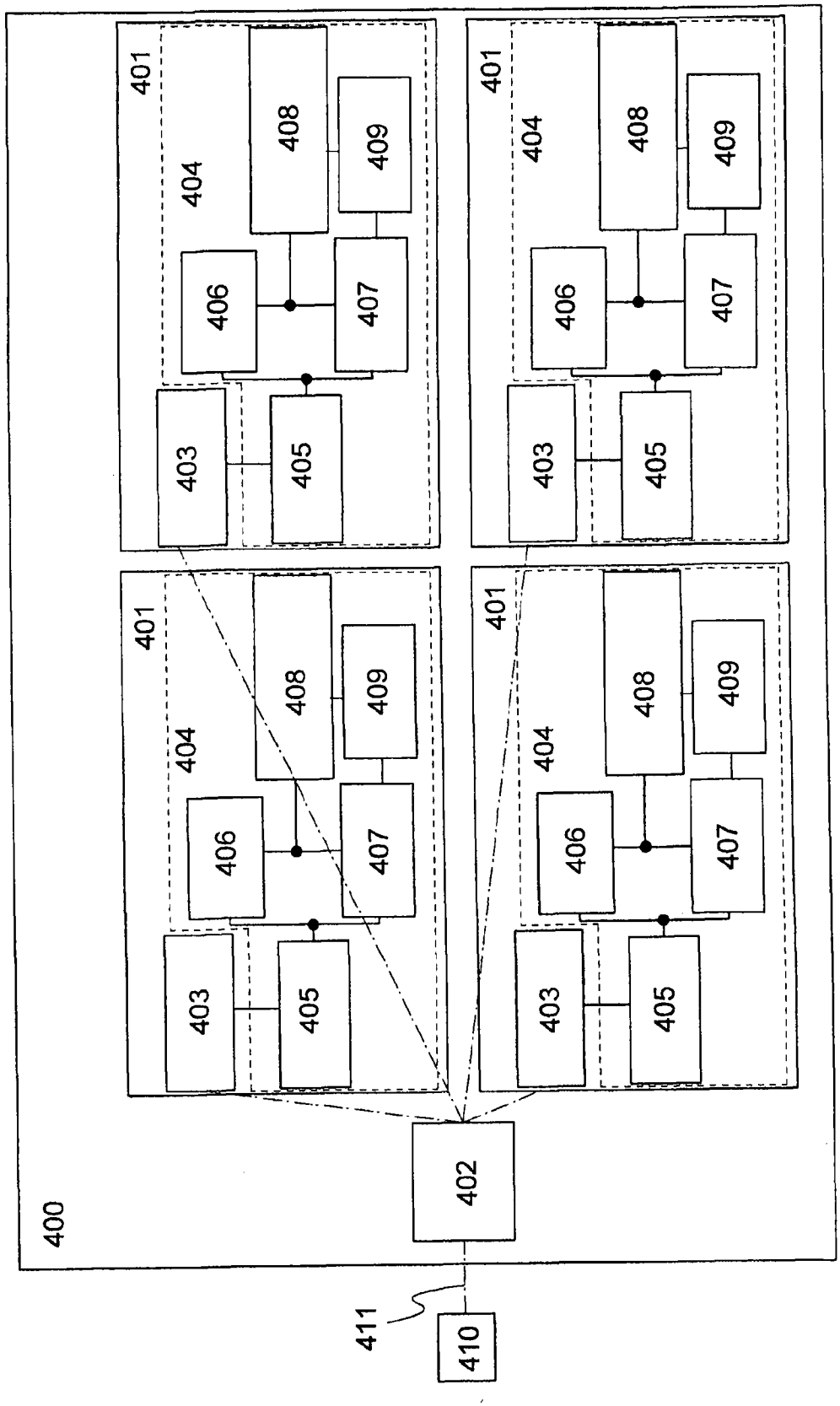



图 6

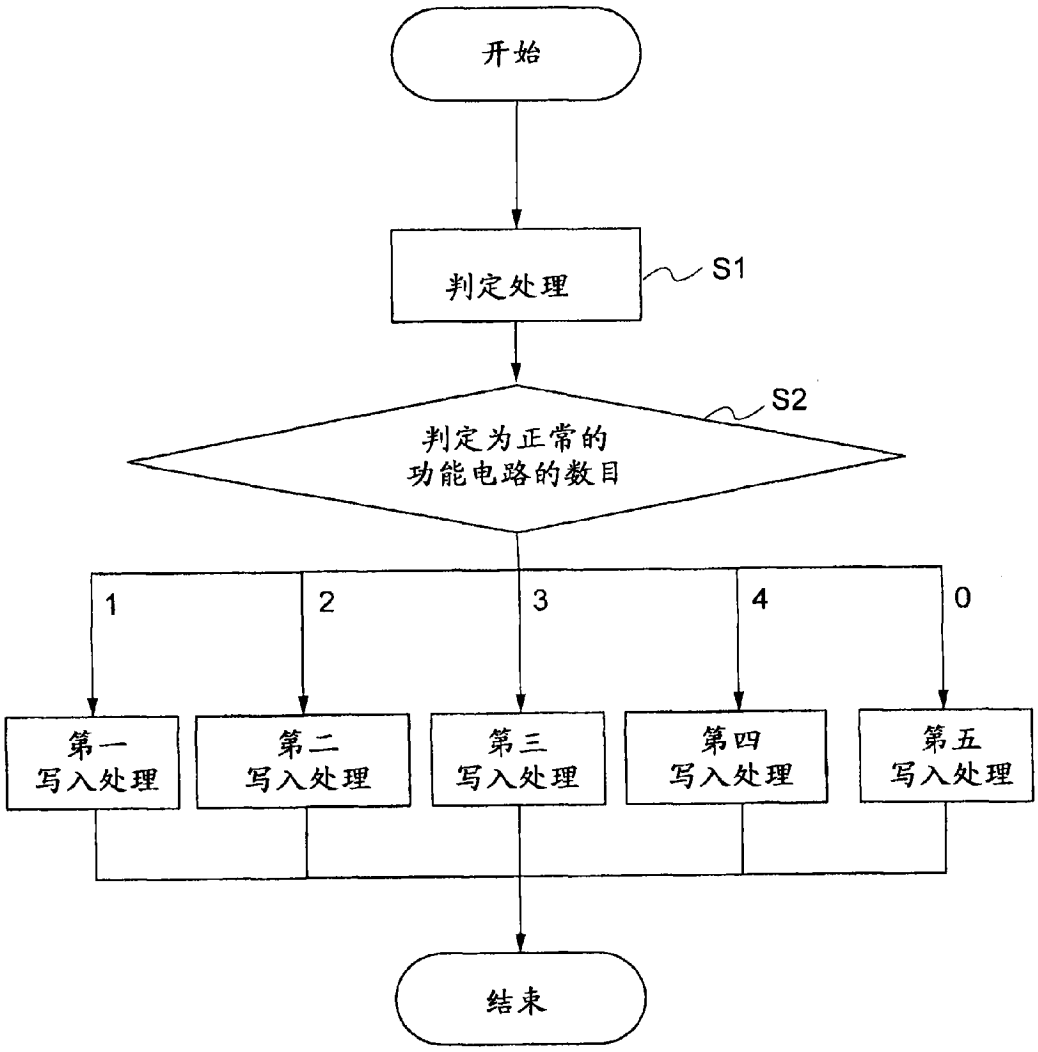

开始
判定处理
S1
S2
判定为正常的
功能电路的数目
1
2
3
4
0
第一
写入处理
第二
写入处理
第三
写入处理
第四
写入处理
第五
写入处理
结束

图 7

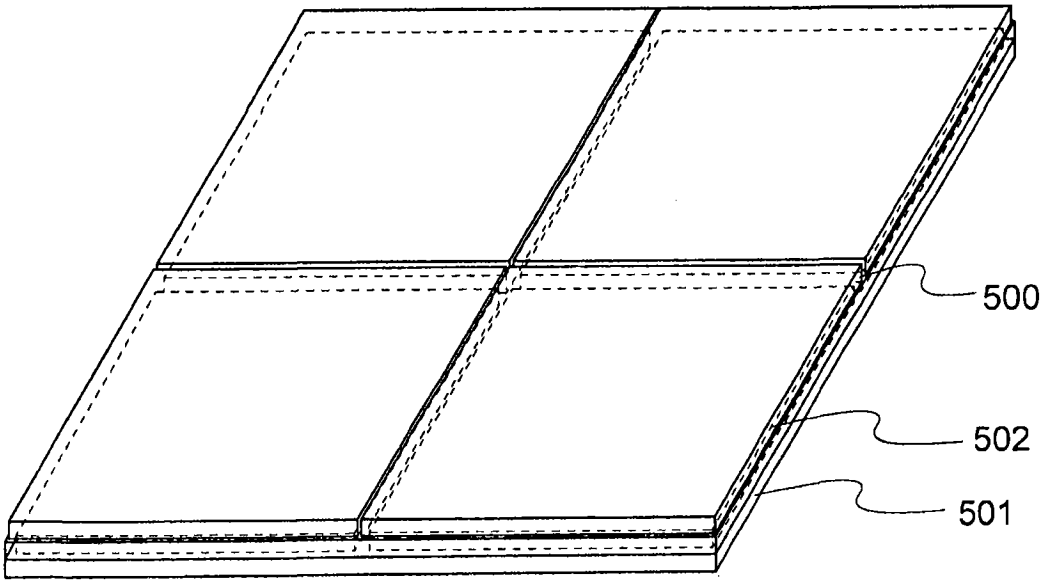



图 8A

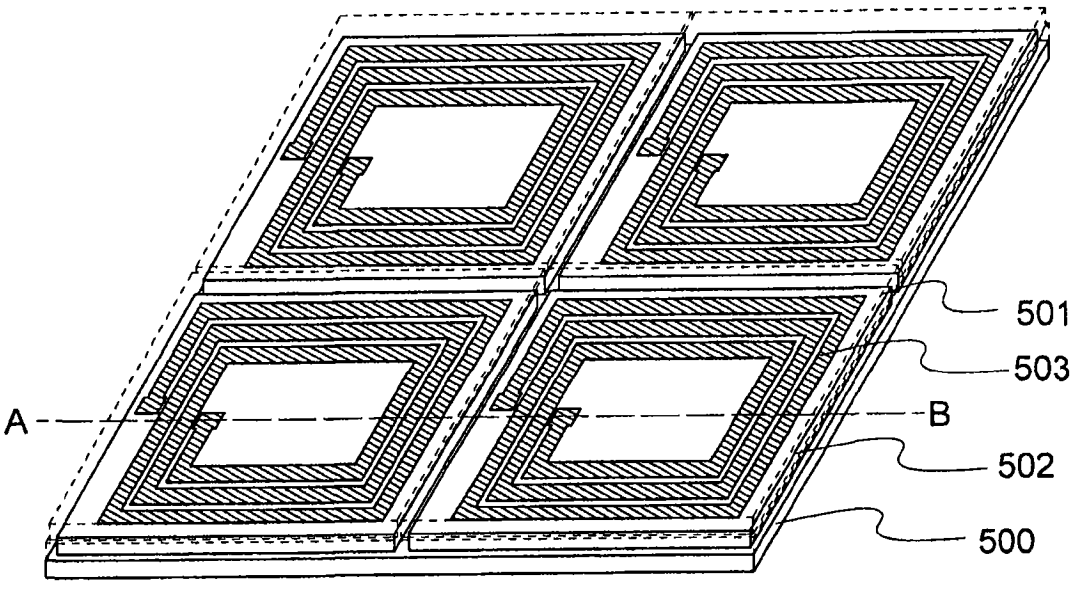



图 8B

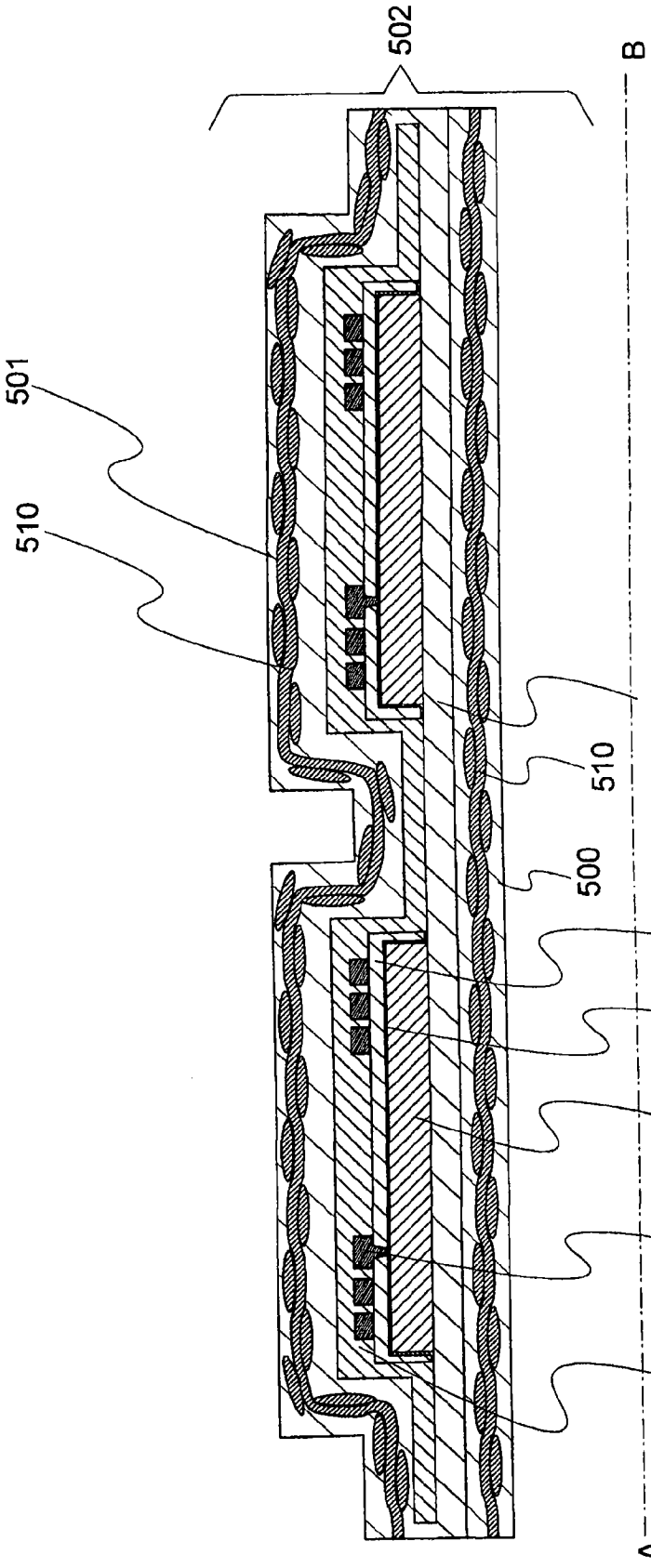



图 9

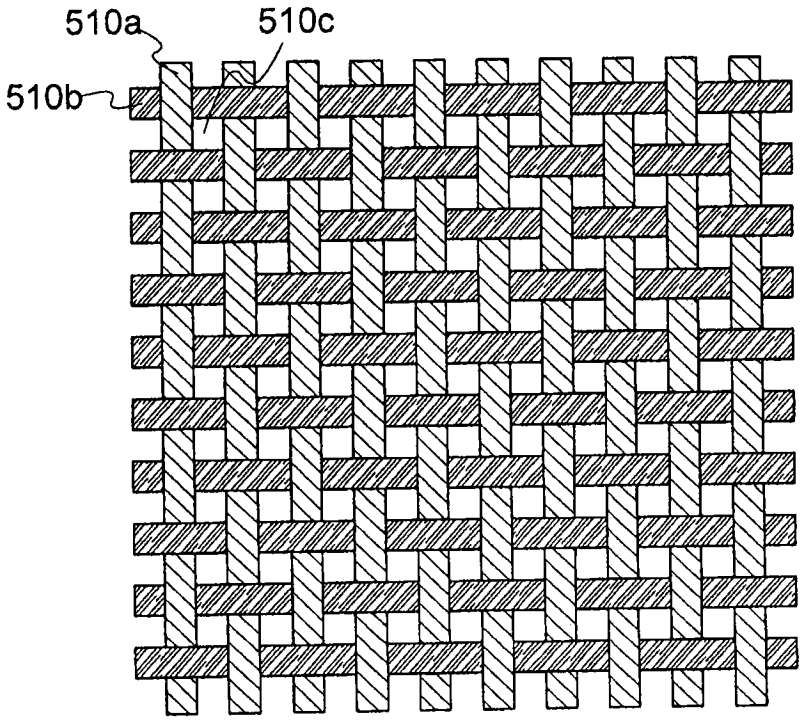



图 10A

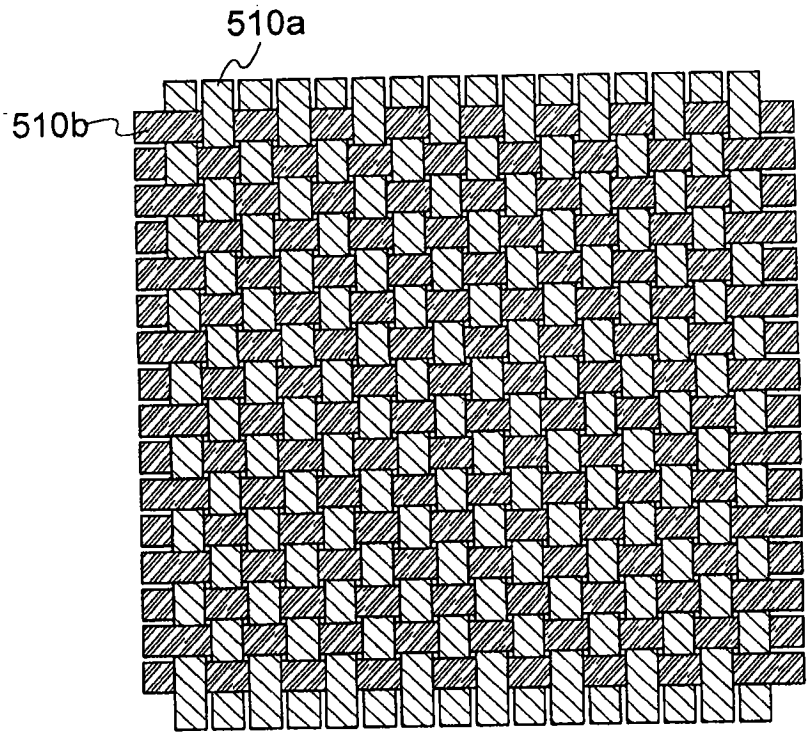



图 10B

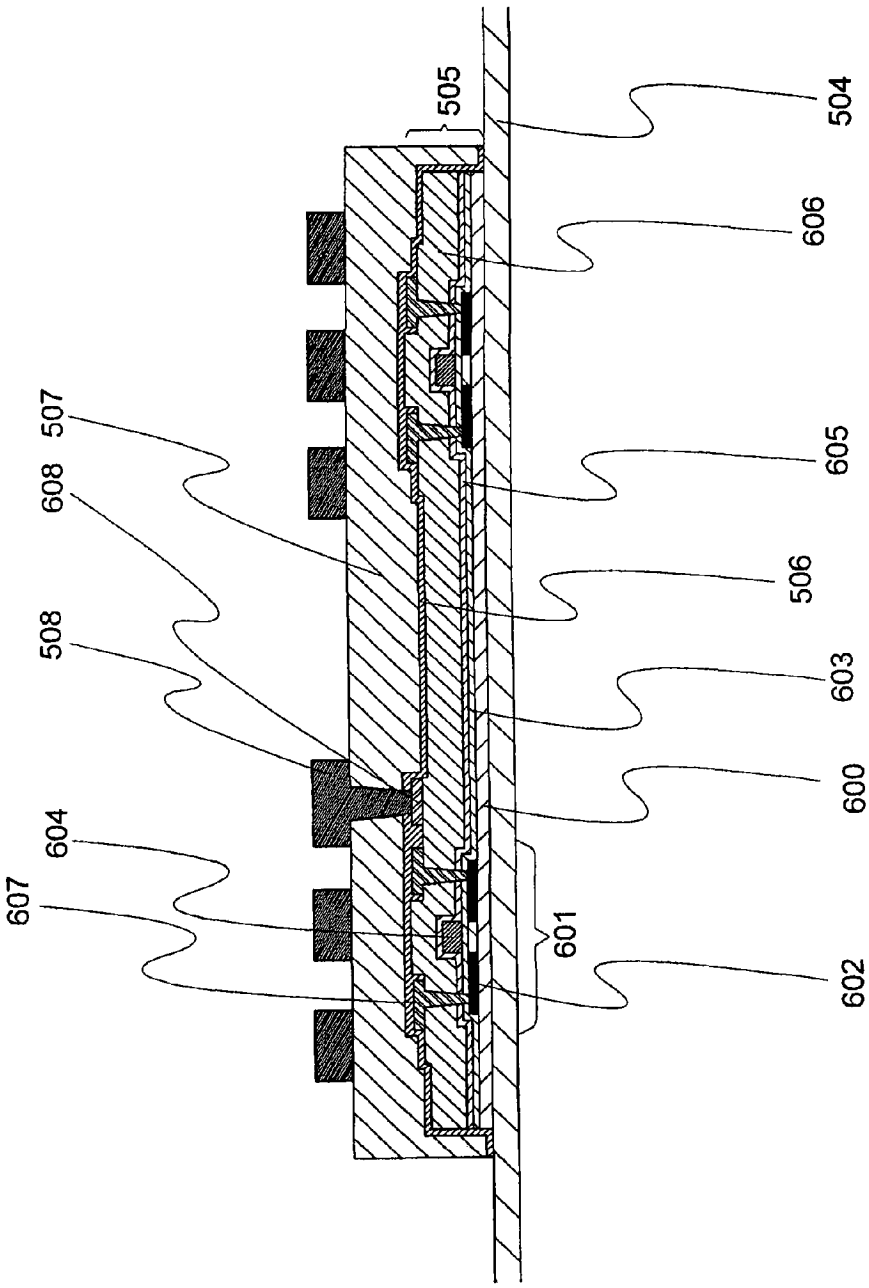



图 11

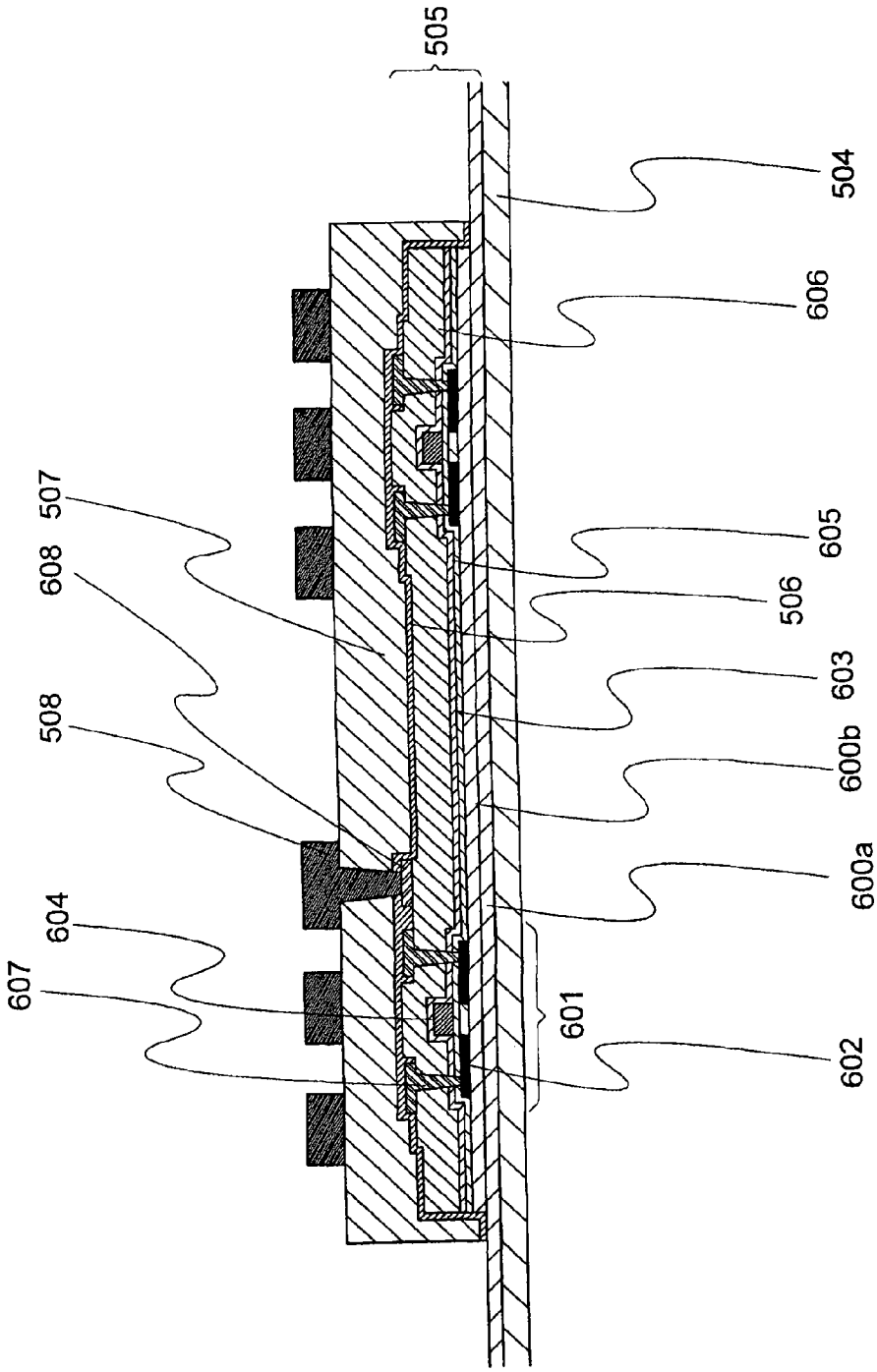



图 12

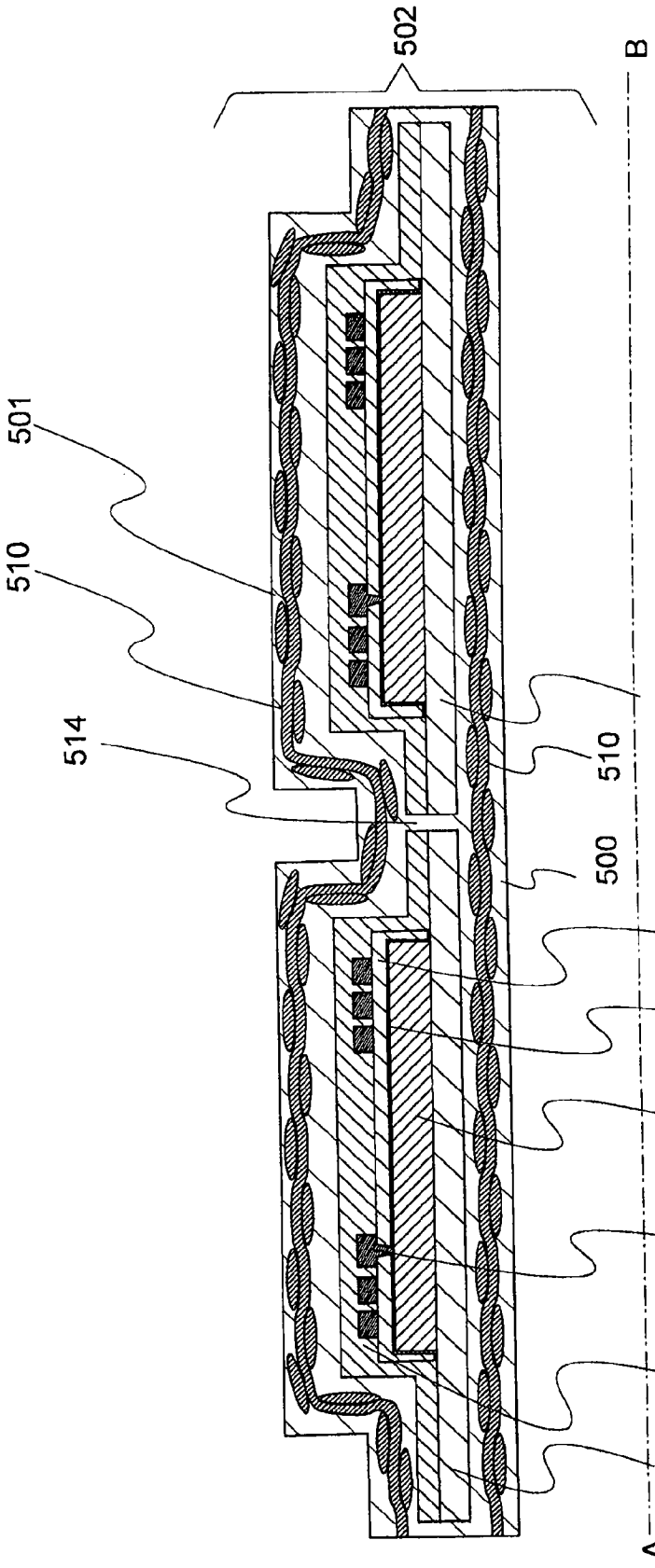



图 13

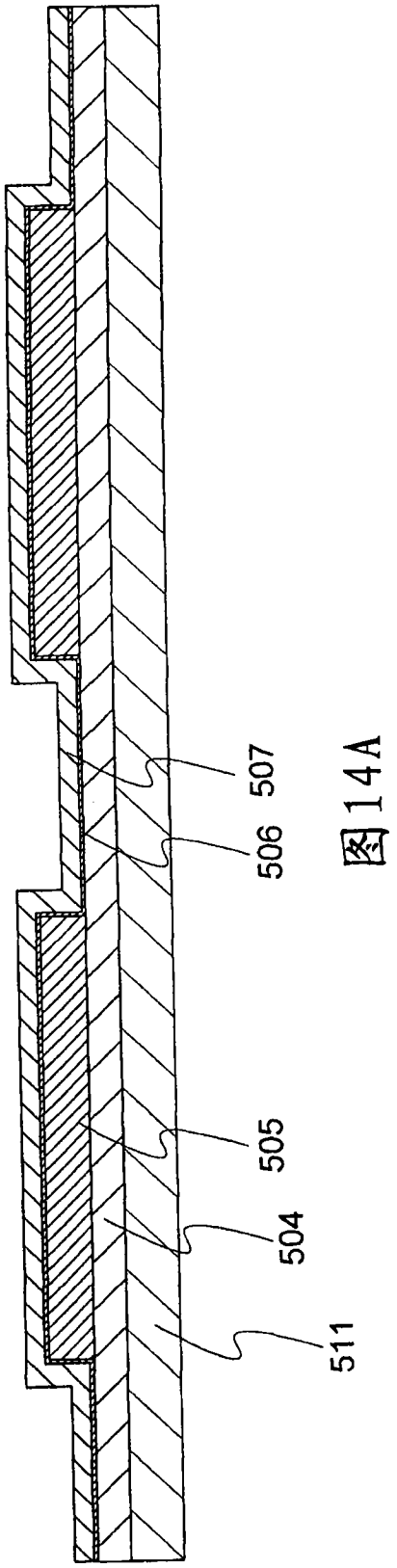



图14A

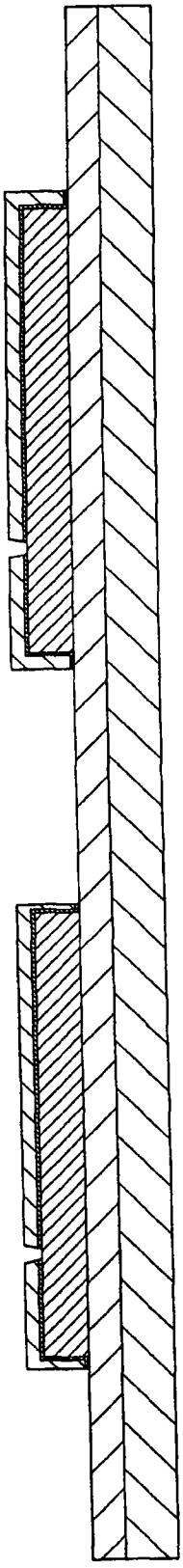


图14B

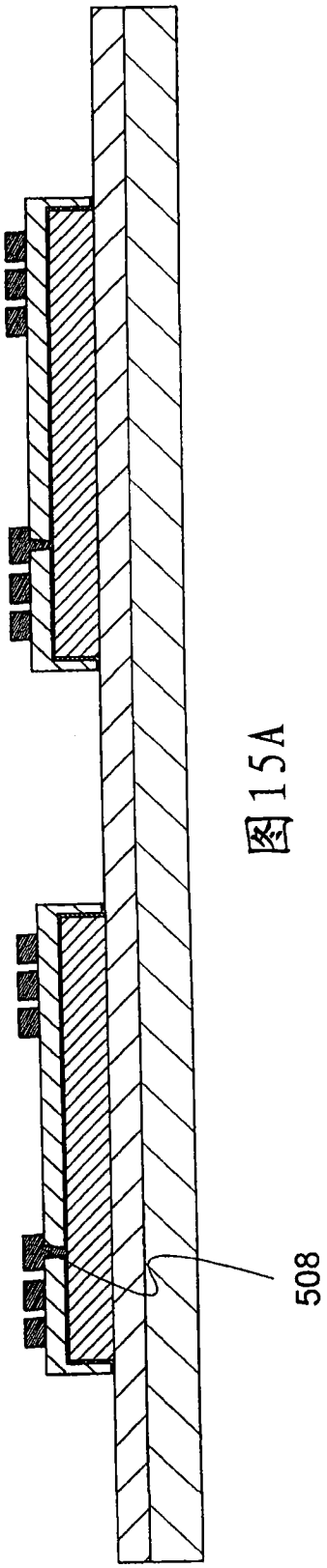



图15A

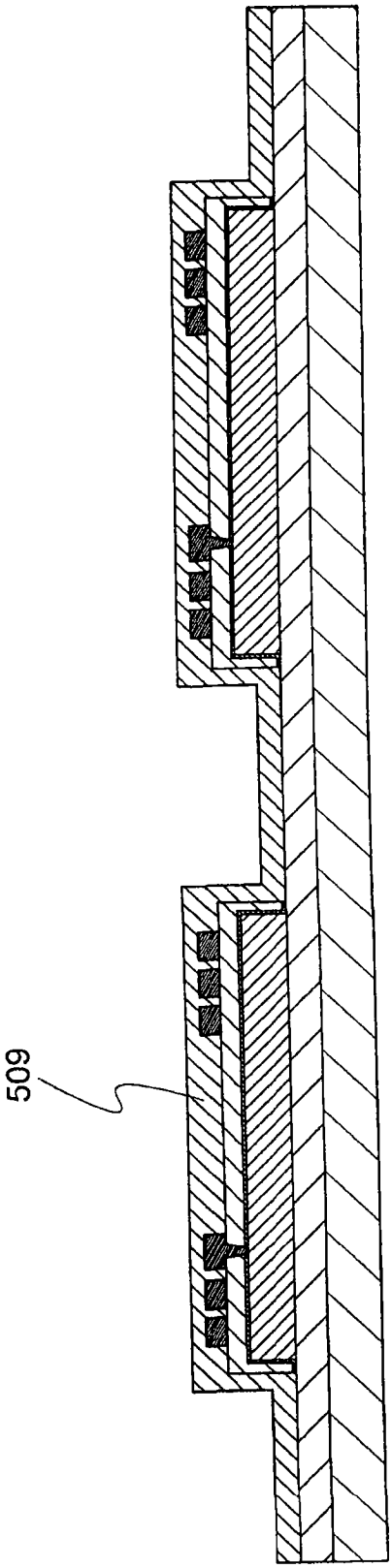



图15B

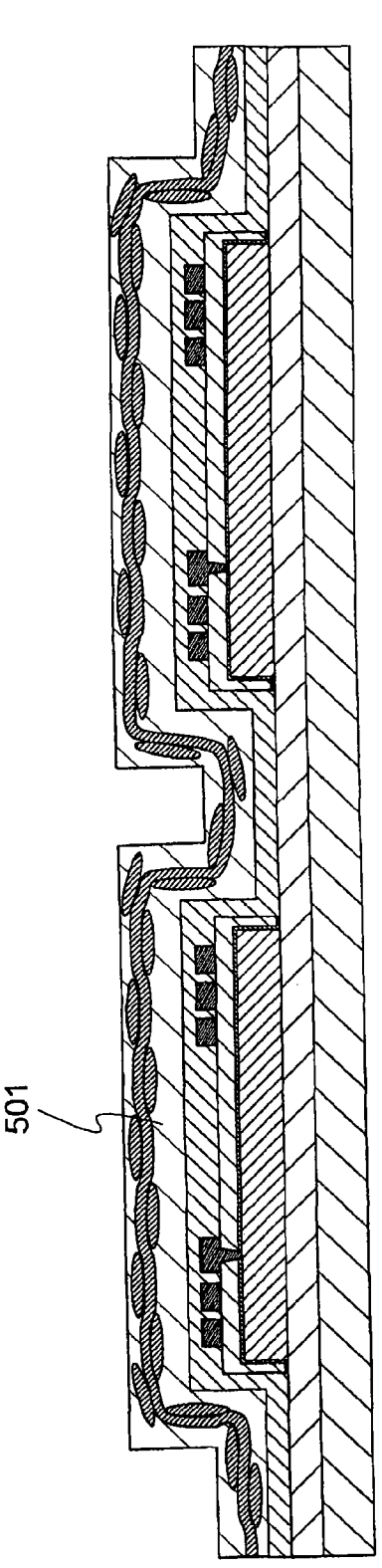



图16A

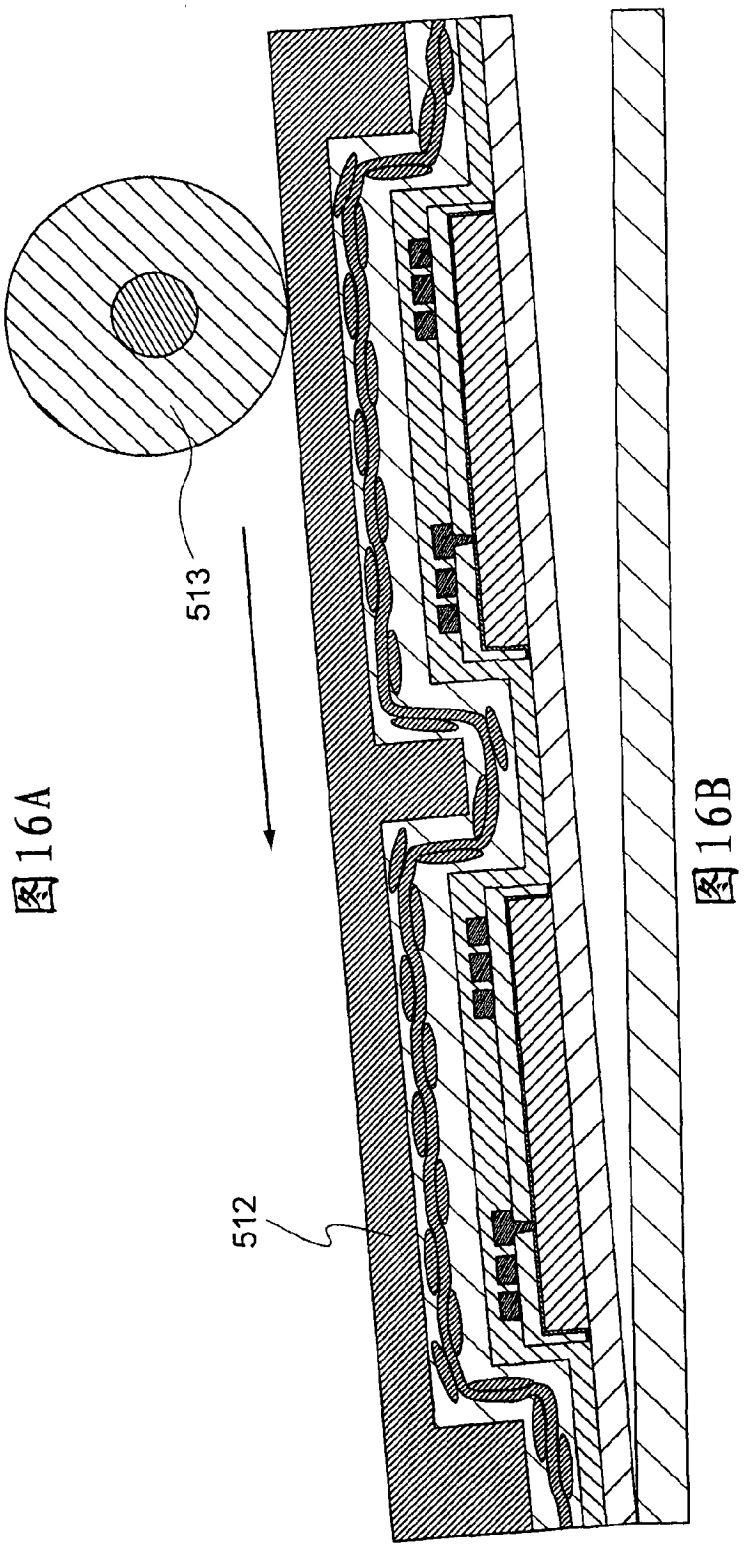



图16B

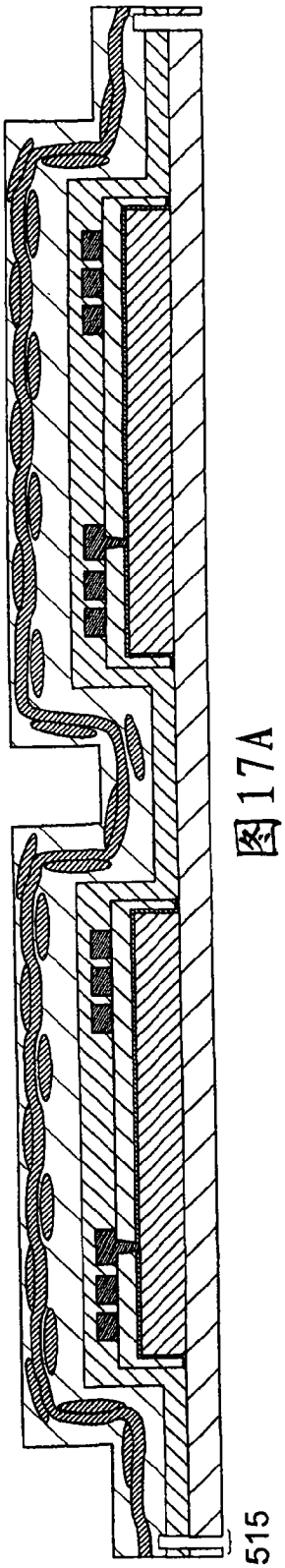



图17A

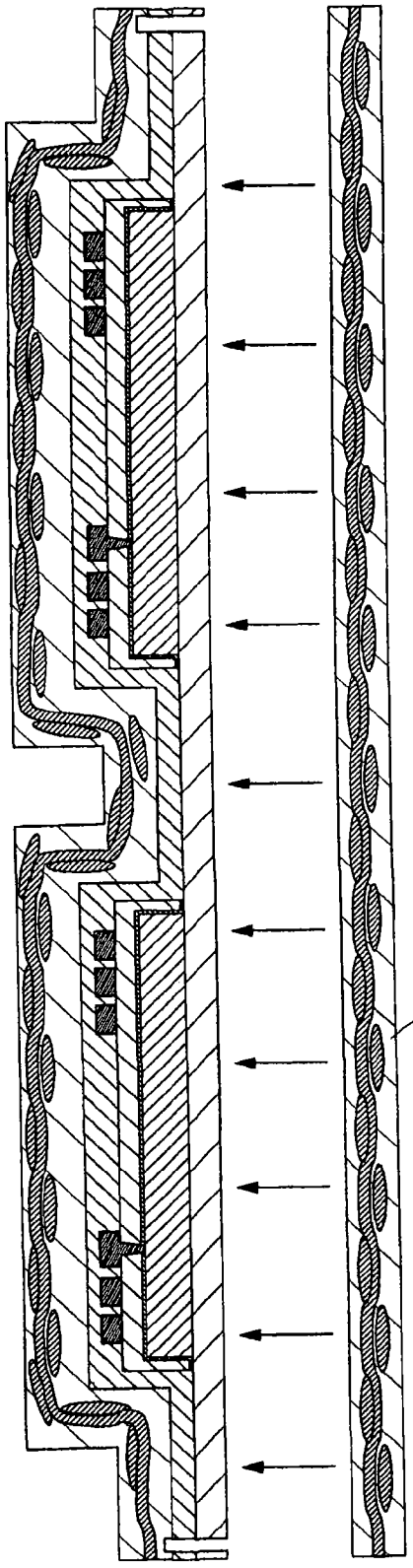



图17B

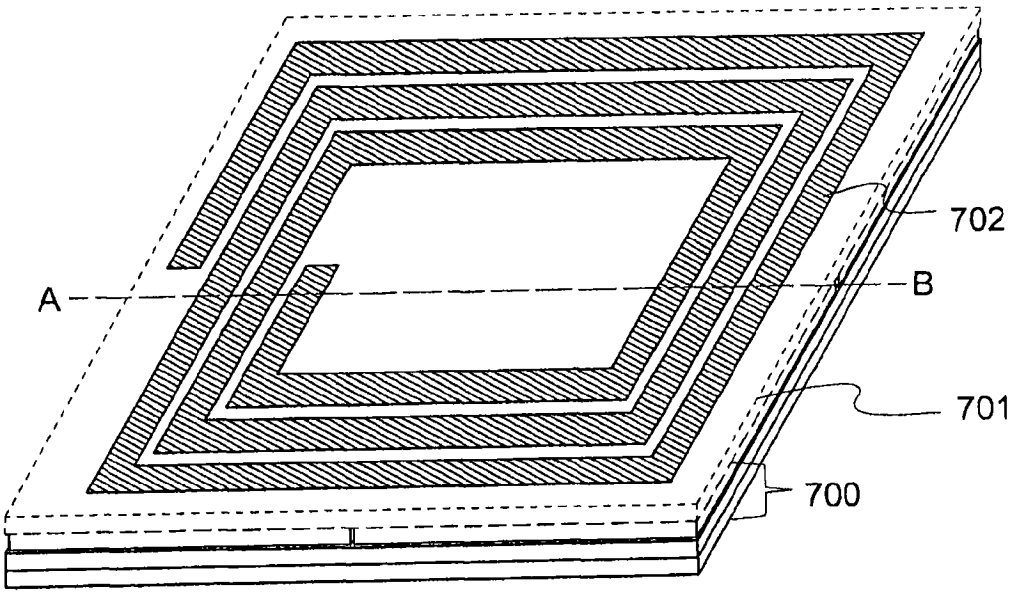



图 18

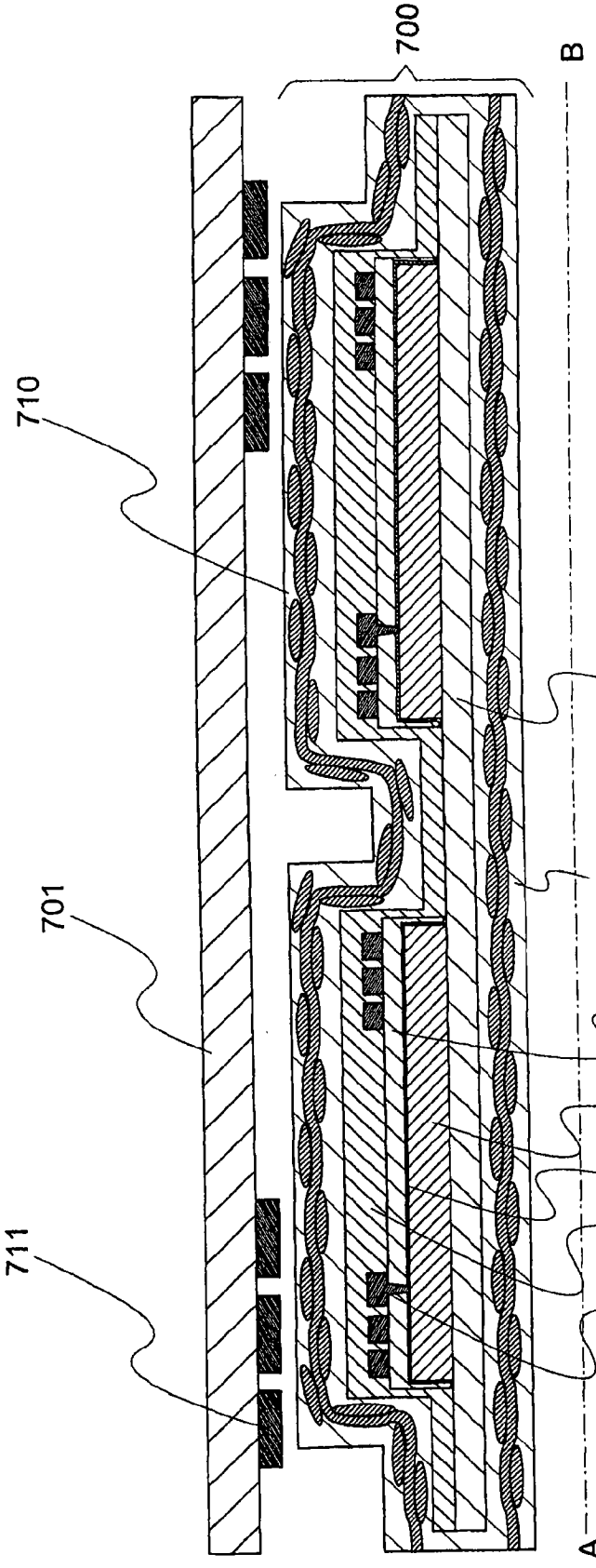



图19

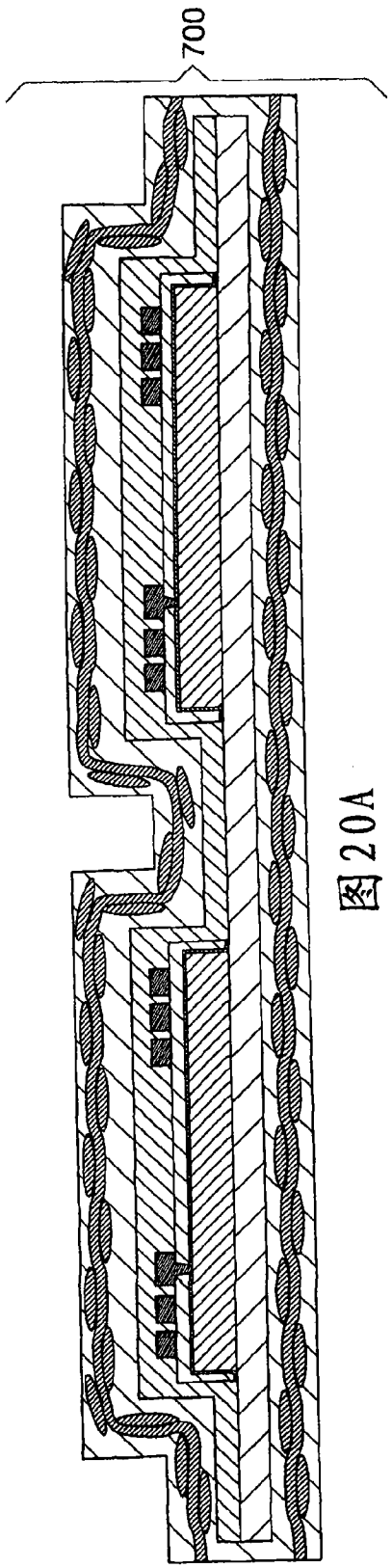



图20A

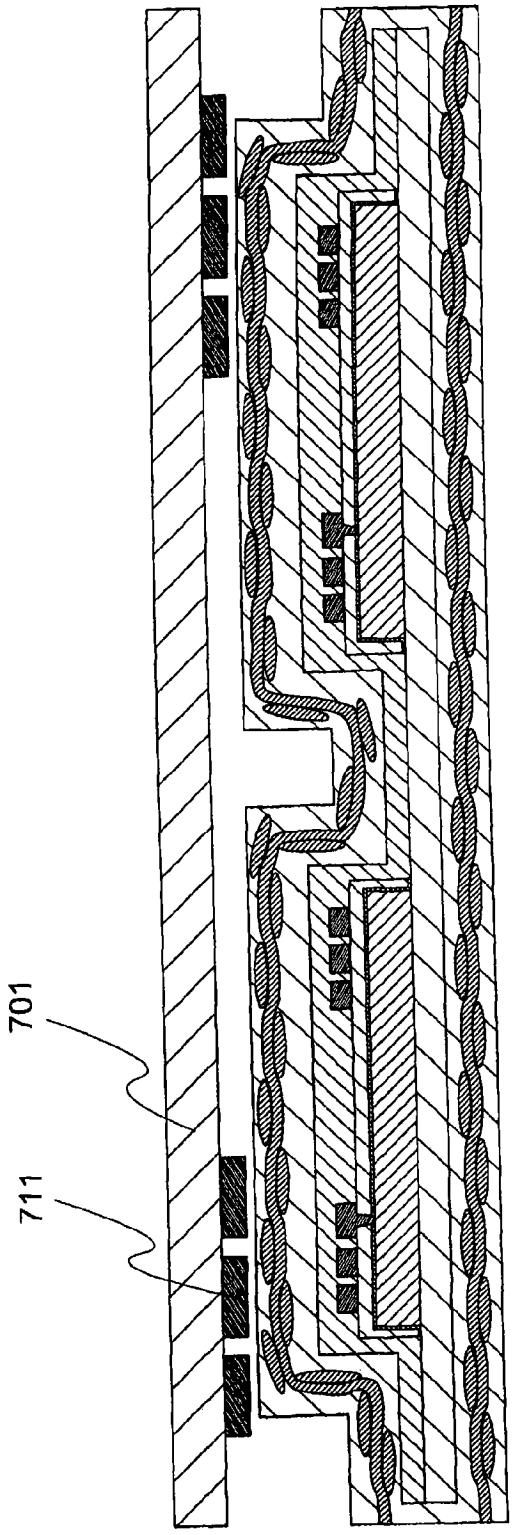



图20B

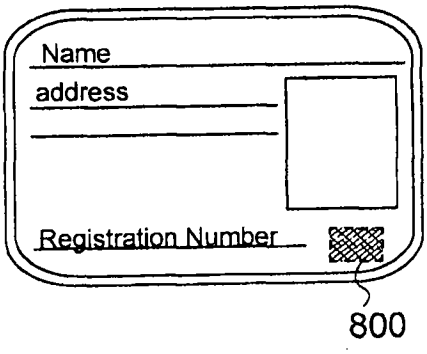



图 21A

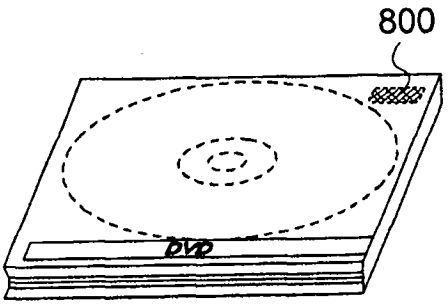



图 21B

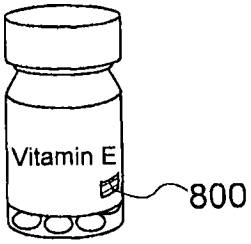



图 21C

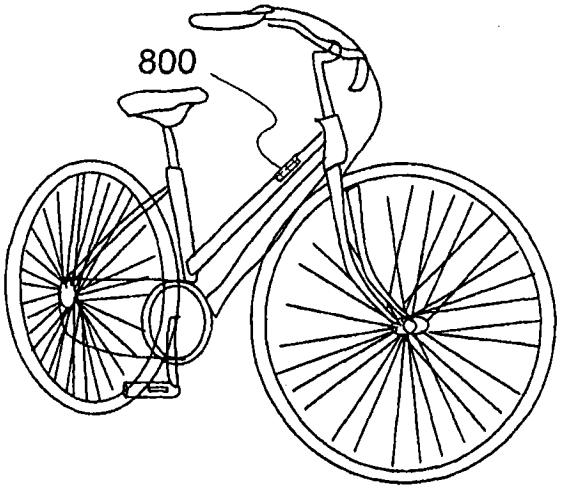



图 21D

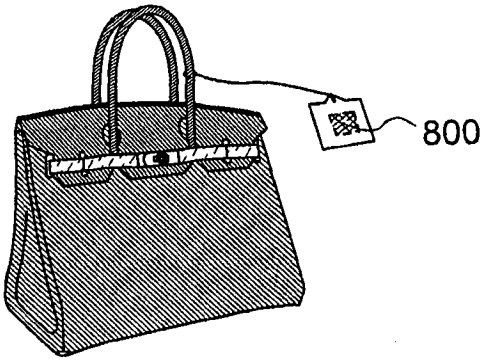



图 21E

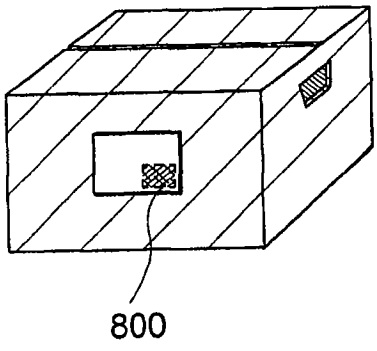



图 21F