



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년09월04일
(11) 등록번호 10-1774583
(24) 등록일자 2017년08월29일

- (51) 국제특허분류(Int. Cl.)
HO2M 3/158 (2006.01) *G05F 1/62* (2006.01)
- (21) 출원번호 10-2011-0007036
(22) 출원일자 2011년01월24일
심사청구일자 2014년12월22일
(65) 공개번호 10-2011-0087234
(43) 공개일자 2011년08월02일
(30) 우선권주장
JP-P-2010-013612 2010년01월25일 일본(JP)
(56) 선행기술조사문헌
JP2004166428 A*
JP08186980 A
KR1020090054375 A
US05514947 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
에스아이아이 세미컨덕터 가부시키가이샤
일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반
지
(72) 발명자
데구치 미치야스
일본 지바켄 지바시 미하마구 나카세 1쵸메 8 세
이코 인스트루 가부시키가이샤 나이
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 7 항
(54) 발명의 명칭 스위칭 레귤레이터

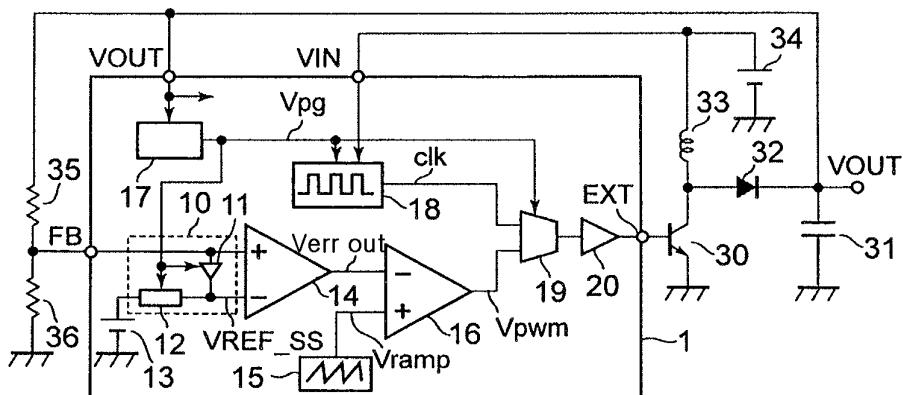
심사관 : 김재호

(57) 요 약

(과제) 소프트 스타트 시간의 극단적인 연장을 초래하지 않고, 소프트 스타트 동작에 의한 안정적인 기동을 실시할 수 있는 스위칭 레귤레이터를 제공한다.

(해결 수단) 스타트업 기간에 있어서, 귀환 전압 단자 (FB)의 전압에 근사한 전압을 소프트 스타트용 기준 전압의 초기값으로서 부여하고, 스타트업이 종료된 순간에 있어서, 귀환 전압 단자 (FB)의 전압과 소프트 스타트용 기준 전압이 대략 동일한 상태를 만들도록써, 스타트업으로부터 통상 제어로의 동작 상태의 이행을 원활하게 실시하는 것을 실현한 스위칭 레귤레이터를 제공한다.

대 표 도 - 도1



명세서

청구범위

청구항 1

스위칭 레귤레이터의 출력 전압이 소정의 전압보다 낮을 때, 스타트업용 스위칭 신호를 출력하는 제 1 발진 회로와,

상기 스위칭 레귤레이터의 기동시에 있어서, 완만하게 상승되는 기준 전압을 출력하는 기준 전압 회로와,

상기 기준 전압과 상기 스위칭 레귤레이터의 출력 전압에 기초하는 귀환 전압을 비교하는 연산 증폭기와,

스위칭 신호를 출력하는 제 2 발진 회로와,

상기 연산 증폭기의 출력 신호와 상기 스위칭 신호를 비교하는 PWM 콤퍼레이터와,

상기 스위칭 레귤레이터의 출력 전압에 의해, 상기 스타트업용 스위칭 신호와 상기 PWM 콤퍼레이터의 출력 신호를 전환하여 출력하고, 상기 스위칭 레귤레이터의 출력 전압을 제어하는 전환 회로를 구비한 소프트 스타트 기능을 갖는 스위칭 레귤레이터로서,

상기 출력 전압이 상기 소정의 전압을 초과할 때, 상기 기준 전압값이 상기 귀환 전압값과 동일해지도록 제어하는 제어 회로를 구비한 것을 특징으로 하는 스위칭 레귤레이터.

청구항 2

제 1 항에 있어서,

상기 제어 회로는, 상기 연산 증폭기의 입력 단자 사이에 접속되는 개인 1 배의 앰프로 구성되는 것을 특징으로 하는 스위칭 레귤레이터.

청구항 3

제 1 항에 있어서,

상기 제어 회로는, 소스 팔로워 회로로 구성되는 것을 특징으로 하는 스위칭 레귤레이터.

청구항 4

제 3 항에 있어서,

상기 소스 팔로워 회로는, 디프레션형 트랜지스터를 사용하는 것을 특징으로 하는 스위칭 레귤레이터.

청구항 5

제 1 항에 있어서,

상기 제어 회로는, 연산 증폭기를 포함한 증폭 회로로 구성되는 것을 특징으로 하는 스위칭 레귤레이터.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제어 회로는, 상기 스위칭 레귤레이터의 출력 전압을 전원으로 하는 것을 특징으로 하는 스위칭 레귤레이터.

청구항 7

제 6 항에 있어서,

상기 제어 회로는, 상기 스위칭 레귤레이터의 출력 전압이 상기 소정의 전압 이상이 되었을 때 동작을 정지시키는 것을 특징으로 하는 스위칭 레귤레이터.

발명의 설명

기술 분야

[0001]

본 발명은, 스위칭 레귤레이터에 관한 것으로, 보다 상세하게는 스위칭 레귤레이터의 소프트 스타트 기능에 관한 것이다.

배경 기술

[0002]

휴대 전화, 휴대 음악 플레이어, 디지털 카메라, PDA 등 전자기기 구동되는 기기는 최근 더욱 보급되고 있다. 이들 기기 중에는, 비용면이나 외출시 전원 확보의 용이성 등의 면에서, 건전지 등을 전원으로 하는 것도 많다. 또한 그 중에서도 런닝 코스트의 저감이나, 환경 의식의 고양 등으로 인해 건전지 1 개에 의한 동작을 요구하는 기기도 있다. 건전지의 종지 전압은 일반적으로 0.9 V 정도이므로, 이들 기기는 0.9 V ~ 1.5 V 정도의 전압을 3 V 나 5 V 등의 전압으로 스위칭 레귤레이터를 이용하여 승압시키고, 기기의 전원으로서 공급하게 된다.

[0003]

그러나, 0.9 V ~ 1.5 V 의 저전압에서 스위칭 레귤레이터를 안정적으로 동작시키는 것은 매우 곤란하다. 그래서, 스위칭 레귤레이터를 방형파 (方形波) 발진기의 펄스 (수 10 KHz ~ 수백 KHz)로 승압 동작시키고, 출력에 어느 정도 높은 전압 (1.5 V ~ 2.0 V) 을 출력한 후에, 이 전압을 스위칭 레귤레이터의 전원으로 하는 기술이 이용되고 있다.

[0004]

도 4 는, 종래의 스위칭 레귤레이터를 나타내는 회로도이다.

[0005]

종래의 스위칭 레귤레이터는, 스위칭 레귤레이터 제어 회로 (1) 와 주변 회로로 구성되어 있다. 직류 전압원 (34) 은, 스위칭 레귤레이터 제어 회로 (1) 의 전원이고, 건전지 1 개를 상정하여 전압 범위를 0.9 V ~ 1.5 V 로 한다.

[0006]

방형파 발진기 (18) 는 방형파 펄스 (clk) 를 출력하는 발진 회로이다. 출력 단자 (VOUT) 의 전압은, 스위칭 레귤레이터 제어 회로 (1) 의 전원으로도 되어 있다. 전압 검출 회로 (17) 는, 출력 단자 (VOUT) 의 전압을 감시한다. 출력 단자 (VOUT) 의 전압이 쓰레스홀드 전압 (VTH) 보다 낮으면, 전압 검출 회로 (17) 의 검출 신호 (Vpg) 는 L 이 된다. 방형파 발진기 (18) 는, 전압 검출 회로 (17) 의 검출 신호 (Vpg) 가 L 일 때 동작 상태가 된다. 멀티플렉서 회로 (19) 는, 전압 검출 회로 (17) 의 검출 신호 (Vpg) 가 L 일 때 방형파 펄스 (clk) 를 출력하고, 전압 검출 회로 (17) 의 검출 신호 (Vpg) 가 H 일 때 PWM 콤파레이터 (16) 신호 (Vpwm) 를 출력한다. 버퍼 회로 (20) 는, 파워 트랜지스터 (30) 를 구동시킨다.

[0007]

스위칭 레귤레이터 제어 회로 (1) 가 승압 동작을 개시하기 전, 출력 단자 (VOUT) 의 전압은 직류 전압원 (34) 의 전압 (VIN) 에서 다이오드 (32) 의 순 (順) 방향 전압 (Vf) 을 뺀 전압이 된다. 쓰레스홀드 전압 (VTH) 은, 1.5 V 로 설정된 것으로 한다. 즉, 전압 (VIN) 이 1.5 V 이하일 때, 출력 단자 (VOUT) 의 출력 전압은 1.5 V 이하가 되기 때문에, 전압 검출 회로 (17) 의 검출 신호 (Vpg) 는 L 이 된다. 따라서, 멀티플렉서 회로 (19) 는 방형파 발진기 (18) 의 방형파 펄스 (clk) 를 출력한다. 파워 트랜지스터 (30) 는, 방형파 펄스 (clk) 에 의해 구동되고, 스위칭 레귤레이터는 승압 동작을 개시한다. 이 기간을 스타트업 기간 (T1) 이라고 칭한다.

[0008]

스타트업 기간 (T1) 에 있어서, 검출 신호 (Vpg) 는 L 이고, 소프트 스타트 회로 (12) 의 출력 (VREF_SS) 을 0 V 로 고정시키기 위해, 스위칭 레귤레이터 제어 회로 (1) 는 부 (負) 귀환 제어를 실시하지 않고, 방형파 펄스 (clk) 에 의한 승압 동작을 실시한다.

[0009]

방형파 펄스 (clk) 에 의한 승압 동작에 의해, 출력 단자 (VOUT) 의 출력 전압이 쓰레스홀드 전압 (VTH) 을 초과하면, 전압 검출 회로 (17) 의 검출 신호 (Vpg) 는 H 가 되고, 방형파 발진기 (18) 는 동작을 정지한다. 멀티플렉서 회로 (19) 는, PWM 콤파레이터 (16) 의 신호 (Vpwm) 를 출력한다.

[0010]

전압 검출 회로 (17) 의 검출 신호 (Vpg) 가 H 가 되면, 소프트 스타트 회로 (12) 가 동작을 개시하여, 소프트 스타트 기간 (T2) 이 된다.

[0011]

도 5 는, 종래 소프트 스타트 회로 (12) 의 일례를 나타내는 회로도이다.

- [0012] 소프트 스타트 회로 (12) 는, 이하와 같이 동작하여 소프트 스타트용 기준 전압 (VREF_SS) 을 출력한다. 정 전류원 (113) 이 콘덴서 (107) 를 충전시켜, 콘덴서 (107) 의 전압은 서서히 상승된다. 콘덴서 (107) 의 전 압은, N 형 MOS 트랜지스터 (105) 의 게이트를 제어한다. 따라서, 기준 전압원 (13) 이 출력하는 기준 전압 (VREF) 은, N 형 MOS 트랜지스터 (105) 로부터 서서히 상승되는 소프트 스타트용 기준 전압 (VREF_SS) 으로서 출력된다.
- [0013] 상기 서술한 바와 같은 구성의 스위칭 레귤레이터의 과제를 도면을 참조하여 설명한다. 도 6 은, 도 4 의 스위칭 레귤레이터의 동작 설명을 위한 도면이다.
- [0014] 스타트업 기간 (T1) 으로부터 소프트 스타트 기간 (T2) 으로 전환되면, 방형파 발진기 (18) 는 동작을 정지하고, 소프트 스타트 회로 (12) 는 동작을 개시한다. 출력 단자 (VOUT) 의 전압은, 스타트업 기간 (T1) 에 승압되었으므로, 귀환 전압 단자 (FB) 의 전압도 상당한 전압이다. 그러나, 기준 전압 (VREF_SS) 은, 도면으로부터 알 수 있는 바와 같이, 0 V 로부터 서서히 상승하고 있다. 여기서, 연산 증폭기 (14) 는, 귀환 전압 단자 (FB) 의 전압과 기준 전압 (VREF_SS) 의 대소 관계를 동일하게 유지하도록, PWM 콤파레이터 (16) 에 전압 (Verout) 을 출력한다. 귀환 전압 단자 (FB) 의 전압이 기준 전압 (VREF_SS) 에 대해 크기 때문에, 연산 증폭기 (14) 가 출력하는 전압 (Verout) 은, 램프파 발진 회로 (15) 의 램프 펄스 (Vramp) 의 전압 과형 보다 크다. 따라서, PWM 콤파레이터 (16) 는 스위칭 펄스를 출력하지 않기 때문에, 스위칭 레귤레이터는 승 압 동작을 실시하지 않는다. 따라서, 출력 단자 (VOUT) 의 출력 전압은, 부하 등에 의한 방전에 의해 점차 저하된다 (기간 (TA)). 전압 검출 회로 (17) 는, 검출 전압에 히스테리시스를 갖고 있어, 어느 정도의 전압 저하로는 검출 상태를 해제하지 않도록 설계되어 있다. 여기서, 부하가 크면 출력 단자 (VOUT) 의 전압 저 하가, 이 히스테리시스를 초과하여, 전압 검출 회로 (17) 가 검출 상태를 해제하는 경우가 있다. 이 경우, 다시 스타트업 기간 (T1) 에 동작 모드가 되돌아와, 방형파 펄스 (clk) 에 의한 승압 동작을 개시한다. 그리고, 부하에 변화가 없으면, 스타트업 기간 (T1) 과 기간 (TA) 을 반복하게 된다.
- [0015] 상기 과제를 해결하기 위해, 도 7 에 나타내는 회로의 스위칭 레귤레이터가 개시되어 있다 (특허문현 1 참조). 방형파 발진기 (18) 는, 콤파레이터 (21) 에 의해 제어된다. 콤파레이터 (21) 는, 반전 (反轉) 단자에 입력되는 귀환 전압 단자 (FB) 의 전압이, 비반전 단자에 입력되는 소프트 스타트용 슬로프 전압 (V_SS) 보다 낮을 때 H 레벨을 출력하고, 방형파 발진기 (18) 를 동작시킨다. 콘덴서 (Cs) 는, 기동 개시와 동시에 정 전류원 (22) 에 의해 충전이 개시된다. 따라서, 슬로프 전압 (V_SS) 은, 기동과 동시에 전압이 상승한다. 연산 증폭기 (14) 는 반전 입력 단자가 2 개 있으며, 일방에 기준 전압 (Vref) 이 입력되고, 타방에 슬로프 전압 (V_SS) 이 입력되어 있다. 2 개의 반전 입력 단자는, 입력되는 전압이 낮은 쪽의 단자만 기능하도록 설계되어 있다. 즉, 슬로프 전압 (V_SS) 이 계속 상승하여 기준 전압 (Vref) 에 도달할 때까지는 슬로프 전 압 (V_SS) 이 유효해진다. 그리고, 슬로프 전압 (V_SS) 이 기준 전압 (Vref) 을 초과하면 기준 전압 (Vref) 이 유효해진다.
- [0016] 스위칭 레귤레이터가 기동되면, 슬로프 전압 (V_SS) 은 서서히 상승한다. 슬로프 전압 (V_SS) 이 귀환 전압 단자 (FB) 의 전압을 초과하면, 방형파 발진기 (18) 가 동작을 개시한다. 그리고, 스위칭 레귤레이터는 방 형파 펄스 (clk) 에 의한 승압 동작을 실시한다. 또, 슬로프 전압 (V_SS) 이 귀환 전압 단자 (FB) 의 전압 보다 낮아지면, 방형파 발진기 (18) 는 동작을 정지한다. 즉, 일종의 주파수 변조 제어이고, 슬로프 전압 (V_SS) 의 상승에 추종하여, 출력 단자 (VOUT) 의 전압은 상승한다.
- [0017] 따라서, 출력 단자 (VOUT) 가 쓰레스홀드 전압 (VTH) 을 초과하고, 전압 검출 회로 (17) 의 검출 신호 (Vpg) 는 H 가 되었을 때, 귀환 전압 단자 (FB) 의 전압과 슬로프 전압 (V_SS) 은 가까운 전압이 되어 있으므로, 도 6 과 같은 기간 (TA) 에 상당하는 타임 래그가 없어, 원활하게 스타트업으로부터 통상 제어로의 이행을 실현하고 있다.

선행기술문헌

특허문현

[0018] (특허문현 0001) 일본 공개특허공보 2004-166428호

발명의 내용

해결하려는 과제

[0019]

그러나, 도 7 의 스위칭 레귤레이터에서는, 정전류원 (22) 이 콘덴서 (Css) 를 충전시켜 슬로프 전압 (V_SS) 을 만들고 있으므로, 전원 전압이 낮을 때에는, 슬로프 전압 (V_SS) 의 제어가 매우 곤란하다. 정전류원 (22) 에 공급되는 전원 전압이 1 V 를 밑도는 경우에, 그 정전류 특성을 유지하기는 어려워, 콘덴서 (C ss) 에 대한 충전 전류가 크게 저하된다. 이 저하 비율은, 출력 단자 (VOUT) 의 출력 전압이 높아 안정적으로 소프트 스트트 회로 (12) 가 동작하고 있을 때에 비해, $1/10 \sim 1/100$ 이상이 되는 경우도 있을 수 있다. 이 경우, 슬로프 전압 (V_SS) 의 상승시의 기울기는 전류의 감소율과 동일하게 감소되어, 10 배 ~ 100 배 이상의 시간을 필요로 한다. 즉, 스위칭 레귤레이터의 기동 시간이 대폭 연장되어, 이 스위칭 레귤레이터를 탑재한 기기의, 전원 스위치 투입으로부터 실제로 사용할 수 있게 될 때까지의 시간이 길어진다는 과제가 있다.

[0020]

본 발명은 상기 과제를 해결하기 위해 이루어진 것으로, 전원 전압에 의존하지 않고, 스트트업 상태로부터 통상 제어로의 동작 상태의 이행을 원활하게 실시할 수 있는 스위칭 레귤레이터를 제공한다.

과제의 해결手段

[0021]

본 발명의 스위칭 레귤레이터는, 상기 과제를 해결하기 위해, 스위칭 레귤레이터의 출력 전압이 소정의 전압보다 낮을 때, 스트트업용 스위칭 신호를 출력하는 제 1 발진 회로와, 스위칭 레귤레이터의 기동시에 있어서 완만하게 상승하는 기준 전압을 출력하는 기준 전압 회로와, 기준 전압과 스위칭 레귤레이터의 출력 전압에 기초하는 귀환 전압을 비교하는 연산 증폭기와, 스위칭 신호를 출력하는 제 2 발진 회로와, 연산 증폭기의 출력 신호와 스위칭 신호를 비교하는 PWM 콤퍼레이터와, 스위칭 레귤레이터의 출력 전압에 의해 스트트업용 스위칭 신호와 PWM 콤퍼레이터의 출력 신호를 전환하여 출력하는 전환 회로를 구비한 소프트 스트트 기능을 갖는 스위칭 레귤레이터로서, 출력 전압이 소정의 전압을 초과할 때에 기준 전압값이 귀환 전압값과 동일해지거나, 또는 높아지도록 제어하는 제어 회로를 구비한 스위칭 레귤레이터를 제공한다.

발명의 효과

[0022]

본 발명의 스위칭 레귤레이터에 의하면, 전원 전압에 의존하지 않고, 스트트업 상태로부터 통상 제어로의 동작 상태의 이행을 원활하게 실시할 수 있는 스위칭 레귤레이터를 제공한다.

[0023]

또, 소프트 스트트 시간이 극단적으로 길어지는 경우가 없기 때문에, 본 발명의 스위칭 레귤레이터를 탑재한 기기는, 전원 스위치를 온하고 나서 사용할 수 있게 될 때까지의 시간을 단축할 수 있다.

도면의 간단한 설명

[0024]

도 1 은 본 실시형태의 소프트 스트트 기능을 갖는 스위칭 레귤레이터의 회로도이다.

도 2 는 도 1 의 스위칭 레귤레이터의 동작 설명을 위한 도면이다.

도 3 은 본 실시형태의 소프트 스트트 블록의 일례를 나타내는 회로도이다.

도 4 는 종래의 스위칭 레귤레이터의 회로도이다.

도 5 는 종래의 소프트 스트트 회로의 일례를 나타내는 회로도이다.

도 6 은 도 4 의 스위칭 레귤레이터의 동작 설명을 위한 도면이다.

도 7 은 종래의 스위칭 레귤레이터의 다른 예를 나타내는 회로도이다.

도 8 은 도 7 의 스위칭 레귤레이터의 동작 설명을 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025]

이하, 본 발명의 실시형태의 스위칭 레귤레이터를 도면을 참조하여 설명한다.

[0026]

도 1 은, 본 실시형태의 소프트 스트트 기능을 갖는 스위칭 레귤레이터이다.

[0027]

본 실시형태의 스위칭 레귤레이터는, 스위칭 레귤레이터 제어 회로 (1) 와 주변 회로로 구성되어 있다. 직류 전압원 (34) 은, 스위칭 레귤레이터 제어 회로 (1) 의 전원으로, 건전지 1 개를 상정하여 전압 범위를 $0.9 \text{ V} \sim 1.5 \text{ V}$ 로 한다. 직류 전압원 (34) 과 GND 사이에 코일 (33) 과 파워 트랜지스터 (30) 가 접속되어 있다.

코일 (33) 과 파워 트랜지스터 (30) 의 접속점은, 다이오드 (32) 를 통해 출력 단자 (VOUT) 에 접속되어 있다. 출력 단자 (VOUT) 에는, 출력 콘덴서 (31) 와, 귀환 회로인 저항 (35) 및 저항 (36) 이 접속되어 있다.

스위칭 레귤레이터 제어 회로 (1) 는, 직류 전압원 (34) 과 제 1 전원 단자 (VIN) 를 접속하고, 출력 단자 (VOUT) 와 제 2 전원 단자 (VOUT) 를 접속하고, 파워 트랜지스터 (30) 의 베이스와 출력 단자 (EXT) 를 접속하고, 귀환 회로의 출력 단자와 귀환 전압 단자 (FB) 를 접속한다. 귀환 회로는, 스위칭 레귤레이터 제어 회로 (1) 에 내장되어도 된다.

[0028] 스위칭 레귤레이터 제어 회로 (1) 는, 앰프 (11) 와, 소프트 스타트 회로 (12) 와, 기준 전압원 (13) 과, 연산 증폭기 (14) 와, 램프파형 발진기 (15) 와, PWM 콤퍼레이터 (16) 와, 전압 검출 회로 (17) 와, 방형파 발진기 (18) 와, 멀티플렉서 회로 (19) 와, 버퍼 회로 (20) 를 구비한다. 앰프 (11) 와 소프트 스타트 회로 (12) 는, 소프트 스타트 블록 (10) 을 구성한다.

[0029] 제 1 전원 단자 (VIN) 의 전압은, 방형파 발진기 (18) 의 전원으로 되어 있다. 제 2 전원 단자 (VOUT) 의 전압은, 스위칭 레귤레이터의 출력 전압이고, 방형파 발진기 (18) 를 제외한 회로의 전원으로도 되어 있다. 귀환 전압 단자 (FB) 는, 귀환 회로의 출력이 접속되어 있다.

[0030] 전압 검출 회로 (17) 는, 제 2 전원 단자 (VOUT) 의 전압을 감시한다.

[0031] 전압 검출 회로 (17) 의 검출 신호 (Vpg) 는, 제 2 전원 단자 (VOUT) 의 전압이 쓰레스홀드 전압 (VTH) 보다 낮으면 L 이 되고, 높으면 H 가 된다.

[0032] 방형파 발진기 (18) 는, 스타트업용 스위칭 신호인 방형파 펄스 (clk) 를 출력하는 스타트업용 발진 회로이다.

방형파 발진기 (18) 는, 전압 검출 회로 (17) 의 검출 신호 (Vpg) 가 L 일 때 방형파 펄스 (clk) 를 출력한다. 방형파 발진기 (18) 는, 발진 주파수는 제조 불균일이나 온도 특성이나 전원 전압 특성 등에 의해 수 10 KHz ~ 수 100 KHz 의 범위에서 범위로 불균일해도, 승압 동작에는 문제없기 때문에, 0.9 V 와 같은 매우 낮은 전원 전압에 의해 동작이 가능한 회로로 구성할 수 있다.

[0033] 연산 증폭기 (14) 는, 입력되는 귀환 전압 단자 (FB) 의 전압과 소프트 스타트 회로 (12) 가 출력하는 기준 전압 (VREF_SS) 을 비교하여, 전압 (Verrou) 을 출력한다.

[0034] 앰프 (11) 는, 연산 증폭기 (14) 의 입력 단자 사이에 접속된다. 앰프 (11) 는, 개인 1 배의 앰프이고, 전압 검출 회로 (17) 의 검출 신호 (Vpg) 가 L 일 때, 연산 증폭기 (14) 의 입력 단자의 전압이 동일해지도록 동작하는 제어 회로이다.

[0035] 램프파 발진 회로 (15) 는, 스위칭 신호인 램프 펄스 (Vramp) 를 출력하는 발진 회로이다. 램프파 발진 회로 (15) 의 램프 펄스 (Vramp) 는, 삼각파나 톱니파 등의 어느 일정한 기울기를 갖는 발진 파형으로 되어 있다.

[0036] PWM 콤퍼레이터 (16) 는, 연산 증폭기 (14) 의 전압 (Verrou) 과 램프파 발진 회로 (15) 의 램프 펄스 (Vramp) 를 비교하여, 신호 (Vpwm) 를 출력한다.

[0037] 멀티플렉서 회로 (19) 는, 방형파 발진기 (18) 의 출력 신호인 방형파 펄스 (clk) 와, PWM 콤퍼레이터 (16) 의 신호 (Vpwm) 와, 어느 일방을 선택하여 출력하는 전환 회로이다. 멀티플렉서 회로 (19) 는, 전압 검출 회로 (17) 의 검출 신호 (Vpg) 가 L 인 경우에는 방형파 펄스 (clk) 를 출력하고, 검출 신호 (Vpg) 가 H 인 경우에는 신호 (Vpwm) 를 출력한다.

[0038] 버퍼 회로 (20) 는, 멀티플렉서 회로 (19) 가 출력하는 신호에 기초하여, 스위칭 레귤레이터의 스위칭 소자인 파워 트랜지스터 (30) 를 구동시킨다.

[0039] 상기 서술한 바와 같이 구성된 스위칭 레귤레이터의 동작에 대하여, 도면을 기초로 설명한다. 도 2 는, 도 1 의 스위칭 레귤레이터의 동작을 나타내는 도면이다.

[0040] 스위칭 레귤레이터가 승압 동작을 개시하기 전에는, 파워 트랜지스터 (30) 가 오프되어 있으므로, 출력 단자 (VOUT) 의 전압은 직류 전압원 (34) 의 전압 (VIN) 에서 다이오드 (32) 의 순방향 전압 (Vf) 을 뺀 전압이다.

쇼트키 배리어 다이오드의 경우에는, 순방향 전압 (Vf) 은 0.2 V ~ 0.3 V 이다. 멀티플렉서 회로 (19) 나 버퍼 회로 (20) 등의 디지털 회로는, 전압 (VIN) 이 0.9 V 이고 출력 단자 (VOUT) 가 또한 0.2 V ~ 0.3 V 낮은 상태에서도 동작은 가능하다.

[0041] 먼저, 기동시 (Ts) 에 있어서 스위칭 레귤레이터가 기동되었을 때의 동작을 설명한다.

- [0042] 여기서, 전압 검출 회로 (17)의 쓰레스홀드 전압 (VTH)은 1.5 V로 설정되어 있다. 즉, 전압 (VIN)이 0.9 V ~ 1.5 V의 범위에 있을 때, 전압 검출 회로 (17)의 검출 신호 (Vpg)는 L이 된다. 따라서, 방형파 발진기 (18)는 동작을 개시하여 방형파 펄스 (clk)를 출력한다. 또, 멀티플렉서 회로 (19)는 방형파 발진기 (18)의 출력을 선택한다.
- [0043] 따라서, 멀티플렉서 회로 (19)는 방형파 발진기 (18)의 방형파 펄스 (clk)를 출력한다. 출력 단자 (EXT)에 출력된 방형파 펄스 (clk)에 의해, 파워 트랜지스터 (30)가 구동되고, 스위칭 레귤레이터가 승압 동작을 개시한다.
- [0044] 스위칭 레귤레이터가 방형파 펄스 (clk)에 의해 승압 동작을 실시하는 기간을 스타트업 기간 (T1)이라고 칭한다. 스타트업 기간 (T1)에 있어서, 본 스위칭 레귤레이터는 부귀환 제어를 실시하지 않고, 출력 단자 (VOUT)의 출력 전압이 쓰레스홀드 전압 (VTH)을 초과할 때까지의 사이에 방형파 펄스 (clk)에 의한 승압 동작을 실시한다.
- [0045] 또, 동시에 소프트 스타트 블록 (10)을 구성하는 소프트 스타트 회로 (12)와 앰프 (11)도 동작을 개시한다. 앰프 (11)는, 기동시 (Ts)부터 귀환 전압 단자 (FB)의 전압에 근사하는 전압을 기준 전압 (VREF_SS)으로 출력하도록 동작 상태가 설정된다. 그러나, 기동시 (Ts) 직후에는 출력 단자 (VOUT)의 출력 전압이 매우 낮기 때문에 앰프 (11)는 정상적으로 동작할 수 없다. 따라서, 기준 전압 (VREF_SS)과 귀환 전압 단자 (FB)의 전압의 전위차는 크다.
- [0046] 연산 증폭기 (14)는, 연산 증폭기이고, 귀환 회로를 구성하는 경우, 그 반전 입력과 비반전 입력의 전위차가 0 V가 되도록 귀환 제어를 실시한다. 즉, 연산 증폭기 (14)는, 기준 전압 (VREF_SS)이 귀환 전압 단자 (FB)의 전압보다 높으면 전압 (Verout)를 낮게 하고, 기준 전압 (VREF_SS)이 귀환 전압 단자 (FB)의 전압보다 낮으면 전압 (Verout)을 높게 한다. 즉, 소프트 스타트 기간 (T2)이 되어, 연산 증폭기 (14)의 귀환 제어가 시작되는 시점에 있어서, 연산 증폭기 (14)의 반전 입력과 비반전 입력의 전위가 거의 동일하면, 큰 변동을 수반하는 귀환 제어를 실시할 필요가 없어, 안정적으로 스타트업 기간 (T1)으로부터 소프트 스타트 기간 (T2)으로 이행할 수 있다.
- [0047] 도 3은, 본 실시형태의 소프트 스타트 블록 (10)의 일례를 나타내는 회로도이다.
- [0048] 소프트 스타트 블록 (10)은, 앰프 (11)와 소프트 스타트 회로 (12)를 구비하고 있다. 앰프 (11)는, 트랜지스터 (100 ~ 104)와 정전류원 (112)으로 이루어지는 차동 증폭 회로와, 트랜지스터 (105 및 110)와 인버터 (111)로 이루어지는 전환 회로를 구비한다. 소프트 스타트 회로 (12)는, 정전류원 (113, 114 및 115)과, 직류 전압원 (108)과, 콘덴서 (107)와, 트랜지스터 (106 및 109)를 구비하고 있다. 차동 증폭 회로는, 입력인 트랜지스터 (101과 102)에 귀환 전압 단자 (FB)의 전압과 소프트 스타트 회로 (12)의 출력인 기준 전압 (VREF_SS)이 입력된다. 또, 검출 신호 (Vpg)가 입력되는 트랜지스터 (100)에 의해, 차동 증폭 회로의 동작과 정지가 제어된다. 또, 검출 신호 (Vpg)가 인버터 (111)를 통해 입력되는 트랜지스터 (110와 105)에 의해, 차동 증폭 회로의 출력과 정전류원 (113)의 출력이 전환되어 출력된다. 도시되지 않은 기동 회로로부터 기동 신호 (EN)가 트랜지스터 (106)의 게이트에 입력됨으로써, 콘덴서 (107)는 충방전이 제어된다. 트랜지스터 (109)는, 게이트 단자를 콘덴서 (107)의 전압 (SS_CAP)에 의해 제어된다.
- [0049] 소프트 스타트 회로 (12)는, 소프트 스타트용 기준 전압 (VREF_SS)을 출력한다. 앰프 (11)는, 검출 신호 (Vpg)가 H가 되어 승압 상태가 전환되었을 때, 기준 전압 (VREF_SS)이 귀환 전압 단자 (FB)의 전압과 거의 동일해지도록 제어한다.
- [0050] 기동시 (Ts)에 검출 신호 (Vpg)가 L이므로, 트랜지스터 (100)가 도통 상태가 되고, 차동 증폭 회로가 동작을 개시한다. 또, 트랜지스터 (105)는 도통 상태가 되고, 트랜지스터 (110)는 비도통 상태가 되므로, 차동 증폭 회로의 출력 노드는 트랜지스터 (105)를 통해 트랜지스터 (109)의 게이트에 접속된다. 이 때, 차동 증폭 회로와 트랜지스터 (109)와 정전류원 (114 및 115)은, 연산 증폭기를 구성한다. 연산 증폭기는, 트랜지스터 (109)의 소스가 출력, 트랜지스터 (102)의 게이트가 반전 입력, 트랜지스터 (101)의 입력이 비반전 입력으로서 기능한다. 따라서, 연산 증폭기는 볼티지 팔로워 회로를 구성하고, 귀환 전압 단자 (FB)의 전압에 동일한 전압을 출력 단자에 출력한다. 즉, 기준 전압 (VREF_SS)은 귀환 전압 단자 (FB)의 전압과 동일한 전압이 된다.
- [0051] 상기 서술한 바와 같은 승압 동작에 의해, 출력 단자 (VOUT)의 출력 전압이 전압 검출 회로 (17)의 쓰레스홀드

드 전압 (VTH) 을 초과하면, 기간 (T2) 이 된다. 전압 검출 회로 (17) 의 검출 신호 (Vpg) 가 H 가 되면, 트랜지스터 (100, 105) 는 비도통이 되고, 차동 증폭 회로는 그 동작을 정지한다. 트랜지스터 (110) 가 도통 상태가 되므로, 정전류원 (113) 은 콘덴서 (107) 의 충전을 개시한다. 따라서, 노드 (SS_CAP) 의 전압이 천천히 상승을 개시한다. 이 때, 정전류원 (114 및 115) 은 전류를 계속 흐르게 하므로, 트랜지스터 (109) 는 소스 팔로워 회로로서 동작하여, 노드 (SS_CAP) 의 전압으로부터 트랜지스터 (109) 의 전압 (Vgs) 만큼 내려간 전압을 기준 전압 (VREF_SS) 으로서 출력한다. 이상으로부터, 기준 전압 (VREF_SS) 은 기간 (T1) 에 있어서 귀환 전압 단자 (FB) 의 전압에 준하는 전압에 도달하고, 기간 (T2) 에 들어가면 바로, 노드 (SS_CAP) 의 충전 과정에 의존한 형상으로 상승을 개시한다. 트랜지스터 (109) 는, 드레인에 직류 전압원 (108) 이 접속되어 있기 때문에, 기준 전압 (VREF_SS) 이 직류 전압원 (108) 의 전압 (VREF) 까지 상승하면, 그 이상은 상승 할 수 없다. 따라서, 전압 (VREF) 을 안정 전위로 하고, 소프트 스타트 기간 (T2) 은 종료한다.

[0052] 그리고, 스타트업 기간 (T1) 에 있어서, 검출 신호 (Vpg) 가 H 가 되면, 방형파 발진기 (18) 는 동작을 정지하고, 멀티플렉서 회로 (19) 는 신호 (Vpwm) 를 출력한다. 즉, 스위칭 레귤레이터는 통상의 PWM 제어에 의해 승압 동작을 실시한다.

[0053] 이상 설명한 바와 같이, 본 발명의 스위칭 레귤레이터는, 스타트업 기간 (T1) 으로부터 소프트 스타트 기간 (T2) 으로 전환될 때, 소프트 스타트용 기준 전압 (VREF_SS) 이 귀환 전압 단자 (FB) 의 전압과 동일해졌다. 따라서, 스타트업 기간 (T1) 으로부터 소프트 스타트 기간 (T2) 으로의 이행이 안정적으로 실시된다.

[0054] 또한, 본 발명의 스위칭 레귤레이터는 스타트업 기간 (T1) 으로부터 소프트 스타트 기간 (T2) 으로 전환될 때, 소프트 스타트용 기준 전압 (VREF_SS) 이 귀환 전압 단자 (FB) 의 전압과 동일해지는 구성으로서 설명했지만, 기준 전압 (VREF_SS) 이 귀환 전압 단자 (FB) 의 전압보다 높아지는 구성이어도 된다. 예를 들어, 앰프 (11) 의 증폭률을 1 이상으로 설정하는, 즉 앰프 (11) 를 비반전 증폭 회로로 하고, 귀환 전압 단자 (FB) 의 전압을 원하는 배율로 증폭시켜도 된다. 이와 같이 구성하면, 앰프 (11) 의 오프셋 전압 등 성능 편차에 대해 여유를 가질 수 있어, 스타트업 기간 (T1) 으로부터 소프트 스타트 기간 (T2) 으로의 이행이 안정적으로 실시된다.

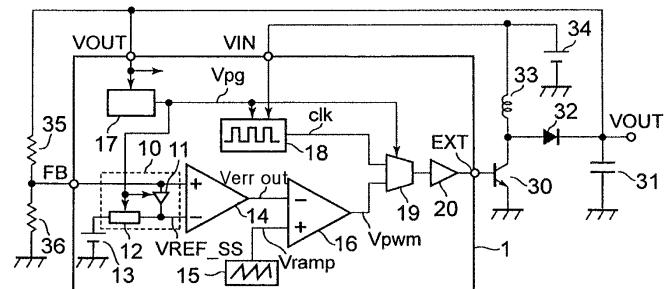
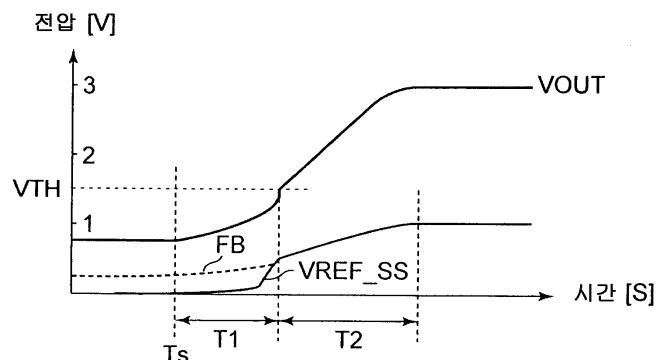
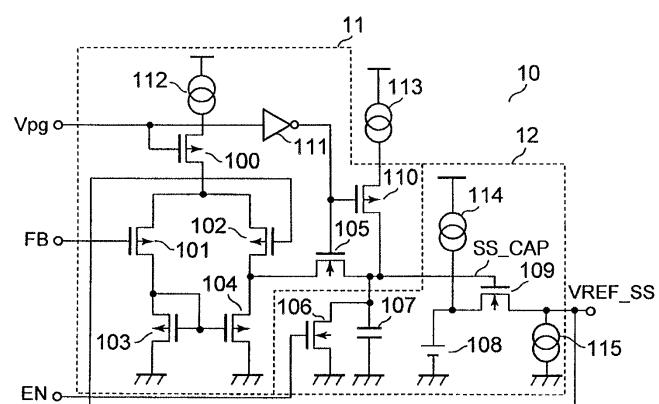
[0055] 또, 앰프 (11) 를, 입력에 귀환 전압 (VFB) 을 접속하고, 출력에 VREF_SS 를 접속한 소스 팔로워 회로로 구성해 도 된다. 그러나, 소스 팔로워 회로의 증폭률은 일반적으로 1 이하이며, 대략 소스 팔로워 회로에 사용하는 MOS 트랜지스터의 임계값 전압을 입력 전압에서 뺀 값이 출력 전압이 된다. 따라서, 디프레션형 트랜지스터 등, 임계값 전압이 낮은 트랜지스터를 사용한 소스 팔로워 회로로 하면, 증폭률을 1 에 가깝게 할 수 있다.

부호의 설명

- [0056]
- 10 : 소프트 스타트 블록
 - 11 : 앰프
 - 12 : 소프트 스타트 회로
 - 13 : 기준 전압원
 - 14 : 연산 증폭기
 - 15 : 램프파 발진 회로
 - 16 : PWM 콤퍼레이터
 - 17 : 전압 검출 회로
 - 18 : 방형파 발진기
 - 19 : 멀티플렉서 회로
 - 20 : 버퍼 회로
 - 21 : 콤퍼레이터
 - 30 : 파워 트랜지스터

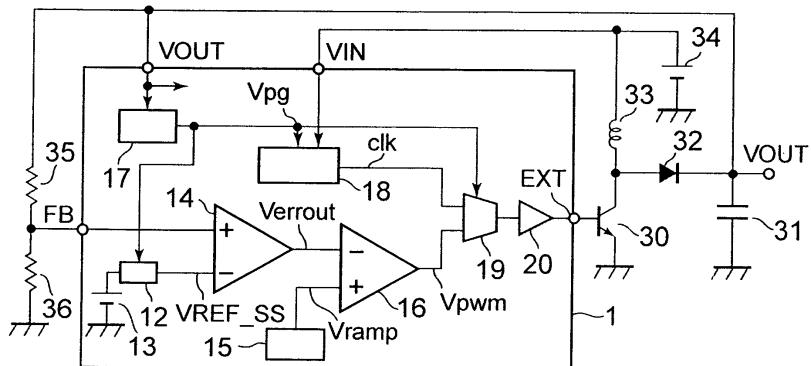
34, 108 : 직류 전압원

22, 112, 113, 114, 115 : 정전류원

도면**도면1****도면2****도면3**

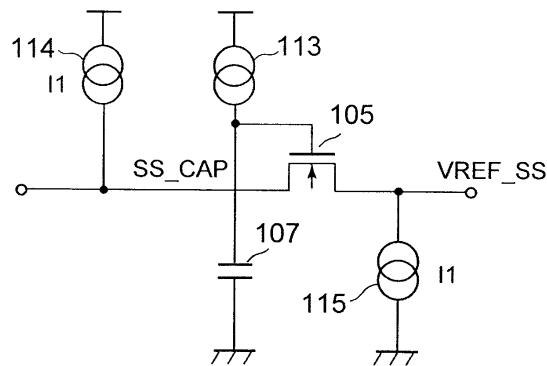
도면4

종래 기술

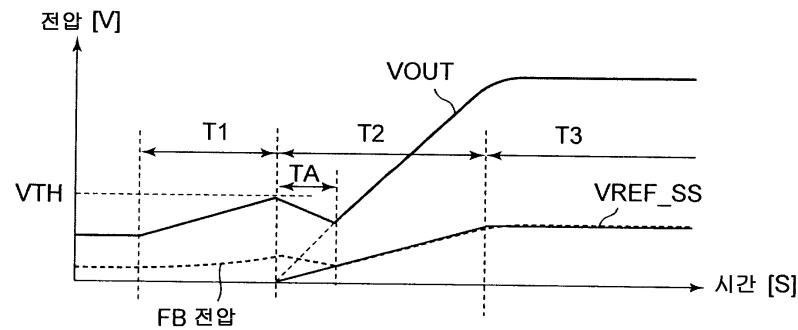


도면5

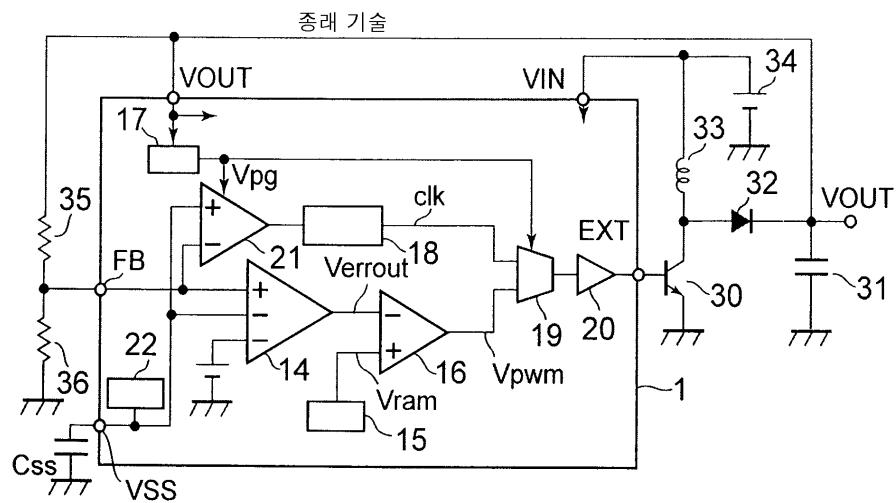
종래 기술



도면6



도면7



도면8

