(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/04

(45) 공고일자 1999년11월15일
(11) 등록번호 10-0229856
(24) 등록일자 1999년08월18일

(21) 출원번호	10-1996-0016756	(65) 공개번호	특1996-0043164
(22) 출원일자	1996년05월17일	(43) 공개일자	1996년12월23일
(30) 우선권주장	95-126726 1995년05월25일 일본(JP)		

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 오오이시 쭈카사
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 덴끼 가부시끼가이샤나이
(74) 대리인 이화익

심사관 : 정해곤

(54) 내부회로가 받는 노이즈의 영향을 적게하는 반도체장치

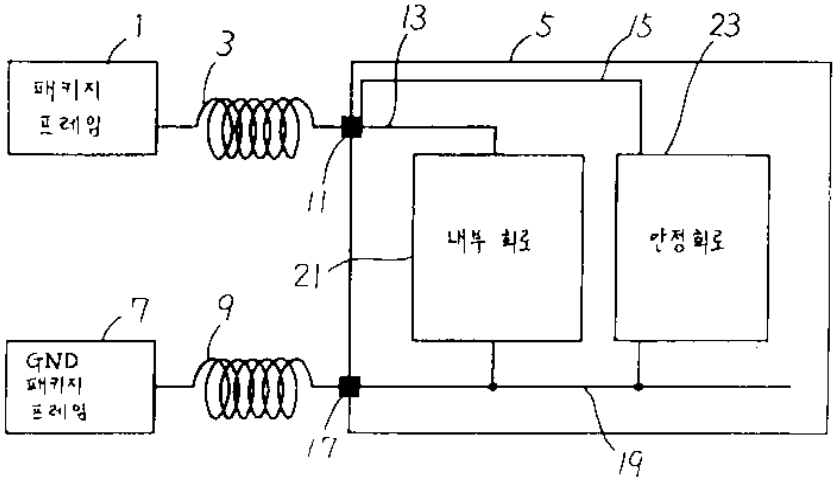
요약

본 발명에 의한 반도체 장치(5)는 패키지프레임(1), 본딩와이어(3), 패드(11), 제1내부전원선(13), 제2내부전원선(15), 내부회로(21), 안정회로(23), GND패키지프레임(7), GND본딩와이어(9), GND패드(17) 및 내부GND선(19)을 포함한다.

본딩와이어(3), 패드(11), 제1내부전원선(13) 및 제2내부전원선(15)은 필터로써 작용한다.

이 때문에 내부회로(21)의 동작에 따라서 발생한 노이즈는, 안정회로(23)에 제1내부전원선(13), 패드(11) 및 제2내부전원선(15)을 통해서 전파될 때에 흡수된다. 따라서 안정회로(23)가 받는 잡음의 영향은 적다.

대표도



명세서

[발명의 명칭]

내부회로가 받는 노이즈의 영향을 감소시킨 반도체 장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 의한 반도체 장치를 나타내는 개략 블록도.

제2도는 본 발명의 제1실시예에 의한 반도체 장치의 변형예를 나타내는 개략 블록도.

제3도는 본 발명의 제2실시예에 의한 반도체 장치를 나타내는 개략 블록도.

제4도는 제3도에 나타낸 로우 패스필터(LPF)를 상세하게 나타내는 회로도.

제5도는 제3도의 안정회로가 받는 노이즈를, 로우 패스필터를 이용하는 경우와 이용하지 않는 경우로 비교하여 나타낸 도면.

제6도는 제5도의 선 a1으로 표시된 노이즈의 주파수가 변경된 경우에 안정회로로써의 기준전위 발생회로에 의해 발생된 기준전위에 나타나는 노이즈 레벨을 도시한 도면.

제7도는 본 발명의 제2실시예에 의한 반도체 장치의 변형예를 나타내는 개략 블록도.

제8도는 일반적인 반도체 장치를 나타내는 개략 블록도.

제9도는 본 발명의 제3실시예에 의한 반도체 장치를 나타내는 개략 블록도.

제10도는 본 발명의 제3실시예에 의한 반도체 장치의 변형예를 나타 내는 개략 블록도.

제11도는 본 발명의 제4실시예에 의한 반도체 장치를 나타내는 개략 블록도.

제12도는 일반적인 반도체 장치를 나타내는 개략 블록도.

제13도는 본 발명의 제5실시예에 의한 반도체 장치를 나타내는 개략 블록도.

제14도는 본 발명의 제6실시예에 의한 반도체 장치를 나타내는 개략 블록도.

제15도는 본 발명의 제7실시예에 의한 반도체 장치를 나타내는 개략 블록도.

제16도는 본 발명의 제8실시예에 의한 반도체 장치를 나타내는 개략 블록도.

제17도는 본 발명의 제8실시예에 의한 반도체 장치의 변형예를 나타내는 개략 블록도.

제18도는 본 발명의 제8실시예에 의한 반도체 장치의 다른 변경예를 나타내는 개략 블록도.

제19도 내지 제21도는 본 발명의 제9실시예 내지 제11실시예에 의한 반도체 장치를 나타내는 개략 블록도.

제22도는 본 발명의 제11실시예에 의한 반도체 장치의 변형예를 나타 내는 개략 블록도.

제23도는 본 발명의 제11실시예에 의한 반도체 장치의 다른 변형예를 나타내는 개략 블록도.

제24도는 본 발명의 제12실시예에 의한 반도체 장치를 나타내는 개략 블록도.

제25도는 본 발명의 제12실시예에 의한 반도체 장치의 변형예를 나타내는 개략 블록도.

제26도는 본 발명의 제12실시예에 의한 반도체 장치의 다른 변형예를 나타내는 개략 블록도.

제27도는 본 발명의 제13실시예에 의한 필터를 상세하게 나타내는 회로도.

제28도는 종래의 반도체 장치를 나타내는 개략 블록도.

제29도는 제28도의 내부회로가 동작할 때에 발생하는 노이즈의 정도를 나타내는 도면.

<도면의 주요부분에 대한 설명>

1 : 패키지 프레임 3 : 본딩 와이어

5, 800 : 반도체 장치 7 : GND 패키지 프레임

9 : GND 본딩 와이어 11, 1011, 1039 : 패드

13, 101, 217, 409, 505, 601, 717, 825 : 제1내부 전원선

15, 103, 219, 411, 507, 603, 827 : 제2내부 전원선

17 : GND 패드 19, 309 : 내부 GND선

21, 209, 305, 917 : 내부회로 23, 211, 307 : 안정회로

25, 109 : 제1내부 GND선 27, 111 : 제2내부 GND선

105, 221, 413, 605, 733, 829 : 제3내부 전원선

107, 114, 227, 229 : 로우 패스필터(LPF)

113 : 제3내부 GND선 105, 721, 729, 1413 : 저항

107, 1417 : 커패시터 201, 407, 1511 : 내부 전원선

203 : 웰 205, 207 : 트랜지스터

213 : 내부회로용 웰 고정확산층 215 : 안정회로용 웰고정 확산층

223, 225, 419 : 제4내부전원선 301 : 외부 전원선

303 : 내부전위 발생회로 311 : 제1내부 전위선

313 : 제2내부전위선 315 : 제3내부 전위선

401 : DC-DC 컨버터 403, 501 : 미소 전류용

DC-DC : 컨버터 405 : 외부 GND선

415 : 제1미소 전류용 DC-DC 컨버터

417 : 제2미소 전류용 DC-DC 컨버터

503, 709, 731, 811, 813, 815 : 스위치　　701 : 제1비교기

703, 707, 725 : PMOS 트랜지스터　　705 : 제2비교기

711, 727, 817, 819, 821, 823 : 센스계 회로

713, 805, 809, 1107 : 1/2 Vcc 발생회로

715 : 기준전위 공급선　　723 : 제3비교기

801 : 액티브용 내부 전원전위 강하회로(VDC)

803 : 스탠바이용 내부 전원전위 강하회로(VDC)

901, 919, 921, 1003, 1103, 1105 : 내부 리이드

903, 905, 907, 1005, 1007, 1009, 1113, 1115, 1117, 1119, 1219～1231, 1237 : 와이어

909, 911, 913, 925, 927, 929 : 인터커넥터

915 : 범프　　923 : 알미늄배선

1001, 1101, 1211, 1213, 233 : 외부 리이드

1013, 1109 : 기준전위 발생회로

1111 : 필터　　1215, 1235 : 제1내부 리이드

1217 : 제2내부 리이드　　1411 : 제1퓨즈

1415 : 제2퓨즈

[발명의 상세한 설명]

본 발명은 반도체 장치에 관한 것으로, 특히 반도체 장치 내부의 회로가 받는 노이즈의 영향을 감소시킨 반도체 장치에 관한 것이다.

내부회로가 받는 노이즈의 영향을 감소시킬 수 있는 종래의 반도체 장치는 예를 들면, 일본국특개평 5-128855호 공보에 개시되어 있다.

제28도는 종래의 반도체 장치를 나타내는 개략 블록도이다.

제28도에 있어서, 종래의 반도체 장치(5)는 패키지 프레임(1), 본딩 와이어(3) 패드(11), 내부 전원선(1511), 내부회로(21), 안정회로(23), GND 패키지프레임(7), GND본딩 와이어(9), GND 패드(17) 및 내부 GND선(19)으로 이루어진다.

본딩 와이어(3)의 일단은 패키지 프레임(1)에 접속된다.

패드(11)에는 본딩 와이어(3)의 타단 및 내부 전원선(1511)이 접속된다.

내부 전원선(1511)은 내부회로(21) 및 안정회로(23)에 접속된다.

GND 본딩 와이어(9)의 일단은 GND 패키지 프레임(7)에 접속된다.

GND 패드(17)에는 GND 본딩 와이어(9)의 타단 및 내부 GND선(19)이 접속된다.

내부 GND선은 내부회로(21) 및 안정회로(23)에 접속된다.

반도체 장치(5)의 내부회로(21) 및 안정회로(23)에는 반도체 장치(5)의 외부로부터 패키지 프레임(1), 본딩 와이어(3), 패드(11) 및 내부 전원선(1511)을 통해서 전원전위가 공급된다.

반도체 장치(5)의 외부로부터, 반도체 장치(5)의 내부회로(21) 및 안정회로(23)는 GND 패키지 프레임(7), GND 본딩 와이어(9), GND 패드(17) 및 내부 GND선(19)을 통해서, 패키지 프레임(1)을 통해서 공급되는 전원전위와 다른 전원전위(예를들면, 접지전위)가 공급된다.

내부회로(21)는 반도체 장치(5)의 내부에서, 그 동작에 관한 회로이다.

즉, 노이즈의 원인이 되는 회로이다. 예를 들면 워드선 구동회로, 데이터 버스의 구동회로 및 데이터 출력회로 등이다.

안정회로(23)는 노이즈의 영향을 받기 쉬운 회로이다.

예를 들면, 반도체 장치(5)가 대기상태에 있을 때, 매우 미소한 전류(예를 들면 μA 정도)로 동작하는 회로 또는 미소한 아날로그 값의 신호를 제어하는 것과 같은 회로 등이다.

미소한 아날로그 값을 제어하는 것과 같은 회로란, 예를 들면 기준전위 발생 회로 등이다.

내부회로(21)가 동작하는 경우, 내부회로(21)는 상당한 양의 전력을 소비한다.

이 때문에 내부 전원선(1511) 및 내부 GND선(19)에는 노이즈가 발생하게 된다.

제29도는 반도체 장치(5)의 내부회로(21)가 동작했을 때에 발생하는 노이즈의 레벨을 나타내는 도면이다.

화살표 a로 나타낸 바와 같이 내부 전원선(1511)에는 전원전위 Vcc의 레벨보다 낮은 레벨의 노이즈가 발생한다.

화살표 b로 나타낸 바와 같이 내부 GND선 (19)에는 접지전위 GND의 레벨보다 높은 레벨의 노이즈가 발생

한다.

또, 이러한 노이즈 안정회로(23)에 전파될 때에, 내부 전원선(1511)의 배선저항 및 기생용량으로 이루어지는 로우 패스 필터, 또는 내부 GND선(19)의 배선저항 및 기생용량으로 이루어지는 로우패스 필터에 의해 조금은 흡수 되지만 안정회로(23)에 주는 영향은 크다.

상술한 바와 같이 종래의 반도체 장치(5)에 있어서는 내부회로(21) 및 안정회로(23)에 전원전위 Vcc를 공급하기 위한 전원선을 공통으로 하고 있다.

즉, 전원전위 Vcc는 내부 전원선 (1511)에 의해서 내부회로 (21) 및 안정 회로 (23)에 공급된다.

이 때문에 내부회로(21)의 동작에 따른 노이즈가 전원전위 Vcc와 함께 안정회로(23)에도 공급되게 된다.

따라서, 안정회로(23)가 오동작을 일으킨다고 하는 문제점이 있었다.

또 접지전위 GND는 내부 GND선(19)에 의해서 내부회로(21) 및 안정회로(23)에 공급된다.

따라서 내부회로(21)의 동작에 따르는 노이즈가 접지전위 GND와 함께 안정회로(23)에도 공급되게 된다.

따라서 안정회로(23)가 오동작을 일으킨다고 하는 문제점이 있었다.

본 발명은 이상과 같은 문제점을 해결하기 위해 이루어진 것으로 노이즈의 영향을 받기 쉬운 내부회로(안정회로)가 받는 노이즈의 원인이 되는 내부회로에서의 노이즈의 영향을 감소시킬 수 있는 반도체 장치를 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 반도체 장치상의 임의의 점에서 전압의 왕래를 쉽게 할 수 있는 반도체 장치를 제공하는 것이다.

본 발명의 제1관점에 따르는 반도체 장치는 반도체 기판상에 형성되고, 노이즈의 원인이 되는 제1내부회로와, 반도체 기판상에 형성되며, 노이즈의 영향을 받는 제2내부회로와, 제1전원전위를 공급하는 제1전원전위 공급선과, 제1전원전위 공급선에 일단이 접속되고 제1내부회로에 제1전원전위를 공급하는 제2전원전위 공급선과, 제1전원전위 공급선에 일단이 접속되고 제2내부회로에 제1전원전위를 공급하는 제3전원전위 공급선과, 제3전원전위 공급선에 설치되고 노이즈를 감소시키는데 제1필터를 구비한다.

본 발명의 제1관점에 따르는 반도체 장치에서는, 제1내부회로로부터 제2내부회로에 제1전원전위 공급선, 제2전원전위 공급선 및 제3전원전위 공급선을 통해서 전파되는 노이즈는 제3전원전위 공급선에 설치 되는 제1필터를 통과한다.

이 때문에 제1내부회로로부터 제2내부회로에 전파하는 노이즈를 감소 시킬 수 있다.

이것에 의해, 제2내부회로가 받는 제1내부회로에서의 노이즈의 영향이 작아진다.

본 발명의 제2관점에 따른 반도체 장치는 노이즈의 원인이 되는 제1내부회로와, 노이즈의 영향을 받는 제2내부회로와 내부전위를 발생하는 내부전위 발생회로와, 내부전위를 공급하는 제1내부전위 공급선과, 제1내부전위 공급선에 그의 일단이 접속되고 제1내부회로에 내부전위를 공급하는 제2내부전위 공급선과, 제1내부전위 공급선에 그 일단이 접속되고 제2내부회로에 내부전위를 공급하는 제3내부전위 공급선과, 제3내부전위 공급선에 설치되고 노이즈를 감소시키는 필터를 구비한다.

본 발명의 제2관점에 따른 반도체 장치에서는, 반도체 장치의 내부에서 내부전위 발생회로에 의해 발생되는 내부전위를 공급하는 제1내부전위 공급선, 제2내부전위 공급선 및 제3내부전위 공급선을 통해서 제2내부회로에 전파되는 노이즈는 제3내부전위 공급선에 설치되는 필터를 통과한다.

이 때문에 제1내부회로로부터 제2내부회로에 전파하는 노이즈를 감소시킬 수 있다.

이것에 의해, 제2내부회로가 받는 제1내부회로에서의 노이즈의 영향이 작아진다.

본 발명의 제3관점에 따른 반도체 장치는, 노이즈의 원인이 되는 제1내부회로와 노이즈의 영향을 받는 제2내부회로와, 제1내부회로에 공급하는 제1내부전위를 발생하는 제1내부전위 발생회로와, 제2내부회로에 공급하는 제2내부전위를 발생하는 제2내부전위 발생회로와, 제1내부전위 발생회로 및 제2내부전위 발생회로에 전원전위를 공급선과, 제 1 내부회로에 제 1 내부전위를 공급하는 제 1 내부전위 공급선과, 제 2 내부회로에 제 2 내부전위를 공급하는 제2내부전위 공급선을 구비한다.

본 발명의 제3관점에 따른 반도체 장치에서는 제1내부전위 발생회로는 제1내부전위 공급선을 통해서 제1내부회로에 제1내부전위를 공급한다.

제2내부전위 발생회로는 제2내부전위 공급선을 통해서 제2내부회로에 제2내부전위를 공급한다.

이와같이 제1내부전위를 공급하는 제1내부전위 공급선과 제2내부전위를 공급하는 제2내부전위 공급선은 별개로 설치되어 있다.

이 때문에, 제1내부회로로부터 제2내부회로에 직접 노이즈가 전파되는 것은 아니다. 더욱이 제1내부전위 발생회로 및 제2내부전위 발생회로가 필터로써 작용하고, 전원전위 공급선을 통해서 제1내부회로에서 제2내부회로에 전파되는 노이즈를 감소시킬 수 있다.

이것에 의해 전원전위 공급선을 통해서 제2내부회로가 받는 제1내부 회로에서의 노이즈의 영향이 작게 된다.

본 발명의 제4관점에 따른 반도체 장치는 노이즈의 원인이 되는 제1내부 회로와, 노이즈의 영향을 받는 제2내부회로와, 제1내부회로에 공급하는 제1내부전위를 발생하는 제1내부전위 발생회로와, 제1내부전위를 제1내부회로에 공급하는 제1내부전위 공급선과, 제2내부회로 또는 제1내부회로 및 제2내부회로에 공급하는 제2내부전위를 발생 하는 제2내부전위 발생회로와, 제2내부전위를 제2내부회로 또는 제1내부회로 및 제2 내부회로에 공급하는 제2내부전위 공급선과, 반도체 장치의 상태에 따라서 제1내부회로와 제1내부전

위 공급선 또는 제2내부전위 공급선과의 접속을 제어하는 접속 제어회로를 구비한다.

본 발명의 제4관점에 따른 반도체 장치에서는 접속 제어회로는 반도체 장치의 상태에 따라서 제1내부회로와 제1내부전위 공급선 또는 제2내부전위 공급선과의 접속을 제어한다.

즉, 접속제어회로는 제1내부회로가 노이즈를 발생할 때에 제1내부회로와 제2내부전위 공급선을 분리할 수 있다.

이 때문에, 제1내부회로로부터 제2내부전위 공급선을 통해서 제2내부회로에 노이즈가 직접 전파되는 것은 아니다.

이것에 의해 제2내부회로는 제2내부전위 공급선을 통해서 직접 노이즈의 영향을 받는 것은 아니다.

본 발명의 제6관점에 따르는 반도체 장치는 노이즈의 원인이 되는 제1내부회로와, 노이즈의 영향을 받는 제2내부회로와, 반도체 장치의 상태가 동작상태에 있을 때에 제1내부회로 및 제2내부회로에 공급하는 제1내부전위를 발생하는 제1내부전위 발생회로와, 반도체 장치의 상태가 대기상태에 있을 때에 제1내부회로 및 제2내부회로에 공급하는 제2내부전위를 발생하는 제2내부전위 발생회로와, 제1내부전위를 공급하는 제1내부전위 공급선과, 제2내부전위를 공급하는 제2내부전위 공급선과, 제1내부전위 공급선 및 제2내부전위 공급선의 사이에 접속되는 제3내부전위 공급선과, 제 3 내부전위 공급선에 설치되고, 노이즈를 감소시키는 필터를 구비하며, 제3내부전위 공급선은 제1내부전위 및 제2내부전위중의 하나의 전위를 공급한다.

본 발명의 제5관점에 따른 반도체 장치에서는, 반도체 장치가 동작상태에 있을 때, 즉 제1내부회로가 동작상태에 있을 때에 발생하는 노이즈는 제2내부회로에 도달하기 전에 제3내부전위 공급선에 설치된 필터에 의해 감소한다.

이것에 의해 제2내부회로가 받는 노이즈의 영향을 작아진다.

본 발명의 제6관점에 따른 반도체 장치는 제1노이즈의 원인이 되는 제1내부회로와, 제1노이즈의 영향을 받는 제2내부회로와, 제1내부회로에 공급하는 제1내부전위를 발생하는 제1내부전위 발생회로와, 제2내부회로에 공급하는 제2내부전위를 발생하는 제2내부전위 발생회로와, 제1내부전위 발생회로와 제1내부회로를 접속하고 제1내부전위의 공급을 행하는 제1내부전위 공급선과, 제2내부전위 발생회로와 제2내부회로를 접속하고, 제2내부전위의 공급을 행하는 제2내부 전위공급선과, 제1내부전위 공급선과 제2내부전위 공급선의 사이에 설치되고, 반도체 장치의 상태에 따라서 제1내부전위 공급선과 제2내부전위 공급선의 접속을 제어하는 제1접속 제어회로를 구비한다.

본 발명의 제6관점에 따른 반도체 장치에서는, 제1접속 제어회로는 반도체 장치의 상태에 따라서, 제1내부전위 공급선과 제2내부전위 공급선과의 접속을 제어한다.

즉, 제1접속제어 회로는 제1내부회로가 제1노이즈를 발생시킬 때에 제1내부전위 공급선과 제2내부전위 공급선을 분리시킬수 있다.

이 때문에 제1내부전위 공급선 및 제2내부전위 공급선을 통해서 제2내부회로에 제1노이즈가 직접 전파되는 것은 아니다.

이것에 의해, 제2내부회로는 제1내부전위 공급선 및 제2내부전위 공급선을 통해서 노이즈의 영향을 직접 받는 것은 아니다.

본 발명의 제7관점에 따른 반도체 장치는, 노이즈의 영향을 받는 제1내부회로와, 전위를 제1내부회로에 공급하는 제1전위공급 부재와, 제1전위공급부재에 직렬로 접속되고, 전위를 제1내부회로에 공급하는 내부 리이드와, 내부 리이드에 직렬로 접속되고 전위를 제1내부회로에 공급 하는 제2전위공급 부재를 구비하며, 내부 리이드는 반도체 장치의 외부와의 전압의 교환을 직접 행하기 위한 반도체 장치의 외부와의 접촉부를 가지지 않고, 반도체 장치의 내부 배선보다 굵다.

본 발명의 제7관점에 따르는 반도체 장치에서는, 노이즈는 제1전위공급부재, 내부 리이드 및 제2전위공급부재를 통해서 제1내부회로에 전파된다.

이와같이 복수의 경로를 통하는 것에 의해 제1내부회로에 전파되는 노이즈는 감소한다.

이것에 의해, 제2내부회로에의 노이즈의 영향은 작아진다.

본 발명의 제8관점에 따른 반도체 장치는 반도체 장치의 외부와의 전압의 교환을 직접 행하기 위한 외부와의 접촉부를 가지는 외부 리이드와, 반도체 장치의 외부와의 전압의 교환을 직접 행하기 위한 외부와의 접촉부를 가지지 않는 내부 리이드를 구비하고, 외부 리이드 및 내부 리이드는 반도체 장치의 내부배선보다 굵다.

본 발명의 제8관점에 따르는 반도체 장치에서는, 반도체 장치의 내부에 설치의 자유도가 큰 내부 리이드를 설치하고 있다.

이 때문에 반도체 장치의 내부에서의 전압의 교환이 내부 리이드를 통해서 가능해지게 된다.

또, 내부 리이드가 반도체 장치의 내부 배선보다 굵기 때문에 내부 리이드의 저항은 반도체 장치의 내부 배선의 저항보다 작다.

이 때문에 내부 배선만으로 전압의 교환을 할 때에 비하여 전압의 공급원과 전압을 받는 장소가 떨어져 있는 경우에 전압강하가 적어진다.

이것에 의해, 반도체 장치의 오동작을 방지할 수 있다.

바람직한 것은 외부 리이드는 제 1 층에 설치되고 내부 리이드는 제 2 층에 설치되는 것이다.

이처럼 외부 리이드와 내부 리이드가 다른 층에 설치되어 있다.

이 때문에 내부 리이드와 외부 리이드와의 접촉을 고려하지 않고 외부 리이드 및 내부 리이드의 설치가 가능해 진다.

즉, 외부 리이드 및 내부 리이드의 설치의 자유도가 커진다.

더욱 바람직한 것은 내부 리이드는 제 1 내부 리이드와, 제 1 내부 리이드에서 갈라진 복수의 제 2 내부 리이드를 포함하는 것이다.

이 때문에 내부 리이드와 반도체 장치의 임의의 점과의 전압의 교환이 용이해 진다.

그리고, 더욱 바람직한 것은 내부 리이드와의 전압의 교환을 행하는 내부회로를 더 구비하고, 외부 리이드 및 내부 리이드는 내부회로와 직접 접촉하지 않도록 내부회로의 상층에 설치되며, 외부 리이드와 접촉하지 않도록 내부 리이드와 내부회로를 접촉하는 접촉부재를 더 구비하는 것이다.

이처럼 외부 리이드 및 내부 리이드가 내부회로의 상층에서, 내부회로와 외부 리이드 및 내부 리이드가 직접 접촉하지 않도록 설치된다.

설치의 자유도가 큰 내부 리이드에 접촉부재를 임의로 설치할 수가 있다.

이 때문에 외부 리이드에 접촉하지 않게되어 내부 리이드와 내부회로의 임의의 점과의 전압의 교환이 용이해 진다.

[실시예]

이하, 본 발명의 실시예를 도면을 참조하여 설명한다.

[실시예 1]

제1도는 본 발명의 제1실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

본 발명의 제1실시예에 의한 반도체 장치(5)는 패키지 프레임(1), 본딩 와이어(3), 패드(11), 제1내부 전원선(13), 제2내부 전원선(15), 내부회로(21), 안정회로(23), GND 패키지 프레임(7), GND 본딩 와이어(9), GND패드(17) 및 내부 GND선(19)으로 이루어진다.

여기에서 제28도와 같은 부분에 대해서는 같은 참조번호를 붙이고 그의 설명을 생략한다.

외부로부터 공급되는 전원전위 Vcc는 패키지 프레임(1), 본딩 와이어(3), 패드(11) 및 제1내부 전원선(13)을 통해서 내부회로(21)에 공급된다.

외부에서의 전원전위 Vcc는 패키지 프레임(1), 본딩 와이어(3), 패드(11) 및 제2내부 전원선(15)을 통해서 안정회로(23)에 공급된다.

즉, 내부회로(21) 및 안정회로(23)는 패드(11)에서 분리한 다른 전원선에서 전원전위 Vcc의 공급을 받고 있다.

이 때문에 내부회로(21)와 안정회로(23)는 패드(11)를 통해서 접속되게 되고, 내부회로(21)의 동작으로 인한 노이즈의 전파경로가 길어진다.

더욱이 노이즈의 원인이 되는 내부회로(21)와 안정회로(23)와의 위치관계가 병렬화된다.

그로 인해서 안정회로(23)에 전파되는 내부회로(21)의 동작으로 인한 노이즈는 작아진다.

이 경우, 제1내부 전원선(13) 및 제2내부 전원선(15)의 근원(패드(11)과의 접속부분)에 디커플링 용량을 부가하면 안정회로(23)에의 노이즈의 전파는 작아진다.

다음에 안정회로(23)의 내부회로(21)로 인한 노이즈의 전파가 작아지는 이유에 관해서 자세히 설명하도록 한다.

일반적으로 저항성분(R 성분)과 용량성분(C 성분)이 접속되어 있는 점에 서는 전달되어 온 노이즈가 감쇠한다.

이 노이즈의 감쇠 크기는 저항성분과 용량성분의 적(積)에 비례한다.

노이즈의 통과점에 큰 용량성분이 부가되어 있으면 노이즈의 감쇠효과는 커진다.

제1도에서는 패드(11)에 큰 용량성분이 부가되어 있다.

저항성분은 제1내부전원선(13) 및 제2내부전원선(15)에 기초를 둔다.

더욱이 저항성분 및 용량성분에 부가하여 인덕턴스 성분(L 성분)이 가해지면 노이즈의 감쇠효과가 더욱 커진다.

이것은 인덕턱스 성분에 전류가 흐르면 역전류가 발생하기 때문에 노이즈에서 발생한 전류는 제거되게 되기 때문이다.

제1도에서는 패드(11)에 접속된 본딩 와이어(3)에 의한 인덕턴스 성분이 노이즈의 감쇠효과를 증대시키게 된다.

이 노이즈의 감쇠효과는 인덕턴스 성분이 커질수록 커진다.

이상과 같이 본 발명의 제1실시예에 의한 반도체 장치에서는 내부회로(21) 및 안정회로(23)에 전원전위 Vcc를 공급하는 내부 전원선을 패드(11)의 부분에서 두개로 분리하여 있다.

이 때문에 본 발명의 제1실시예에 의한 반도체 장치에서는, 노이즈가 패드(11)를 통해서 안정회로(23)에 전파되게 되고, 패드(11), 제1내부 전원선(13) 및 제2내부 전원선(15)이 전체적으로 필터로써 작용하고,

안정회로(23)에 전파되는 노이즈는 작아진다.

제2도는 본 발명의 제1실시예에 의한 반도체 장치의 변형예를 나타 내는 개략 블록도이다.

본 발명의 제1실시예에 의한 반도체 장치의 변형예는, 패키지 프레임(1), 본딩 와이어(3), 패드(11), 제1내부 전원선(13), 제2내부 전원선(15), 내부회로(21), 안정회로(23), GND 패키지 프레임(7), GND 본딩 와이어(9), GND 패드(17), 제1내부 GND선 (25) 및 제2내부 GND선 (27)으로 이루어진다.

여기에서 제1도와 같은 부분에는 같은 참조부호를 붙이고 그 설명을 생략한다.

제2도에 있어서, 접지전위 GND는 GND 패키지 프레임(7), GND 본딩 와이어(9), GND 패드(17) 및 제1내부 GND선(25)에 의해 내부회로(21)에 공급된다.

접지전위 GND는 GND 패키지 프레임(7), GND 본딩 와이어(9), GND 패드(17) 및 제2내부 GND선(27)에 의해 안정회로(23)에 공급된다.

즉, 접지전위 GND는 GND패드(17)의 부분에서 분리된 다른 내부 전원선을 통해서 내부회로(21) 및 안정회로(23)에 공급되게 된다.

이 때문에 상술한 것과 같은 이유에 의해 안정회로(23)에 전파되는 내부회로(21)의 동작에 기인하는 노이즈는 작아진다.

이상과 같이, 본 발명의 제1실시예에 의한 반도체 장치의 변형예에서는 내부회로(21) 및 안정회로(23)에 전원전위 Vcc를 공급하는 내부 전원선을 패드(11)에서 분리함과 동시에 내부회로(21) 및 안정회로(23)에 접지전위GND를 공급하는 내부 GND선도 GND 패드(17)에서 분리하고 있다.

이 때문에, 본 발명의 제1실시예에 의한 반도체 장치의 변형예에서는 제1실시예에 의한 반도체 장치에 비해서 안정회로(23)에의 노이즈의 전파를 더욱 작게 할수가 있다.

[실시예2]

제3도는 본 발명의 제2실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

제3도에 있어서 본 발명의 제2실시예에 의한 반도체 장치(5)는, 패키지 프레임(1), 본딩 와이어(3), 패드(11), 제1내부 전원선(101), 제2내부 전원선(103), 제3내부 전원선(105), 로우 패스필터(LPF)(107), 내부회로(21), 안정회로(23), GND 패키지 프레임(7), GND 본딩 와이어(9), GND패드(17) 및, 내부 GND선(19)으로 이루어진다.

여기에서, 제1도와 같은 부분에 관해서는 같은 참조부호를 붙이고, 그 설명을 생략한다.

외부에서의 전원전위 Vcc는 패키지 프레임(1), 본딩 와이어(3), 패드(11), 제1내부 전원선(101) 및 제2내부 전원선(103)에 의해 내부회로(21)에 공급된다.

외부에서의 전원전위 Vcc는 패키지 프레임(1), 본딩 와이어(3), 패드(11), 제1내부 전원선(101) 및 제3내부 전원선(105)에 의해 내부회로(21)에 공급된다.

또 안정회로(23)에의 전원전위 Vcc는 제3내부 전원선(105)에 설치된 로우 패스필터(LPF)(107)를 통하고 있다.

이 로우패스 필터(107)에 의해, 전원전위와 함께 안정회로(23)에 전파되는 내부회로(21)의 동작으로 인한 노이즈는 작아진다.

제4도는 제3도의 로우패스 필터(107)의 상세한 것을 나타내는 회로도이다.

제4도에서, 제3도의 로우패스필터(107)는 저항(105) 및 커패시터(107)로 이루어진다.

이 경우 제3도의 로우패스 필터(107)의 양단에 디커플링 용량을 부가하면 노이즈의 감소효과는 더욱 커진다.

로우패스 필터(107)를 설치한 것에 의한 안정회로(23)에 전파하는 노이즈의 감소효과에 관해서 자세하게 설명한다.

제5도는 제3도에서 안정회로(23)가 받는 노이즈를 로우패스 필터(107)를 이용하는 경우와, 이용하지 않는 경우로 비교해서 나타내는 도면이다.

제5도에 있어서 선 a1은 내부회로(21)의 부분에서 발생된 노이즈를 나타낸다.

노이즈는 전원전위 Vcc 5V를 중심으로 ±1V를 주기적으로 인가한 것이다.

즉, 내부회로 (21)가 동작할 때에는 선 a1에 나타나는 바와 같은 노이즈가 전원전위 Vcc에 나타난 다고 가정한 것이다.

선 b1은 로우패스 필터(107)를 이용하지 않은 경우에 내부회로(21)의 부분에서 전원전위 Vcc에 선 a1로 나타내는 노이즈가 나타날 때 제3도에서의 노드 N1의 전위를 나타낸다.

선 c1 및 선 d1은 로우패스 필터(107)을 이용한 경우에 내부회로(21) 부분에서의 전원전위 Vcc 선 a1로 나타내는 노이즈가 나타날 때 제3도에서의 노드 N1의 전위를 나타낸다.

선 c1에서는 로우패스 필터(107)을 구성하는 제4도의 저항(105)의 저항치를 4㏀로 하고, 커패시터(107)의 용량치를 100㎊로 한것이다.

선 b1에서는 로우패스 필터(107)을 구성하는 제4도의 저항의 저항치를 10㏀로 하고, 커패시터의 용량치를 300㎊로 한것이다.

이와 같이 제3도의 노드 N1으로 전파해 온 노이즈는, 로우패스 필터(107)를 이용했지만 (선 c1, 선 d1), 로우패스 필터(107)를 이용하지 않는 경우(선 b1)에 비하여 작아져 있다.

더욱이 로우패스 필터(107)를 구성하는 저항(105)의 저항치 및 커패시터(107)의 용량치가 클 때 (선 d1)는, 작을 때(선 c1)에 비해서 제3도의 노드 N1에서의 노이즈는 작아져 있다.

제5도에 있어서, 기준전위 B는 안정회로(23)로써의 기준전위 발생회로가 발생하는 기준전위를 나타낸다.

선 b2는 안정회로(23)에 선 b1에 나타나는 전원전위 Vcc가 인가된 경우에 안정회로(23)로써의 기준전위 발생회로가 발생하는 기준전위를 나타낸다.

선 c2는 안정회로(23)로써의 기준전위 발생회로 선 c1에 나타나는 전원전위 Vcc가 인가된 경우에, 안정회로(23)로써의 기준전위 발생회로가 발생하는 기준전위를 나타낸다.

선 d2는 안정회로(23)에 선 d1의 전원전위 Vcc가 인가된 경우에 안정회로(23)로써의 기준전위 발생회로가 발생하는 기준전위를 나타낸다.

즉, 선 b2에 나타나는 기준전위 B는, 로우패스 필터(107)를 설치하지 않는 경우의 안정회로(23)로써의 기준전위 발생회로가 발생하는 기준전위이다.

선 c2 및 선 d2에 나타나는 기준전위 B는, 로우패스 필터(107)를 이용한 경우의 안정회로(23)로써의 기준전위 발생회로로부터 발생되는 기준전위를 나타낸다.

또, 선 c2에서는 로우패스 필터(107)의 저항(105)의 저항치를 4㏀로 하고, 커패시터(107)의 용량치를 100㎊로 하고 있다.

선 d2에서는 로우패스 필터(107)의 저항(105)의 저항치를 10㏀로 하고, 커패시터(107)의 용량치를 300㎊로 한 것이다.

이와 같이 로우패스 필터(107)를 이용하는 편이 (선 c2, 선 d2) 로우패스 필터(107)를 이용하지 않는 경우(선 b2)에 비해서 안정회로(23)로써의 기준전위 발생회로가 발생하는 기준전위 B의 레벨의 변동은 작아져 있다.

또, 기준전위 B의 레벨의 변동은 로우패스 필터(107)의 저항(105)의 저항치 및 커패시터(107)의 용량치가 큰 쪽이(선 d2) 작은 경우(선 c2)에 비해서 작아져 있다.

또, 제5도에서 접지전위 C는 접지전위를 나타낸다.

제6도는 제5도의 선 a1에 나타나는 노이즈의 주파수를 바꾼 경우의 안정회로(23)로써 기준전위 발생회로로부터 발생되는 기준전위에 나타 나는 노이즈의 레벨을 나타낸다.

제6도에 있어서, 세로축은 노이즈 레벨을 나타내고, 가로축은 노이즈 주파수를 나타내고 있다.

제 6 도에 나타낸 노이즈 레벨은 제5도의 기준전위 B의 전위레벨 BB와 노이즈의 피크치와의 차의 절대치이다.

제6도에 있어서, 화살표 b로 나타낸 점은 로우패스 필터(107)를 이용하지 않은 경우의 노이즈 레벨을 나타낸다.

화살표 c로 나타낸 점 및 화살표 d로 나타낸 점은 로우패스 필터(107)를 이용한 경우의 노이즈 레벨이다.

화살표 c로 나타낸 점에서는 로우패스 필터(107)의 저항(105)의 저항치를 4㏀로 하고, 커패시터(107)의 용량치를 100㎊로 한 것이다.

화살표 d로 표시된 점에서는 로우패스 필터(107)의 저항의 저항치를 10㏀로 하고, 커패시터(107)의 용량치를 300㎊로 한 것이다.

제6도에 나타낸 바와 같이, 노이즈 주파수가 높게 될수록 안정회로(23)로써의 기준전위 발생회로에서 발생되는 기준전위에 나타나는 노이즈 레벨은 작아진다.

여기에서 제5도의 선 a1에 나타낸 바와 같이, 안정회로(23)로써의 기준 전위 발생회로에 공급되는 전원전위 Vcc는 내부회로(21)의 부분에서의 노이즈에 대해서 영향을 받고, 크게 변동한다.

이 내부회로(21)의 부분에서의 전원전위 Vcc의 변동은 제5도의 선 b1에 나타나나는 바와 같이 로우패스 필터(107)을 설치하지 않은 경우라도, 전원전위 Vcc를 공급하는 내부 전원선에 기생하는 저항성분과 용량성분에 의해 조금은 흡수되지만 그 정도가 작다.

이 때문에 제5도의 선 b2에 나타나는 바와 같이 로우패스 필터(107)를 설치하지 않은 경우에는 이 전원전위 Vcc의 변동이 안정회로(23)로써의 기준전위 발생회로에 영향을 주고 그 출력이 크게 변동하게 된다.

이상과 같이 본 발명의 제1실시예에 의한 반도체 장치에 있어서는 안정회로(23)에 전원전위 Vcc를 공급하는 제3내부 전원선(105)에 로우패스 필터(107)를 설치하는 것으로 안정회로(23)에 공급되는 전원전위 Vcc에 나타나는 노이즈가 흡수된다.

즉, 본 발명의 제2실시예에 의한 반도체 장치에 있어서는 로우패스 필터(107)를 설치하는 것에 의해 내부회로(21)의 동작으로 인한 노이즈의 안정회로(23)로의 전파는 작아진다.

제7도는 본 발명의 제2실시예에 의한 반도체 장치의 변형예를 나타내는 개략 블록도이다.

제7도에 있어서, 본 발명의 제2실시예에 의한 반도체 장치의 변형예는 패키지 프레임(1), 본딩 와이어(3), 패드(11), 제1내부 전원선(101), 제2내부 전원선(103), 제3내부 전원선(105), 로우패스 필터(LPF)(107), 내부회로(21), 안정회로(23), GND 패키지 프레임(7), GND 본딩 와이어(9), GND패드(17), 제1

내부 GND선(109), 제2내부 GND선(111), 제3내부GND선(113) 및 로우패스 필터(LPF)(114) 로 이루어 진다.

또, 제3도와 같은 부분에 대해서는 같은 참조부호를 붙이고 그 설명을 생략한다.

접지전위 GND는 GND패키지 프레임(7), GND 본딩 와이어(9), GND 패드(17), 제1내부 GND선(109) 및 제2내부 GND선(111)을 통해서 내부회로(21)에 공급된다.

접지전위 GND는 GND패키지 프레임(7), GND 본딩 와이어(9), GND 패드(17), 제1내부 GND선(109) 및 제3내부 GND선(113)을 통해서 안정회로(23)에 공급된다.

또, 제3내부 GND선(113)에는 로우패스 필터(114)가 설치되어 있고, 안정회로(23)에는 로우패스 필터(114)를 통해서 접지전위 GND가 공급되게 된다.

로우패스 필터(114)의 구성은 로우패스 필터(109)의 구성과 같다.

즉, 내부회로(21)에 기인하는 노이즈는 로우패스 필터(114)에 의해 흡수되기 때문에 접지전위 GND와 함께 안정회로(23)에 전파되는 노이즈는 작아진다.

이상과 같이, 본 발명의 제1실시예에 의한 반도체 장치의 변형예에서는, 제3내부 전원선(105)에 로우패스 필터(107)를 설치함과 동시에, 제3내부 GND선(113)에도 로우패스 필터(114)를 설치하고 있다.

이 때문에, 제3도에 나타낸 제1실시예에 의한 반도체 장치에 비해서 더욱 안정회로(23)로의 노이즈의 전파는 작아진다.

또, 제3도 및 제7도의 로우패스 필터(107), (114)에서는 저항과 커패시터에 의한 패시브(passive)필터를 사용했지만 다른 패시브 필터를 사용할 수도 있고, 또한 액티브 필터를 사용해도 된다.

제1실시예 및 제1실시예의 변형예에 사용된 로우패스 필터는 제1도 및 제2도에 나타난 제1실시예의 내부 전원선에도 사용할 수 있다.

[실시예 3]

제8도는 일반적인 반도체 장치를 나타낸 계략 블록도이다.

제8도에 있어서, 일반적인 반도체 장치는 웰(203), 트랜지스터(205), (207), 내부회로용 웰 고정 확산층(213), 안정회로용 웰 고정 확산층(215) 및 내부전원선(201)으로 이루어진다.

복수의 트랜지스터(205)는 내부회로(209)를 구성한다. 복수의 트랜지스터(207)는 안정회로(211)를 구성한다.

내부회로(209)에는 내부 전원선(201)에 의해 전원전위 Vcc가 공급된다.

안정회로(211)에는 내부 전원선(211)에 의해 전원전위 Vcc가 공급된다.

내부 회로용 웰 고정 확산층(213)은 내부회로(209)가 형성되는 영역의 웰을 전원전위로 고정한다.

안정회로용 웰 고정 확산층은 안정회로(211)가 형성되는 영역의 웰을 전원전위 Vcc로 고정한다.

이러한 일반적인 반도체 장치에서는, 내부회로(209)가 동작했을 때의 노이즈가 화살표 a로 나타낸 바와 같이 내부 회로용 웰 고정 확산층(213)이나 안정회로용 웰 고정 확산층(215)을 통해서 안정회로(211)에 전파되어, 안정회로(211)가 오동작을 일으킨다고 하는 문제점이 있었다.

또한, 내부회로(209)가 동작했을 때의 노이즈는 내부 전원선(201)을 통해서 안정회로(211)에 직접 전파한다고 하는 문제점이 있었다.

제3실시예는 이러한 문제점을 해결하기 위해 이루어진 것이다.

제9도는 제3실시예에 의한 반도체 장치를 나타내는 블록도이다.

제9도에 있어서 본 발명의 제3실시예에 의한 반도체 장치는 웰(203), 트랜지스터(205), (207), 안정회로용 웰 고정 확산층(215), 로우패스 필터(LPF)(107), 제1내부 전원선(217), 제2내부 전원선(219), 제3내부 전원선(221) 및 제4내부 전원선(223)으로 이루어진다.

복수의 트랜지스터(205)는 내부회로(209)를 구성한다. 복수의 트랜지스터(207)는 안정회로(211)를 구성한다. 내부회로(209) 및 안정회로(211)의 성질은 제1도의 내부회로(25) 및 안정회로(23)와 같다.

또, 제8도와 같은 부분에 대해서는 참조부호를 붙이고, 그 설명을 생략한다.

또 로우패스 필터(107)의 구성은 제3도의 로우패스 필터(107)의 구성과 같다.

내부회로(209)에는 제1내부 전원선(217) 및 제2내부 전원선(219)을 통해서 전원전위 Vcc가 공급된다.

안정회로(211)에는 제1내부 전원선(217) 및 제3내부 전원선(221)을 통해서 전원전위 Vcc가 공급된다.

안정회로용 웰 고정 확산층(215)에는 제1내부 전원선(217), 제3내부 전원선(221) 및 제4내부 전원선(223)을 통해서 전원전위 Vcc가 공급된다.

여기에서 제3내부 전원선(221)에는 로우패스 필터(107)가 설치되어 있기 때문에 안정회로(221) 및 안정회로용 웰 고정 확산층(215)에 공급되는 전원전위 Vcc는 로우패스 필터(107)를 통한다.

즉, 내부회로(209)의 동작으로 인한 노이즈는 제1내부 전원선(217), 제2내부 전원선(219) 및 제3내부 전원선(221)을 통해서 안정회로용 웰 고정확산층(215) 및 안정회로(211)에 전파할 때에 로우패스 필터(107)에 의해 흡수되게 된다.

이상과 같이 본 발며의 제3실시예에 의한 반도체 장치에 있어서는, 안정회로용 웰 고정 확산층 및 안정회

로(211)에 전원전위 Vcc를 공급하는 내부전원선(제3내부 전원선(221))과, 내부회로(209)에 전원전위 Vcc를 공급하는 내부 전원선(제2내부 전원선(219))이 구별되고, 제3내부 전원선(221)에는 로우패스 필터(107)가 설치되어 있다.

이것에 의해 내부 전원선(제1내부 전원선(217), 제2내부 전원선(219), 제3내부 전원선(221))을 통해서 안정회로(211)에 전파된다.

내부회로(209)의 동작에 따른 노이즈는 로우패스 필터(107)에 의해 감쇠 되고 안정회로(211)에 대해서 영향을 끼치지 않게된다.

또, 안정회로용 웰 고정 확산층(215)에 노이즈가 내부 전원선(제1내부 전원선(217), 제2내부 전원선(219), 제3내부 전원선(221), 제4내부 전원선(223)을 통해서 전파될 때에는 그 노이즈는 로우패스 필터(107)에 흡수된다. 이 때문에 안정회로용 웰 고정확산층(215)을 통해서 안정회로(211)에 전파하는 노이즈는 감소한다.

또한 내부회로(209)에 전원전워 Vcc를 공급하귀 위한 내부 전원선(제2내부 전원선(219)에 접속된 확산층에서의 극히 작은 노이즈만이 안정회로(211)에 전파되게 되고, 안정회로(211)은 내부회로(209)의 동작에 따르는 노이즈의 영향을 받이 어렵게 된다.

또 로우패스 필터(107)를 통한 내부 전원선(제4내부 전원선(223))에 접속된 안정회로용 웰 고정 확산층(215)에서 내부회로(209)와의 사이를 웰 고정하는 것에 의해 노이즈가 나타나지 않은 제4내부 전원선(223)의 전위로, 전파되어 온 노이즈(화살표 a)를 흡수할 수가 있다.

제10도는 본 발명의 제3실시예에 의한 반도체 장치의 변형예를 나타 내는 개략 블록도이다.

제10도에 있어서, 본 발명의 제3실시예에 의한 변형예는 웰(203), 트랜지스터(205), (207), 안정회로용 웰 고정 확산층(215), 로우패스 필터(227), (229), 제1내부 전원선(217), 제2내부 전원선(219), 제3내부 전원선(221) 및 제4내부 전원선(225)으로 이루어진다.

또, 제9도와 같은 부분에 관해서는 같은 참조부호를 붙이고, 그 설명을 생략한다.

로우패스 필터(227), (229)의 구성은 제9도의 로우패스 필터(107)의 구성과 같다.

제10도에 있어서, 안정회로용 웰 고정확산층(215)에는, 제1내부 전원선(217), 제3내부 전원선(221) 및 제4내부 전원선(225)을 통해서 전원전위 Vcc가 공급된다.

제4내부 전원선(225)에는 로우패스 필터(227)가 설치되어 있다.

이 때문에 내부회로(209)가 동작했을 때의 노이즈는 로우패스 필터(227)를 통해서 안정회로용 웰 고정 확산층(215)에 전파된다.

따라서 안정회로용 웰 고정확산층(215)에 전파되는 노이즈는 작아진다. 또 안정회로(211)에도 로우패스 필터(229)를 통해서 전원전위 Vcc가 공급된다.

이 때문에 안정회로(211)에 전파되는 노이즈는 로우패스 필터(229)에 의해 흡수되고 안정회로(211)는 노이즈의 영향을 받기 어렵게 된다.

이상과 같이 본 발명의 제3실시예에 의한 변경예에서는, 안정회로용 웰 고정확산층 (215)에 전원전위 Vcc를 공급하는 제4내부 전원선(225)과 안정회로(211)에 전원전위 Vcc를 공급하는 제3내부 전원선(221)에 각각 로우패스 필터(227)와 로우패스 필터(229)를 설치하고 있다.

이 때문에 제3실시예의 변형예에서도 제9도에 나타낸 실시예와 같은 효과를 얻는다.

또 안정회로용 웰 고정확산층에 전원전위 Vcc를 공급하는 내부 전원선에 로우패스 필터를 사용하는 것은 제1실시예 및 제2실시예에도 적용할 수 있다.

[실시예 4]

제11도는 본 발명의 제4실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

제11도에 있어서 본 발명의 제4실시예에 의한 반도체 장치는 내부전위 발생회로(303), 내부회로(305), 로우패스 필터(LPF)(107), 안정회로(307), 외부 전원선(301), 내부 GND선(309), 제1내부 전위선(311), 제2내부 전위선(313) 및 제3내부 전위선(315)를 포함한다.

제2실시예는 외부에서 입력되는 전원전위나 신호등에 대해서 필터를 배치하고, 그 필터의 출력을 다음 회로에 전달하는 것이다.

본 실시예에 있어서는 내부에서 발생한 내부전원전위나 내부신호를 필터를 통해서 다음의 회로에 전달시키려고 하는 것이다.

제11도에 있어서, 내부전위 발생회로(303)는, 예를 들면 내부 전원전위 강하회로(VDC), 기판 바이어스회로, 1/2Vcc 발생회로, 승압전위 발생회로등이다.

이 승압전위 발생회로에서 발생되는 승압전위는 도시하지 않은 워드선이 활성될 때의 전위로써 공급된다.

또 그 이외에는 높은 전위레벨을 필요로 하는 아날로그계의 회로에도 공급되는 경우가 있다.

본 실시예에 있어서는 내부전위 발생회로(303)로써 승압전위 발생회로를 사용한 것으로써 설명하겠다.

이 경우에은 내부회로(305)는 워드선을 활성화하는 워드선 활성화 회로를 나타내고, 안정회로(307)은 높은 전위레벨을 필요로 하는 아날로그계의 회로를 나타낸다.

내부전위 발생회로(303)로써의 승압전위 발생회로에는 외부 전원선(301)으로부터 외부 전원전위가 공급된

다.

내부회로(305)로써의 워드선 활성화 회로 및 안정회로(307)로써의 아날로그계의 회로에는 내부 GND선(309)으로부터 접지전위가 공급된다.

내부전위 발생회로(303)로써의 승압전위 발생회로가 발생한 승압전위는 제1내부 전위선(311) 및 제2내부 전위선(313)을 통해서 내부회로(305)로써의 워드선 활성화 회로에 공급된다.

또 내부전위 발생회로(303)로써의 승압전위 발생회로가 발생한 승압전위는 제1내부 전위선(311) 및 제3내부 전위선(315)을 통해서 안정회로(307)로써의 아날로그계 회로에 공급된다.

또 안정회로(307)로써의 아날로그계 회로에 공급되는 승압전위는 제3내부 전위선에 설치된 로우패스 필터(107)를 통과한다.

워드선의 활성화시에는 대전류가 승압전위 레벨부터 워드선에 흘러들어가기 때문에 승압전위 레벨은 노이즈를 발생한다.

일반적으로 이 노이즈는 높은 전위레벨을 필요로 하는 아날로그계 회로(안정회로(307))에 영향을 주고 오동작을 일으킬 가능성이 있다.

그래서 본 실시예에서는 안정회로(307)로써의 아날로그계의 회로에 승압 전위를 공급하는 제3내부 전위선(315)에 로우패스 필터(107)를 설치하고, 이 로우패스 필터(107)에 의해 안정회로(307)에 전파하는 노이즈를 감소시킬 수 있다.

이상과 같이 본 발명의 제4실시예에 의한 반도체 장치에서는 노이즈의 영향을 받기 쉬운 안정회로(307)에 내부전위 발생회로(303)에서 발생된 내부전위(승압전위)를 공급하는 내부전위선(제3내부 전위선(315))에 로우패스 필터(107)를 설치하고 있다.

이 때문에 내부회로(305)의 동작에 기인하여 발생한 노이즈의 내부 전위선(제1내부 전위선(311)), 제2내부 전위선(313), 제3내부 전위선(315))을 통한 안정회로(307)로의 전파는 작아진다.

[실시예 5]

제12도는 일반적인 반도체 장치를 나타내는 개략 블록도이다.

제12도에 있어서, 일반적인 반도체 장치는 DC-DC 컨버터(401), 미소전류용 DC-DC 컨버터(403), 내부회로(21), 안정회로(23), 외부 전원선(301), 외부 GND선 (405) 및 내부 전원선(407)을 포함한다.

DC-DC 컨버터 (401) 및 미소전류용 DC-DC 컨버터(403)은 외부 전원선(301)에서 공급된 외부 전원전위를 강하시키고, 외부 전원전위보다도 낮은 전원전위(이하, 「내부 전원전위 」 라고 함)로 내부회로(21) 및 안정회로(23)를 동작 시킨다.

내부 전원전위는 내부 전원선(407)에 의해 내부회로(21) 및 안정회로(23)에 공급된다.

여기에서 DC-DC 컨버터(401)는 반도체 장치가 동작상태에 있는 경우에 전위 강하를 행한다.

미소전류용 DC-DC 컨버터(403)는 반도체 장치가 동작상태 또는 대기상태에 있는 경우에 전압강하를 행한다.

반도체 장치의 대기시에는 DC-DC 컨버터(401)는 비활성의 상태에 있고, 소비전류의 억제를 꾀하고 있다.

내부회로(21)는 그 동작시에 노이즈를 발생한다.

안정회로(23)는 노이즈의 영향을 받기 쉬운 회로이다.

내부회로(21) 및 안정회로(23)는 외부 GND선으로부터 접지전위가 공급된다.

제12도에 나타나는 바와 같이, 일반적인 반도체 장치에서는 하나의 내부전원선(407)에 의해 전원전위를 내부회로(21) 및 안정회로(23)에 공급하고 있다.

이 때문에 내부회로(21)가 동작한 경우에 내부회로(21)의 동작에 따르는 노이즈는 내부 전원선(407)을 통해서 안정회로(23)에 전해지고, 안정회로(23)가 오동작을 일으키는 문제점이 있었다.

본 실시예에서는 이러한 문제점을 해결하기 위해 이루어진 것이다.

제13도는 본 발명의 제5실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

제13도에 있어서, 본 발명의 제5실시예에 의한 반도체 장치는 DC-DC 컨버터(401), 제1미소전류용 DC-DC 컨버터(415), 제2미소 전류용 DC-DC 컨버터(417), 내부회로(21), 안정회로(23), 외부 전원선(301), 내부 GND선 (309), 제1내부 전원선(409), 제2내부 전원선(411), 제3내부 전원선(413) 및 제4내부 전원선(419)을 포함한다.

또 제12도와 같은 부분에 관해서는 같은 참조부호를 붙이고, 그의 설명을 생략한다.

제13도에 있어서, 제1미소전류용 DC-DC 컨버터(415)는 외부 전원선(301)에서 공급된 외부 전원전위를 강압한 전원전위(이하 「제1내부 전원전위」라고 함)를 반도체 장치의 동작시 또는 대기시에 내부회로 (21)에 공급한다

제1미소 전류용 DC-DC 컨버터(415)로부터 발생되는 제1내부 전원전위는 제2내부전원선(411) 및 제3내부 전원선(413)을 통해서 내부회로(21)에 공급된다.

DC-DC 컨버터(401)에서 발생된 전원전위(이하, 「제2내부 전원전위」라고함)은 제1내부 전원선(409) 및 제3내부 전원선 (413)을 통해서 반도체 장치의 동작시에 내부회로(21)에 공급된다.

제2미소 전류용 DC-DC 컨버터(417)는 외부 전원선(301)에서 공급된 외부전원전위를 강압한 전원전위(이하「제3내부 전원전위」라고 함)를 발생한다.

제2미소 전류용 DC-DC 컨버터(417)에서 발생된 제3내부전원 전위는 제4내부 전원선(419)을 통해서 안정회로(23)에 공급된다.

내부 GND선(309)은 내부회로(21) 및 안정회로(23)에 접지전위를 공급한다.

이상과 같이 본 발명의 제5실시예에 의한 반도체 장치에서는 내부회로(21)에 내부전원 전위(제1내부전원 전위, 제2내부전원 전위)를 공급하는 내부 전원선(제1내부 전원선(409), 제2내부 전원선(411), 제3내부 전원선(413))과 안정회로(23)에 내부전원 전위(제3내부전원 전위)를 공급하는 내부 전원선(제4내부 전원선(419)이 별도로 설치되어 있다.

따라서 내부회로(21)의 동작에 따르는 노이즈가 직접 안정회로(23)에 전파되는 것은 아니다.

또 외부 전원선(301)을 통해서 전파되는 내부회로(21)의 동작으로 인한 노이즈는 DC-DC 컨버터(401), 제1미소전류용 DC-DC 컨버터(411) 및 제2미소전류용 DC-DC 컨버터(417)에 의해 흡수된다.

즉 DC-DC 컨버터(401), 제1미소전류용 DC-DC 컨버터(411) 및 제2미소전류용 DC-DC 컨버터(417)가 필터로써 작용하기 때문에 안정회로(23)에 노이즈가 전파될 가능성은 낮아진다.

또 본 실시예에서는 내부전원 전위가 발생하는 회로로써 DC-DC 컨버터(401), 미소전류용 DC-DC 컨버터(403), 제1미소전류용 DC-DC 컨버터(415) 및 제2미소전류용 DC-DC 컨버터(417)를 사용하고 있지만 이것들에 한정하지 않고, 내부전위가 발생하는 회로이면 다른 회로라도 된다.

예를들면, 승압전위 발생회로, 기판 바이어스 회로 및 1/2Vcc 발생회로등이다.

[실시예 6]

제14도는 본 발명의 제6실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

제14도에 있어서, 본 발명의 제6실시예에 의한 반도체 장치는 DC-DC 컨버터(401), 내부회로(21), 미소전류용 DC-DC 컨버터(501), 안정회로(23), 외부 전원선(301), 제1내부 전원선 (505), 스위치(503), 제2내부 전원선(507) 및 내부 GND선(309)을 포함한다.

또 제12도와 같은 부분에 대해서는 같은 참조부호를 붙이고, 그의 설명을 생략한다.

미소전류용 DC-DC 컨버터(501)는 외부 전원선(301)에서 공급된 외부 전원전위를 강압해서 제1내부 전원전위를 발생한다.

반도체 장치가 동작상태로 있을 때는, 스위치(503)는 제1내부 전원선(505)과 접속된다.

그리고 DC-DC 컨버터(401)는 내부회로(21)에 외부 전원전위를 강압한 제1내부 전원전위를 공급한다.

반도체 장치가 대기상태에 있을 때는 스위치(503)는 제2내부 전원선(507)과 접속된다.

그리고 미소 전류용 DC-DC 컨버터(501)에서 발생되는 외부 전원전위를 강압한 제2내부 전원전위가 내부회로(21) 및 안정회로(23)에 공급된다.

이상과 같이, 본 발명의 제6실시예에 의한 반도체 장치에서는 반도체 장치의 동작시, 즉 내부회로의 동작시에는 내부회로(21)와 제2내부 전원선(507)이 분리되어 있기 때문에, 내부회로(21)의 동작에 따르는 노이즈가 안정회로(23)에 직접 전파되는 것은 아니다.

또 반도체 장치의 동작시에는 내부회로(21)와 제1내부 전원선(505)이 접속되기 때문에 외부 전원선(301)을 통해서 안정회로(23)에 노이즈가 전파되는 것도 생각할 수 있다.

그러나 이 경우에는 DC-DC 컨버터(401) 및 미소전류용 DC-DC 컨버터(501)가 필터로써 작용하여 노이즈를 흡수하기 때문에 안정회로(23)에 노이즈가 전파될 가능성은 낮아진다.

또 본 실시예에 있어서는, 내부 전원전위를 발생하는 회로로써, DC-DC 컨버터(401), 미소전류용 DC-DC 컨버터(501)를 사용하고 있지만 이것들에 한정되지 않고, 내부전위가 발생하는 회로이면 다른 회로라도 된다.

예를 들면 승압전위 발생회로, 기판 바이어스회로 및 1/2Vcc 발생회로등이다.

[실시예 7]

제15도는 본 발명의 제7실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

제15도에 있어서, 본 발명의 제7실시예에 의한 반도체 장치는 DC-DC컨버터(401), 미소전류용 DC-DC 컨버터(501), 내부회로(21), 안정회로(23), 로우패스 필터(LPF) (107), 외부 전원선(301), 제1내부 전원선(601), 제2내부 전원선(603), 제3내부 전원선(605) 및 내부 GND선(309)을 포함 한다.

또 제14도와 같은 부분에 대해서는 같은 참조부호를 붙이고 그 설명을 생략한다.

로우패스 필터(LPF)(107)는 제2실시예에 의한 로우패스 필터(LPF) (107)와 마찬가지이다.

반도체 장치가 동작상태에 있을 때는 내부회로(21)에는 제1내부 전원선(601)을 통해서 DC-DC 컨버터(401)에서 제1내부전원 전위가 공급된다.

또 안정회로(23)에는 제1내부 전원선(601), 제2내부 전원선(603) 및 제3내부 전원선(605)를 통해서 DC-DC 컨버터(401)에서 제1내부 전원전위가 공급된다.

또 이 경우에는 제3내부 전원선(605)에 설치된 로우팰스 필터(107)를 통해서 안정회로(23)에 제1내부 전

원 전위가 공급되게 된다.

또 미소 전류용 DC-DC 컨버터(501)는 제2내부 전원선(603)을 통해서 안정회로(23)에 제2내부 전원 전위를 공급한다.

또 미소전류용 DC-DC 컨버터(501)는 제2내부 전원선(603)을 통해서 안정회로(23)에 제 2 내부 전원전위를 공급한다. 또 미소전류용 DC-DC 컨버터(501)는 제 2 내부 전원선 제3내부 전원선(605) 및 제1내부 전원선(601)을 통해서 내부회로(21)에 제2내부 전원전위를 공급한다.

또 미소전류용 DC-DC 컨버터(501)에서 공급되는 제2내부 전원전위는 제3내부 전원선(605)에 설치된 로우패스 필터(107)를 통해서 내부회로(21)에 공급되게 된다.

반도체 장치가 대기상태에 있을 때는 DC-DC 컨버터(401)는 비활성상태로 된다.

이처럼 본 발명의 제7실시예에 의한 반도체 장치에서는 제3내부 전원선(605)에 로우패스 필터(107)을 설치하고 있다.

이 때문에 내부회로(21)의 동작에 따라서 발생한 노이즈는 제3내부 전원선(605)에 전파될 때에 로우패스 필터(107)에 의해서 흡수되고, 안정회로(23)에 노이즈가 전파할 가능성은 낮아진다.

또 본 실시예에 있어서는 제14도에 나타낸 제6실시예와 같이 스위치(503)의 전환에 의해 안정회로(23)에 전파되는 노이즈를 감소시키는 것이 아니고, 내부회로(21)와 안정회로(23)의 사이에 설치된 로우패스 필터(107)에 의해 안정회로(23)에 전파하는 노이즈를 감속시키고 있다.

이 때문에 제14도에 나타낸 제6실시예와 같이 스위치(503)의 전환에서 발생하는 노이즈를 고려할 필요가 없어진다.

또 본 실시예에서는 내부 전원전위를 발생하는 회로로써, DC-DC 컨버터(401), 미소전류용 DC-DC 컨버터(501)를 사용하고 있지만, 이것들에 한정 하지 않고, 내부전위가 발생하는 회로이면 다른 회로라도 좋다.

예를 들면 승압전위 발생회로, 기판 바이어스 회로 및 1/2Vcc 발생회로 등이다.

[실시예 8]

제16도는 본 발명의 제8실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

제16도에 있어서 본 발명의 제8실시예에 의한 반도체 장치는 제1비교기(701), 제2비교기(705), PMOS 트랜지스터(703), (707), 스위치(709), 센스계 회로(711), 1/2Vcc 발생회로(713), 외부 전원선(301), 기준전위 공급선(715), 제1내부 전원선(717) 및 제2내부 전원선(719)을 포함한다.

본 실시예에서는 다이나믹 랜덤 액세스 메모리(이하, 「DRAM」이라고 함)의 메모리셀 어레이를 구동하는 경우에 관해서 생각한다.

DRAM의 경우, 최근에는 외부 전원전위(외부 Vcc)를 비교기와 PMOS 드라이버를 이용한 DC-DC 컨버터에 의해 이루어진 내부 전원전위 강화회로를 이용해서 칩 내부의 전원전위를 외부 전원전위에 비교해서 저하시키고 있다.

제16도에서는 제1비교기 (701)는 기준전위 공급선(715)의 기준이 되는 전위레벨과 제1내부 전원선(717)의 전위레벨을 비교한다.

그리고, 그 비교결과 의해서 PMOS 트랜지스터(703)의 온-오프를 제어하고, 외부 전원선(301)에서 공급되는 외부 전원전위를 강압한다.

여기에서 제1비교기(701) 및 PMOS 트랜지스터(703)는 반도체 장치의 액티브용 내부 전원전위 강하회로(VDC)를 구성한다.

제2비교기(705)는 기준전위 공급선(715)에서 공급되는 기준이 되는 전위의 레벨과 제2내부 전원선(719)의 전위레벨을 공급한다.

그리고, 그 비교결과에 의해서 PMOS 트랜지스터(707)의 온-오프를 제어 하고, 외부 전원선(301)에서 공급되는 외부 전원전위를 강압한다.

여기에서 제2비교기(705) 및 PMOS 트랜지스터(707)는 반도체 장치의 스탠바이용의 내부 전원전위 강하회로(VDC)를 구성한다.

제16도에서는 내부 전원전위 강하회로에 의해 외부 전원전위를 강압한 내부 전원전위를 사용하는 회로예로써 대전류를 액티브 기간에 소비하는 센스계 회로(711)와, 미소전류를 정상적으로 소비하는 1/2Vcc 발생회로(713)를 이용하고 있다.

여기에서 센스계 회로(711)는 도시하지 않은 메모리셀에서 비트선에 전달된 초기전하(電荷)를 이용하여, 미소하게 발생된 비트선 전위의 변화를 증폭하는 회로이다.

1/2Vcc 발생회로(713)는 반도체 장치의 스탠바이시에 비트선을 중간전위로 유지하기 위한 전위를 발생시키는 회로이다.

1/2Vcc 발생회로(713)는, 반도체 장치가 스탠바이시에 주로 동작하고, 미소한 전류를 항상 계속해서 소비하는 회로이다.

센스계 회로(711)에 접속된 제1내부 전원선(717)과 1/2Vcc 발생회로(713)에 접속되는 제2내부 전원선(719)과는 스위치(709)를 통해서 접속되어 있다.

스위치(709)는 PMOS 트랜지스터이고, 그 한쪽의 전극이 제1내부 전원선(717)에 접속되고, 다른쪽의 전극

이 제2내부 전원선(719)에 접속된다.

스위치(709)를 구성하는 PMOS 트랜지스터의 제어전극에는 반도체 장치의 활성화신호 ACT가 입력된다.

스위치(709)는 반도체 장치의 스탠바이시에 활성화 신호 ACT를 "L" 레벨로 하는 것으로 접속된다.

그리고 스탠바이시에는 제1비교기(707) 및 PMOS 트랜지스터(703)로 이루어 지는 액티브용의 내부 전원전위 강하회로는 비활성화된다.

따라서 센스계 회로(711) 및 1/2Vcc 발생회로(713)에는 제2비교기(705) 및 PMOS 트랜지스터(707)로 이루어지는 액티브용 내부 전원전위 강하회로에서 발생되는 내부 전원전위의 공급을 받게된다.

반도체 장치의 액티브시에는 스위치(709)는 오프상태로 하고, 제1내부 전원선(717)과 제2내부 전원선(719)은 분리되어 있다.

이 때문에 센스계 회로(711)에는 제1비교기 (701) 및 PMOS 트랜지스터로 이루어지는 액티브용 내부전원 전위 강하회로에서 발생되는 내부 전원전위의 공급을 받는다.

한편, 1/2Vcc 발생회로(713)는 제2비교기 (705) 및 PMOS 트랜지스터(707)로 이루어지는 스탠바이용 내부 전원전위 강하회로에서 발생되는 내부 전원전위의 공급을 받게 된다.

이상과 같이 본 발명의 제8실시예에 의한 반도체 장치에서는 반도체 장치의 액티브시에는 스위치(709)에 의한 제1내부 전원선(717)과 제2내부 전원선(717)이 분리되어 있다.

이 때문에 센스계 회로(711)의 동작에 따르는 노이즈가 1/2Vcc 발생회로(713)에 전파되는 가능성은 낮아진다.

또 본 실시예의 다른 적용예에 관해서 설명한다.

반도체 장치가 고속모드에 있을 때에는(센스계 회로(711)가 큰 노이즈를 발생할 때) 스위치(709)는 오프가 되고, 제1내부 전원선(717)과 제2내부 전원선(717)을 분리한다.

이 경우에, 센스계 회로(711)에는 제1비교기 (701) 및 PMOS 트랜지스터(703)로 이루어지는 고속 모드용의 내부전원 전위 강하회로에서 발생되는 내부 전원전위의 공급을 받는다.

1/2Vcc 발생회로(713)는 제2비교기(705) 및 PMOS 트랜지스터(707)로 이루어지는 통상 모드용 내부 전원전위 강하회로에서 발생되는 내부 전원전위를 공급 받는다.

반도체 장치가 통상모드에 있을 때는 (센스계 회로(711)에서 발생하는 노이즈가 작을 때), 스위치(709)는 온 상태가 되고, 제1내부 전원선(717)과 제2내부 전원선(719)은 접속된다.

이 경우에, 센스계 회로(711) 및 1/2Vcc 발생회로(713)에는 제1비교기(701) 및 PMOS 트랜지스터(703)로 이루어지는 내부전원 전위 강하회로에서 발생되는 내부전원 전위와 제2비교기(705) 및 PMOS 트랜지스터(707)로 이루어지는 내부전원 전위 강하회로에서 발생되는 내부전원 전위가 공급되게 된다.

이처럼 본 발명의 제8실시예에서는 센스계 회로(711)가 노이즈를 많이 발생하는 고속모드에 있을 때에 제1내부 전원선(717)과 제2내부 전원선(719)를 분리한다.

이 때문에 센스계 회로(711)에 기인하는 노이즈가 1/2Vcc 발생회로(713)에 전파될 가능성은 낮아진다.

제17도는 본 발명의 제8실시예에 의한 반도체 장치의 변형예를 나타내는 개략 블록도이다.

제17도에 나타낸 제8실시예에 의한 변형예는 제16도에 나타낸 제8실시예의 구성에 저항(721)을 더한 것이다.

따라서 제16도와 같은 부분에 대해서는 같은 참조부호를 붙이고, 그 설명을 생략한다.

반도체 장치는 동작 상태 또는 고속모드에 있을 때는 스위치(709)가 오프가 된다.

그러나 스위치(709)에 병렬로 저항(721)이 접속되어 있기 때문에 제1내부 전원선(717)과 제2내부 전원선(719)과는 완전하게는 분리되어 있지 않다.

이 경우에는 저항(721) 및 그 기생용량이 필터로써 작용한다.

이상과 같이 본 발명의 제8실시예에 의한 반도체 장치의 변형예에서는 센스계 회로(711)가 동작상태 또는 고속모드에 있을 때에 발생하는 노이즈는 1/2Vcc 발생회로(713)에 전파될 때에 필터로써 작용하는 저항(721) 및 그 기생용량에 의해 흡수된다.

이 때문에 1/2Vcc 발생회로(713)에 전파되는 노이즈는 작아진다.

제18도는 본 발명의 제8실시예에 의한 반도체 장치의 다른 변형예를 나타내는 개략 블록도이다.

제18도에 나타낸 제8실시예의 다른 변형예는 제17도에 나타낸 제8실시예의 변형예의 구성에 저항(729), 스위치(731), 제3비교기(723), PMOS 트랜지스터(725), 제3내부 전원선(733) 및 센스계 회로(727)를 더한 것이다.

따라서, 제17도와 같은 부분에는 같은 참조부호를 붙이고, 그 설명을 생략한다.

제3비교기 (723) 및 PMOS 트랜지스터(725)는 반도체 장치의 액티브용 내부 전원 전위 강하회로를 구성한다.

제2비교기 (723)는 기준전위 공급선(715)에서 공급된 기준전위의 레벨과 제3내부 전원선(733)의 전위레벨을 비교한다.

그리고, 그 비교결과에 의해서 PMOS 트랜지스터(725)의 온-오프를 제어하고, 외부 전원선(301)에서 공급되는 외부 전원전위를 강압해서 내부 전원전위를 발생한다.

스위치(731)는 스위치(709)와 마찬가지로 반도체 장치가 대기상태 또는 통상모드에 있을 때에 그 제어전극에 입력되는 반도체 장치의 활성화신호 ACT를 "L"레벨로 하면 온으로 된다.

또 이 경우에는 제3비교기(723) 및 PMOS 트랜지스터(725)로 이루어지는 액티브용 내부 전원전위 강하회로는 비활성화된다.

즉, 반도체 장치가 대기상태 또는 통상모드에 있을 때는 스위치(109) 및 스위치(731)가 온으로 되고, 제1내부 전원선(717)과 제2내부 전원선(719), 제2내부 전원선(719)과 제3내부 전원선(733)은 접속된다.

또 제1비교기 (701) 및 PMOS 트랜지스터(703)로 이루어지는 내부 전원전위 강하회로와 제3비교기 (723) 및 PMOS 트랜지스터(725)로 이루어지는 내부전원 전위 강하회로는 비활성상태에 있다.

이 때문에 센스계 회로(711), 센스계 회로(727) 및 1/2Vcc 발생회로(713)에는 제2비교기(705) 및 PMOS 트랜지스터(707)로 이루어지는 내부 전원전위 강하회로에서 발생되는 내부전원 전위의 공급을 받게된다.

또 센스계 회로(727)는 센스계 회로(711)와 같다.

반도체 장치가 동작 상태 또는 고속모드에 있을 때는 스위치(709) 및 스위치(731)가 오프로 된다.

그러나, 스위치(709) 및 스위치(731)에는 각각 병렬로 저항(721) 및 저항(729)이 접속되어 있기 때문에, 제1내부 전원선(717)과 제2내부 전원선(719), 제2내부 전원선(719)과 제3내부 전원선(733)은 완전히는 분리 되어 있지 않다.

따라서 저항(721) 및 그 기생용량과 저항(729) 및 그 기생용량이 필터로써 작용하게 된다.

이 때문에 반도체 장치가 동작상태 또는 고속모드에 있을 때에, 센스계 회로(711)에서 발생한 노이즈는 1/2Vcc 발생회로(713)에 전파될 때에 저항(721) 및 그 기생용량으로 이루어지는 필터에 흡수되게 된다.

또 센스계 회로(727)에서 발생한 노이즈는 1/2Vcc 발생회로(713)에 전파될때에 저항(729) 및 그 기생용량으로 이루어지는 필터에 흡수되게 된다.

이상과 같이 본 발명의 제8실시예의 다른 변형예에서는 반도체 장치가 동작상태 또는 고속모드에 있을 때에 스위치(709), (731)를 오프로 하는 것에 의해, 저항 (721), (729) 및 그 기생용량이 필터로써 작용하기 때문에, 1/2Vcc 발생회로(713)에 전파되는 노이즈는 작아진다.

또 반도체 장치가 대기상태 또는 통상모드에 있을 때는 스위치(709) 및 스위치(731)가 동시에 온으로 되기 때문에, 센스계 회로(711)와 센스계 회로(727)로 제2비교기(705) 및 PMOS 트랜지스터(707)로 이루어지는, 스탠바이용 또는 통상 모드용의 내부전원 전위 강하회로를 공유할 수가 있다.

이 때문에 센스계 회로(711) 및 센스계 회로(727)의 각각에 스탠바이용 또는 통상모드용의 내부전원 전위 강하회로가 설치되는 경우에 비해서, 반도체 장치의 스탠바이 기간 또는 통상모드 기간에서의 소비전류를 억제하는 것이 가능하게 된다.

또 저항(721) 및 저항(729)을 떼어내는 것에 의해서도 1/2Vcc 발생회로(713)가 받는 노이즈의 영향을 작게 할 수 있다.

또 반도체 장치가 대기상태 또는 통상모드에 있을 때는 센스계 회로(711) 및 센스계 회로(727)에서 스탠바이용 또는 통상모드용의 내부전원 전위 강하회로를 공유할 수 있고, 반도체 장치의 스탠바이 기간 또는 통상모드 기간에서의 소비전류를 억제하는 것이 가능해진다.

[실시예 9]

본 실시예는 DRAM의 메모리셀 어레이를 구동하는 경우에 대하여 가정 하고 있다.

제19도는 본 발명의 제9실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

제19도에 있어서, 본 발명의 제9실시예에 의한 반도체 장치(800)는 액티브용 내부전원 전위 강하회로(VDC)(801), (807), 스탠바이용 내부전원 전위 강하회로(VDC) (803), 1/2Vcc 발생회로(805), (809), 스위치(811), (815), (813), 센스계 회로(817), (819), (821), (823), 제1내부 전원선(825), 제2내부 전원선(827) 및 제3내부 전원선(829)을 포함한다.

센스계 회로(817), (819), (821), (823)는 제16도의 센스계 회로(711)와 같다.

액티브용 VDC(801), (807)는 제16도의 제1비교기 (701) 및 PMOS 트랜지스터(703)로 이루어지는 액티브용 내부전원 전위 강하회로와 같다.

스탠바이용 VDC(803)는 제16도에 나타낸 제2비교기(705) 및 PMOS 트랜지스터(707)로 이루어지는 스탠바이용 내부전원전위 강하회로와 같다.

1/2Vcc 발생회로(805), (809)는 제16도에 나타낸 1/2Vcc 발생회로(713)와 같다.

스위치(811), (815), (813)는 제16도에 나타낸 스위치(709)와 같다.

이 경우 스위치(811), (815), (813)의 양단에 병렬로 저항을 접속하는 것도 가능하다.

반도체 장치가 동작상태에 있을 때는 스위치(811), (815), (813)를 온으로 한다.

이것에 의해 제2내부 전원선(827)과 제1내부 전원선(825)이 분리된다.

또 제1내부 전원선(825)과 제3내부 전원선(829)은 분리된다.

이 때문에 센스계 회로(817), (819)에는 액티브용 VDC(801)에서 내부 전원전위가 공급된다.

센스계 회로(821), (823)에는 액티브용 VDC(807)에서 내부전원 전위가 공급된다.

센스계 회로(821), (823)에는 액티브용 VDC(807)에서 내부전원 전위가 공급된다.

반도체 장치가 스탠바이 상태에 있을 때는, 스위치(811), (815), (813)는 온으로 된다.

이것에 의해, 제1내부 전원선(825)과 제2내부 전원선(827)은 접속된다.

또 제1내부 전원선(825)과 제3내부 전원선(829)은 접속된다.

그리고 액티브용 VDC(801), (807)는 비활성화 상태로 되기 때문에 센스계 회로(817), (819), (821), (823) 및 1/2Vcc 발생회로(805), (809)에는 스탠바이용 VDC(803)로부터 내부전원 전위가 공급되게 된다.

또 반도체 장치가 동작상태에 있을 때는 스탠바이용 VDC(803)는 1/2Vcc 발생회로(805), (809)에 내부전원 전위를 공급한다.

이상과 같이 본 발명의 제9실시예에 의한 반도체 장치에서는, 반도체 장치가 동작상태에 있을 때에 스위치(811), (815), (813)를 오프로 한다.

이 때문에 반도체 장치의 동작시에 센스계 회로(817), (819), (821), (823)에서 발생되는 노이즈가 1/2Vcc(805), (809)에 전파될 가능성이 낮아진다.

또 반도체 장치의 스탠바이시에는 센스계 회로(817), 센스계 회로(819), 센스계 회로(821) 및 센스계 회로(823)에서 스탠바이용 VDC(803)를 공유할 수 있다.

이 때문에 센스계 회로(817), 센스계 회로(819), 센스계 회로(821) 및 센스계회로(823)의 각각에 스탠바이용 VDC가 설치되어 있는 경우에 비하여 스탠바이 기간에서의 소비전류를 억제하는 것이 가능하게 된다.

여기에서 스위치(815) 및 스위치(813)를 설치하지 않고, 제1내부 전원선(825)과 제3내부 전원선(829)을 접속해 놓은 것도 가능하다.

이 경우에도 제19도의 반도체 장치와 같은 효과을 얻는다.

또 제8실시예에서 설명한 바와 마찬가지로 해서 반도체 장치(800)의 상태가 고속모드 또는 통상모드에 있을 때에도, 본 실시예는 적용이 가능하다.

[실시예 10]

제20도는 본 발명의 제10실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

제20도에서 본 발명의 제10실시예에 의한 반도체 장치는 제19도에 나타낸 제9실시예에 의한 반도체 장치의 구성에 외부 리이드(1001), 내부 리이드(1003), 기준전위 발생회로(1013), 와이어(1005), (1007), (1009) 및 패드(1011)를 부가한 것이다.

따라서, 제19도와 같은 부분에 대해서는 같은 참조번호를 붙이고, 그 설명을 생략한다.

제20도에 있어서, 전원용 외부 리이드(1001)에서 와이어(1005) 및 패드(1011)을 통해서 액티브용 VDC(801)에 외부에서 전원전위를 공급한다.

제20도에서는 설명을 용이하게 하기 위해 다른 전원이나 제어신호에 관계되는 외부 리이드는 도시되지 않는다.

제20도를 참조해서 기준전위 발생회로(1013)등의 노이즈를 제거하는 아날로그적 동작을 행하는 회로로의 전원전위 공급을 센스계 회로(817), (819), (821), (823)등의 통상의 회로가 접속되는 액티브용 VDC(801)와 같은 전원선을 이용하면 센스계 회로(817), (819), (821), (823)등의 통상의 회로가 동작할 때의 노이즈가 기준전위 발생회로(1013) (노이즈를 제거하는 아날로그적 동작을 행하는 회로)에 전달되어 버리고, 기준전위 발생회로(1013)가 오동작을 일으켜 버릴 가능성이 있다.

예를 들면, 외부 리이드(1001)로부터 직접 와이어로 기준전위 발생회로(1013)에 전원전위를 공급하는 경우등이다.

그래서 본 실시예서는 외부 리이드(1001)와는 다른 내부 리이드(1003)를 이용하고, 기준전위 발생회로(1013)(아날로그적 동작을 행하는 회로)는 내부 리이드(1003)를 통해서 외부에서의 전원전위의 공급을 받도록 구성한다.

외부 리이드(1001)와 같은 통상의 리이드는 패키지의 외부에 나와서 외부와의 전압의 교환을 행하는 것이다.

그러나 내부 리이드(1003)는 패키지의 외부에는 나와 있지 않다.

내부 리이드(1003)는 본래의 금형중에서의 지지대의 절단부 단면이 패키지의 외부에 노출되어 있기는 해도, 신호나 전원전위를 내부에 전달시키기 위한 기능으로써 외부와 접속하는 부분을 가지고 있지 않는 것을 특징으로 한다.

외부 리이드(1001)와 내부 리이드(1003)는 와이어(1007)에 접속되어 있다.

내부 리이드(1003)는 기준전위 발생회로(1013)와 와이어(1009)에 접속되어 있다.

즉 전원전위는 외부 리이드(1001)에서 와이어(1007), 내부 리이드(1003) 및 와이어(1009)를 통해서 기준전위 발생회로(1013)에 전달되게 된다.

여기에서 센스계 회로(817), (819)의 동작에 따르는 노이즈는 액티브용 VDC(801), 패드(1011) 및 와이어

(1005)를 통해서 외부 리이드 (1001)까지 전달된다.

그리고, 이 노이즈는 기준전위 발생회로(1013)에 도달하기까지 두개의 와이어(1007), (1009)를 통해야 한다.

이 경우에 와이어(1007), (1009)에는 인덕턴스 성분(L 성분)과 용량성분(C 성분)이 기생하고, 이 인덕턴스 성분과 용량성분에 의해 필터로서 작용하여 노이즈는 그 부분에서 감쇠된다.

통상의 리이드인 외부 리이드(1001)에서 와이어(1005)를 통해서 내부회로에 액티브용 VDC(801)로 전원전위가 공급되고 있다.

본 실시예에서는 외부 리이드(1001)등의 통상의 리이드와는 다른 리이드 즉, 내부 리이드(1003)를 설치하고, 전원전위는 두개의 와이어(1007), (1009) 및 내부 리이드(1003)를 통해서 내부회로인 기준전위 발생회로(1013)에 공급되고 있다.

이상과 같이 본 발명의 제10실시예인 반도체 장치에서는 외부 리이드(1001)등의 통상의 리이드와는 다른 내부 리이드(1003)를 설치하고, 복수의 와이어(1007), (1009) 및 내부 리이드(1003)를 통해서 노이즈의 영향을 받기 쉬운 기준전위 발생회로(1013)에 전원전위가 공급된다.

이 때문에 센스회로(817), (819), (821), (823)의 동작에 따르는 노이즈는 외부 리이드(1001)에 도달한 후, 복수의 경로를 통해서 노이즈의 영향을 받는 기준전위 발생회로(1013)에 전달되게 되고, 그 사이에 노이즈는 감소한다.

또, 와이어(1007), (1009)가 필터로써 작용하고, 노이즈는 이것들에 의해서 노이즈의 영향을 받기 쉬운 기준전위 발생회로(1013)에 도달하기 전에 감쇠된다.

또 본 실시예는 제9실시예와 같은 효과를 얻는다.

또 본 실시예에서 외부에서 전원전위의 전달회로에 대하여 설명했지만, 본 실시예는 접지전위나 통상의 제어신호등에 대해서도 사용할 수 있다.

또 본 실시예에서는 두개의 와이어(1007), (1009)와 하나의 내부 리이드 (1003)에 의해 외부 리이드 (1001)에서 전원전위를 공급하지만 이것보다 많은 내부 프레임 또는 와이어를 통해서 기준전위 발생회로 등의 노이즈의 영향을 받기 쉬운 내부회로에 전원전위를 전달해도 된다.

또 내부 리이드(1003)에 대신하여 패키지용 배선을 사용할 수도 있다.

[실시예 11]

제21도는 본 발명의 제11실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

제21도에서, 본 발명의 제11실시예에 의한 반도체 장치는 제19도의 제9실시예에 의한 반도체 장치의 구성에 내부 리이드(901) 및 와이어(903), (905), (907)를 추가한 것이다.

따라서, 제19도와 같은 부분에 대해서는 같은 참조부호를 붙이고, 그 설명을 생략한다.

제21도에서는 외부에서의 신호를 입력하는 리이드는 도시하지 않는다.

일반적으로 내부전원 전위 강하회로(VDC)등의 내부전위 발생회로에서 발생된 내부전원 전위는 알루미늄 배선을 통해서 반도체 장치 내부의 회로에 전달된다.

그러나 이 알미늄 배선만으로 전달을 행하는 경우에는 저항이 커지고, 내부 전원전위의 공급원에서 떨어진 단부측에서는 전원 임피던스가 높아지고, 내부 전원 전위를 받는 회로의 정상적인 동작을 기대할 수 없게 되는 경우가 있다.

그래서 본 실시예서는 제21도에 나타낸 바와 같이, 액티브용 VDC(801)에서 발생된 내부전원 전위를 와이어(903)를 통해서 내부 리이드 (901)에 전달한다.

그리고, 내부 리이드(901)에서 와이어(907), (905)에 의해 센스계 회로(817)에 전원전위를 공급한다.

또 내부 리이드(901)는 제20도에 나타낸 내부 리이드(1003)와 마찬가지이다.

또 내부 리이드(901)는 알루미늄 배선보다 굵고 저항은 적게 되어 있다.

이상과 같이, 본 발명의 제11실시예에서는 알루미늄 배선보다 저항이 적은 내부 리이드(901)를 통해서 내부전원 전위를 센스계 회로(817)에 공급하고 있다.

이 때문에, 내부전원 전위가 발생하는 액티브용 VDC(801)에서 떨어진 회로에 내부전원 전위를 공급하는 경우에도 그 전위강하는 작아지고 내부전원 전위의 공급을 받은 회로를 정상적으로 동작시킬 수 있다.

또 본 실시예는 제9실시예와 같은 효과를 얻는다.

제22도는 본 발명의 제11실시예에 의한 반도체 장치의 변형예를 나타내는 개략 블록도이다.

제22도에서 제21도와 다른 점은 액티브용 VDC(801)와 내부 리이드(901)와의 접속 수단 및 센스계 회로(817)와 내부 리이드(901)와의 접속수단이다.

즉, 제21도에서 액티브용 VDC(801)와 내부 리이드(901)는 와이어(903)에 의해 접속되어 있는 것에 대해, 제22도에서는 인터커넥터(909)로 접속되어 있다.

또 제21도에서 내부 리이드(901)와 센스계 회로(817)는 와이어(905), (907)에서 접속되어 있는 것에 대해서, 제22도에서는 인터커넥터(911), (913)에 의해 접속되어 있다.

따라서, 제21도와 같은 부분에 대해서는 같은 참조부호를 붙이고, 그 설명을 생략한다.

액티브용 VDC(801)에서 발생한 내부전원 전위는 인터커넥터(909)를 통해서 내부 리이드(901)에 전달된다.

또 내부 리이드(901)에 전달된 내부전원 전위는 인터커넥터(911), (913)를 통해서 센스계 회로(817)에 전달된다.

여기에서 도시하지 않은 내부 리이드(901)는 칩위의 패드와 범프에 의해 접속되어 있다.

또, 범프는 땜납 등의 도전재료이다.

인터커넥터(909), (911), (913)는 상층과 하층을 접속하는 수단이고, 알루미늄 재료를 사용하고 있다.

이상과 같이, 본 발명의 제11실시예의 변경예에서는 알루미늄 배선보다 저항이 작은 내부 리이드(901)를 통해서 액티브용 VDC(801)에서 발생되는 내부전원 전위를 센스계 회로(817)의 단부에 공급하고 있다.

이 때문에 액티브용 VDC(801)에서 떨어진 센스계 회로(817)의 단부에서도, 내부전원 전위의 전위강하를 작게 할 수 있고, 센스계 회로(817)의 오동작을 방지할 수 있다.

또 본 실시예는 제9실시예와 같은 효과를 얻는다.

또 액티브용 VDC(801)과 내부 리이드(901)와의 접속 및 센스계 회로(817)와 내부 리이드(901)의 접속에는 인터커넥터(909), (911), (913)을 이용했지만, 범프에 의해 접속할 수도 있다.

제23도는 제11실시예에 의한 반도체 장치의 다른 변형예를 나타내는 개략 블록도이다.

제23도에서 제11실시예의 다른 변형예는 제19도에 나타낸 제9실시예의 구성에, 내부 리이드 (901), (919), (921), 알루미늄 배선(923), 내부회로(917), 인터커넥터(909), (913), (911), (925), (927), (929) 및 범프(915)를 추가한 것이다.

따라서 제19도와 같은 부분에 대해서는 같은 참조부호를 붙이고, 그의 설명을 생략한다.

내부 리이드(901)는 칩위의 패드와 범프(915)를 사용해서 접속되어 있다.

범프(915)는 땜납 등의 도전재료이다.

또 다른 내부 리이드(919), (921)가 도시되어 있지 않지만 칩위의 패드와 범프에 의해 접속된다.

액티브용 VDC(801)와 내부 리이드(901)는 인터커넥터(909)에 의해 접속된다. 내부 리이드(901)와 센스계 회로(817)는 인터커넥터(911), (913)에 의해 접속된다. 내부 리이드 (901)와 알루미늄 배선(923)은 인터커넥터(925)에 의해 접속된다.

알루미늄 배선(923)과 내부 리이드(919)는 인터커넥터(927)에 의해 접속된다. 내부 리이드(919)와 내부회로(917)는 인터커넥터(929)에 의해 접속된다. 또 내부 리이드(901), 내부 리이드(919) 및 내부 리이드(921)는 같은 층에 설치되어 있고, 내부 리이드(921)와 내부 리이드(901), (919)의 접촉을 피하기 위해 내부 리이드(901)와 내부 리이드(919)는 이들과 다른층에 설치된 알루미늄 배선(923)을 통해서 접속된다.

액티브용 VDC(801)에서 발생된 내부전원 전위는 인터커넥터(909)를 통해서 내부 리이드(901)에 전달된다.

또 내부전원 전위는 인터커넥터(911), (913)을 통해서 센스계 회로(817)에 공급된다.

또 내부전원 전위는 인터커넥터(925), 알루미늄 배선(923) 및 인터커넥터(927)를 통해서 내부 리이드(919)에 전달된다.

그리고 내부전원 전위는 내부 리이드(919)에서 인터커넥터(929)를 통해서 내부회로(917)에 공급된다.

여기에서 내부 리이드(901), (919), (921)는 제20도에 나타난 내부 리이드(1003)와 같은 것이다.

인터커넥터(909), (911), (913), (925), (927), (929)는 상층과 하층을 접속하는 수단이고, 제22도에 나타낸 인터커넥터(909), (911), (913)와 마찬가지이다. 이상과 같이, 제11실시예의 다른 변형예에서는 알루미늄 배선보다 저항이 작은 내부 리이드(901), (919)를 이용해서 액티브용 VDC(801)에서 발생되는 내부전원 전위를 센스계 회로(817) 및 내부회로(917)에 공급한다.

이 때문에 내부전원 전위의 공급원인 액티브용 VDC(801)에서 떨어진 센스계회로(817)의 단부나 내부회로(917)에 내부전원 전위를 공급하는 경우에도 전위강하는 작고 센스계 회로(817)나 내부회로(917)의 오동작을 방지할 수 있다.

또 본 실시예는 제9실시예와 같은 효과를 얻는다.

또 내부 리이드(901), (919), (921)에 대신하여 패키지용의 배선을 사용할 수 도 있다.

인터커넥터 (909), (913), (911), (925), (927), (929)의 대신에 범프를 사용할 수도 있다.

[실시예 12]

제24도는 본 발명의 제12실시예에 의한 반도체 장치를 나타내는 개략 블록도이다.

제24도에서 제12실시예에 의한 반도체 장치는 제19도에 나타낸 제9실시예에 의한 반도체 장치의 구성에 외부 리이드(1001), (1101), 내부 리이드(1103), (1105), 1/2Vcc 발생회로(1107), 기준전위 발생회로(1013), (1109), 필터(1111), 와이어 (1005), (1007), (1009), (1113), (1117), (1115), (1119) 및 패드(1011)를 추가한 것이다.

따라서, 제19도와 같은 부분에 대해서는 같은 참조부호를 붙이고, 그의 설명을 생략한다.

외부 리이드(1001)는 제20도의 외부 리이드(1001)와 같다.

내부 리이드(1103), (1105)는 제20도의 내부 리이드(1003)과 같다.

기준전위 발생회로(1107)는 1/2Vcc 발생회로(805), (809)와 같다.

외부 리이드(1101)는 외부 리이드(1001)에 주어지는 외부전원 전위와 틀린 다른 제어신호 등을 전달하기 위한 것이다.

외부 리이드(1001)와 액티브용 VDC(801)는 와이어(1005) 및 패드(1011)를 통해서 접속된다.

내부 리이드(1103)와 외부 리이드(1001)는 와이어(1007)에 의해 접속된다.

내부 리이드(1103)와 기준전위 발생회로(1013)는 와이어(1009) 및 패드(1011)를 통해서 접속된다.

내부 리이드(1103)와 필터(1111)는 와이어(1113) 및 패드(1011)를 통해서 접속된다. 필터(1111)와 내부 리이드(1105)는 와이어(1117) 및 패드(1011)를 통해서 접속된다.

내부 리이드(1105)와 기준전위 발생회로(1109)는 와이어(1119) 및 패드(1011)를 통해서 접속된다. 내부 리이드(1103)와 1/2Vcc 발생회로(1107)는 와이어(1115) 및 패드 (1011)를 통해서 접속된다.

외부 리이드(1001)로부터 와이어(1007)를 통해서 외부전원 전위의 공급을 받은 내부 리이드(1103)가 기준전위 발생회로(1013)나 1/2Vcc 발생회로(1107)등의 원하는 회로에 대해서 전위공급을 하기 위해서는 외부 리이드(1101)를 타고 넘어서 통과할 필요가 생긴다.

즉, 외부 리이드(1001)와 같은 층에 설치되는 외부 리이드(1101)와 내부 리이드(1103)가 겹치도록 설치되게 된다.

이 경우에 외부 리이드(1101)와 내부 리이드(1103)가 겹친 부분에서 접촉하여 오동작을 일으키지 않기 위해 내부 리이드(1103)과 외부 리이드(1101)와의 사이에 절연성 필름을 삽입한다.

또한, 외부 리이드(1101)와 내부 리이드(1103)과의 사이에 공간을 마련해서 그 공간에 절연성 수지 등을 충전(充塡)하거나 해서 접촉하지 않도록 한다. 이처럼 본 실시예에서는 외부 리이드(1101)와 내부 리이드(1103)는 절연선의 필름등을 통해서 다른 층에 설치된다.

또 내부 리이드(1103)는 a의 부분을 기준으로 해서 복수의 부분 b, c, d에 분기되어 있다.

또 내부 리이드(1103)는 프레임 모양으로 형성되어 있다. 즉, 내부 리이드(1103)는 그물코 모양으로 형성된다.

외부 리이드(1001)에 공급되는 외부전원 전위는 와이어(1007)를 통해서 프레임(1103)에 전달된다.

그리고 전원전위는 와이어(1009) 및 패드(1011)를 통해서 내부 프레임(1103)에서 기준전위 발생회로(1013)에 공급된다.

전원전위는 또 내부 리이드(1103)에서 1/2 Vcc 발생회로(1107)에, 와이어 (1115) 및 패드(1011)를 통해서 공급된다.

전원전위는 내부 리이드(1103)에서 와이어(1113), 필터(1111), 패드(1011) 및 와이어(1117)를 통해서 내부 리이드(1105)에 공급된다.

그리고, 전원전위 내부 리이드(1105)에서 기준전위 발생회로(1109)에, 와이어(1119) 및 패드(1011)를 통해서 공급된다.

또 내부 리이드(1105)는 외부 리이드(1101)와 같은 층에 설치해도 되고, 내부 리이드(1103)와 같은 층에 설치해도 된다.

이상과 같이 본 발명의 제12실시예에 의한 반도체 장치에서는, 외부 리이드(1101)와 내부 리이드(1103)가 다른층에 설치되어 있다.

이 때문에 외부 리이드(1101) 또는 내부 리이드(1103)의 형상의 자유도가 커진다.

또 제24도에서는 외부 리이드(1101)를 하층에, 내부 리이드(1103)를 상층에 설치하고 있지만 이 상하 관계는 반대로 해도 된다.

또 외부에서의 신호를 입력하는 외부 리이드(1101)끼리도 상층에 있든 하층에 있든 상관없다.

이처럼 상층 및 하층을 불문하고, 외부 리이드(1101)끼리를 불규칙하게 설치하는 것에 의해서도 외부 리이드(1101) 및 내부 리이드(1103)의 형상의 자유도가 더욱 향상되게 된다.

또, 본 발명의 제12도의 실시예에서는, 알루미늄 배선보다 저항이 큰 내부 리이드(1103), (1105)를 통해서, 기준전위 발생회로(1013), (1109) 및 1/2 Vcc 발생회로(1107)에 전원전위를 공급하고 있다.

그 때문에 전원전위의 공급원인 외부 리이드(1001)에서 기준전위 발생회로(1013), (1109) 및 1/2 Vcc 발생회로(1107)가 떨어져 있어도, 그것들에 도달하기까지의 전위강하는 작고, 기준전위 발생회로(1013), (1109) 및 1/2 Vcc발생회로(1107)가 오동작을 일으키는 것을 방지할 수 있다.

또, 본 발명의 제12실시예에서는 외부 리이드(1001)로부터 기준전위 발생회로(1013)에 전원전위가 공급되는 사이에 와이어(1007), 내부 리이드(1103) 및 와이어(1109)를 통과하고 있다.

이 때문에 센스계 회로(817), (819)의 동작에 따른 노이즈는 그들의 복수의 경로를 통과하는 사이에 감소한다.

또 와이어 (1007), (1009)는 인덕턴스 성분과 용량성분으로 이루어지는 필터로써 작용하기 때문에, 와이어(1007), (1009)에 의해서도 기준전위 발생회로(1013)에 전파되는 노이즈는 감소된다.

이것은 1/2 Vcc 발생회로(1107) 및 기준전위 발생회로(1109)에 전파하는 노이즈에 관해서도 같다고 할 수 있다.

기준전위 발생회로(1109)에 외부 리이드(1001)에서 전원전위가 공급될 때에는 또 필터(1111)를 통과하고 있다.

이 때문에 필터(1111)가 노이즈를 흡수하고, 기준전위 발생회로(1109)에 전파되는 노이즈는 더 작아진다.

또 본 실시예에서는 제9실시예와 같은 효과가 얻어진다.

제25도는 본 발명의 제12실시예에 의한 반도체 장치의 변형예를 나타내는 개략 블록도이다.

제25도에 있어서, 제12실시예의 변형예는 제19도에 나타낸 제9실시예에 의한 반도체 장치의 구성에, 외부 리이드(1001), (1211), (1213), (1233), 제1내부 리이드(1215), 제2내부 리이드(1217), 와이어(1005), (1219), (1229), (1223), (1221), (1231), (1227), (1225) 및 패드(1011)를 추가한 것이다.

따라서 제19도와 같은 부분에 대해서는 같은 참조부호를 붙이고 그 설명을 생략한다.

제1내부 리이드(1215) 및 제2내부 리이드(1217)는 제20도의 내부 리이드(1003)와 같다.

외부 리이드(1001), (1233)는 제20도의 외부 리이드(1001)와 같다.

외부 리이드(1211), (1213)는 제24도의 외부 리이드(1101)와 마찬가지이다.

액티브용 VDC(801)와 외부 리이드(1001)는 와이어(1005) 및 패드(1011)를 통해서 접속된다.

액티브용 VDC(801)와 제1내부 리이드(1215)는 패드(1011) 및 와이어(1219)를 통해서 접속된다.

제1내부 리이드(1215)와 센스계 회로(817)는 와이어(1233) 및 패드(1011)를 통해서 접속된다.

복수의 외부 리이드(1211)의 각각은 칩위의 복수의 패드(1011)의 각각과 와이어(1229)에 의해 접속된다.

외부 리이드(1233)와 액티브용 VDC(807)는 와이어(1255) 및 패드(1011)에 의해서 접속된다.

액티브용 VDC(807)와 제2내부 리이드(1217)는 와이어(1277) 및 패드(1011)를 통해서 접속된다.

제2내부 리이드(1217)와 센스계 회로(821)는 와이어(1221) 및 패드(1011)를 통해서 접속된다.

복수의 외부 리이드(1213)의 각각은 칩위에 설치된 복수의 패드(1011)의 각각과 와이어(1231)를 통해서 접속된다.

외부 리이드(1211)와 제1내부 리이드(1215)는 제24도에 설명한 바와 같이 다른 층에 설치된다.

여기에서는 외부 리이드(1001), (1211)는 제1층(하층)에 설치되고, 제1내부 리이드(1215)는 제2층(상층)에 설치되어 있다.

외부 리이드(1213), (1233) 및 제2내부 리이드(1217)는 제1층에 설치되어 있다.

이 때문에 복수의 외부 리이드(1213)의 각각과 칩위의 복수의 패드(1011)를 접속하는 와이어(1231)는 제2내부 리이드(1217)를 넘고 있다.

액티브용 VDC(801)에서 발생한 내부전원 전위는 와이어(1219) 및 제1내부 리이드(1215)를 통해서 센스계 회로(817)에 공급된다.

액티브용 VDC(807)에서 발생한 내부전원 전위는 와이어(1227), 제2내부 리이드(1217) 및 와이어(1221)를 통해서 센스계 회로(821)에 공급되어 있다.

이상과 같이 제12실시예의 변경예에서는, 복수의 외부 리이드(1211)와 제1내부 리이드(1215)를 다른층에 설치하고 있다.

또, 센스계 회로(817) 및 센스계 회로(821)는 각각 제1내부 리이드(1215) 및 제2내부 리이드(1217)를 통해서 내부전원 전위의 공급을 받는다.

이 때문에 제12실시예의 변경예에서도 제12실시예와 같은 효과를 얻게 된다.

제26도는 제12실시예에 의한 반도체 장치의 다른 변형예를 나타내는 개략 블록도이다.

제26도의 제12실시예의 다른 변형예는, 제25도에 나타낸 제12실시예의 변형예의 구성에 와이어(1237) 및 패드(1239)를 설치한 것이다.

또 제25도의 제1내부 리이드(1215)에 대신하여, 제1내부 리이드(1235)를 설치하고 있다.

따라서, 제25도와 같은 부분에 대해서는 같은 참조부호를 붙이고, 그 설명을 생략한다.

제1내부 리이드(1235)는 프레임 모양으로 형성되어 있다.

또, 제25도와 마찬가지로 복수의 외부 리이드(1211)와 제1내부 리이드(1235)는 다른 층에 설치되어 있다.

외부 리이드(1211)의 틈사이에, 또한 칩위에 설치된 패드(1039)와 제1내부 리이드(1235)는 와이어(1237)에 의해 접속된다.

이상과 같이 본 발명의 제12실시예의 변형예에서는, 2차원적으로 넓혀지는 제1내부 리이드(1235)의 각면에 임의로 와이어를 설치할 수 있다.

그 때문에, 칩위에 임의로 설치된 패드와의 접속이 가능해지고, 칩위의 임의의 점에 내부전원 전위의 공

급이 가능해진다.

그 외의 효과는 제25도에 나타낸 제12실시예의 변형예와 같다.

[실시예 13]

제 27도는 본 발명의 제13실시예에 의한 필터의 구성을 상세하게 나타 낸 회로도이다.

제27도에서, 제13실시예에 의한 필터는 복수의 제1퓨즈(1411), 복수의 저항(1413), 복수의 제2퓨즈(1415) 및 복수의 커패시터(1417)를 포함한다.

또 제27도의 필터는 로우패스 필터를 구성하고 있다.

복수의 저항(1413)은 직렬로 접속되어 있다.

복수의 저항(1413)의 각각에 병렬로 제1퓨즈(1411)가 접속되어 있다.

복수의 제2퓨즈(1415)의 각각과 복수의 커패시터(1417)의 각각은 노드 N과 접지와의 사이에 직렬로 접속된다.

노드 N은 직렬로 접속된 복수의 저항(1413)의 일단에 접속된다.

제1퓨즈(1411)로써 폴리실리콘 등을 사용한다.

따라서 복수의 저항(1413)의 각각은 폴리실리콘 등으로 이루어지는 복수의 제1퓨즈(1411)의 각각에 접속되어 있기 때문에, 복수의 저항(1413)의 각각은 저항으로써 작용하지 않게되어 있다.

폴리실리콘 등으로 이루어지는 제1퓨즈(1411)를 레이저 등에 의해 용단(녹여 자름) 한다.

이 용단된 제1퓨즈(1411)에 대응하는 저항(1413)은 저항으로써 작용하게 된다.

즉, 필터의 전 저항치는 용단하는 제1퓨즈(1411)의 수로 조절할 수가 있다.

복수의 커패시터(1417)의 각각은 복수의 제2퓨즈(1415)의 각각을 통해서 노드 N에 접속되고, 이 경우에는 복수의 커패시터(1417)의 각각은 용량으로써 작용하고 있다.

여기에서 복수의 제2퓨즈(1415)는 제1퓨즈(1411)와 마찬가지로 폴리실리콘 등으로 구성된다.

레이저등에 의해 폴리실리콘등으로 이루어지는 제2퓨즈(1415)를 용단한다.

이 경우에는 용단된 제2퓨즈(1415)에 대응하는 커패시터(1417)는 노드 N과 분리된 상태가 된다.

즉 그 분리된 커패시터(1417)는 용량으로써 작용하지 않게 된다.

이것에 의해 필터의 전 용량치는 용단하는 제2퓨즈의 수로 조절할 수가 있다.

이상과 같이 본 발명의 제13실시예에 의한 필터에서는 복수의 저항(1413)의 각각에 병렬로 복수의 제1퓨즈(1411)의 각각이 접속되고, 복수의 커패시터(1417)의 각각에 직렬로 복수의 제2퓨즈(1415)의 각각이 접속된다.

이 때문에 제1퓨즈(1411) 또는 제2퓨즈(1415)를 용단하는 수로 필터 전체의 저항치 및 용량치를 조절할 수가 있다.

이 제13실시예에 의한 필터는 제3도, 제7도, 제9도, 제11도, 제15도 및 제24도에 기재된 로우패스 필터 또는 필터로서 사용할 수 있다.

또 반도체 장치의 패키지 프레임(리이드)에서 반도체 장치의 내부회로의 소정의 전압 또는 소정의 신호를 받는 노드에 이르는 경로에 있어서, 제1~제13실시예를 임의로 편성하여 사용할 수가 있다.

이 경우에는 각 실시예의 상승적(相乘的)인 효과가 얻어진다.

(57) 청구의 범위

청구항 1

반도체 기판위에 형성되어, 노이즈의 원인이 되는 제1내부회로(21)와, 상기 반도체 기판성에 형성되어 상기 노이즈의 영향을 받는 제2내부회로(23)와, 제1전원전위를 공급하는 제1전원전위 공급선(101)과, 상기 제1전원전위 공급선(101)에 일단이 접속되어, 상기 제1내부회로(21)에 상기 제1전원전위를 공급하는 제2전원전위 공급선(103)과, 상기 제1전원전위 공급선(101)에 일단이 접속되어, 상기 제2내부회로(23)에 상기 제1전원전위를 공급하는 제3전원전위 공급선(105)과, 상기 제3전원전위 공급선(105)에 설치되어, 상기 노이즈를 감소 시키는 제1필터(107)를 구비하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 제1전원전위 다른 제2전원전위를 공급하는 제4전원전위 공급선(109)과, 상기 제4전원전위 공급선(109)에 일단이 접속되어, 상기 제1내부회로(21)에 상기 제2전원전위를 공급하는 제5전원전위 공급선(111)과, 상기 제4전원전위 공급선(109)에 일단이 접속되어, 상기 제2내부회로(23)에 상기 제2전원전위를 공급하는 제6전원전위 공급선(113)과, 상기 제6전원전위 공급선(113)에 설치되어, 상기 노이즈를 감소 시키는 제2필터(114)를 더 구비하는 반도체 장치.

청구항 3

제1항에 있어서, 상기 제2내부회로(211)가 형성되는 영역의 상기 반도체 기판의 전위를 고정하기 위해,

상기 제2내부회로(211)가 형성된 영역의 상기 반도체 기판상에 형성되는 전위 고정층(215)과, 상기 제3전원전위 공급선(221)에 일단이 접속되어, 상기 전위 고정층(215)에 상기 제1전원전위를 공급하는 제4전원전위 공급선(223)을 더 구비하고, 상기 제4전원전위 공급선(223)은 상기 제1필터(107)를 통해서 상기 전위고정층(215)에 상기 제1전원전위가 공급되도록, 상기 제3전원전위 공급선(221)에 접속되는 반도체 장치.

청구항 4

제1항에 있어서, 상기 제2내부회로(211)가 형성된 영역의 상기 반도체 기판의 전위를 고정하기 위해, 상기 제2내부회로(211)가 형성된 영역의 상기 반도체 기판상에 형성된 전위 고정층(215)과, 상기 제1전원전위 공급선(221)에 일단이 접속되어, 상기 제1전원전위를 상기 전위 고정층에 공급하는 제4전원전위 공급선(225)과, 상기 제4전원전위 공급선(225)에 설치되어, 상기 노이즈를 감소 시키는 제3필터(227)를 더 구비한 반도체 장치.

청구항 5

제1항에 있어서, 상기 제1필터(107)는, 저항으로써 작용하는 저항소자와, 용량으로서 작용하는 용량소자를 포함하는 반도체 장치.

청구항 6

제5항에 있어서, 상기 저항소자는 직렬로 복수의 저항부재(1413)를 포함하고, 상기 용량소자는 병렬로 접속된 복수의 커패시터(1417)을 포함하며, 상기 제1필터(107)는, 상기 복수의 저항부재(1413)의 각각에 병렬로 접속된 복수의 제1퓨즈소자(1411)와 , 상기 복수의 커패시터(1417)의 각각에 직렬로 접속된 복수의 제2퓨즈소자(1415)를 구비하며, 상기 제1퓨즈소자(1411)가 절단되었을 때, 그에 대응하는 상기 저항부재(1413)가 저항으로써 작용하고, 상기 제2퓨즈소자(1415)가 절단되었을 때, 그에 대응하는 상기 커패시터(1417)가 용량으로써 작용하지 않는 반도체 장치.

청구항 7

상기 제3필터(227)는, 저항으로서 작용하는 저항소자와, 용량으로써 작용하는 용량소자를 포함하는 반도체 장치.

청구항 8

제7항에 있어서, 상기 저항소자는 직렬로 접속된 복수의 저항부재(1413)를 포함하고, 상기 용량소자는 병렬로 접속된 복수의 커패시터(1417)를 포함하며, 상기 제3필터는, 상기 복수의 저항부재(1413)의 각각에 병렬로 접속된 복수의 제1퓨즈소자(1411)와, 상기 복수의 커패시터(1417)의 각각에 직렬로 복수의 제2퓨즈소자(1415)를 구비하고, 상기 제1퓨즈소자(1411)가 절단되었을 때, 그에 대응하는 상기 저항부재(1413)가 저항으로써 작용하며, 상기 제2퓨즈소자(1415)가 절단되었을 때, 그에 대응하는 상기 커패시터(1417)가 용량으로써 작용하지 않는 반도체 장치.

청구항 9

노이즈의 원인이 되는 제1내부회로(305)와, 상기 노이즈의 영향을 받는 제2내부 회로(307)와, 내부전위를 발생하는 내부전위 발생수단(303)과, 상기 내부전위를 공급하는 제1내부전위 공급선(311)과, 상기 제1내부전위 공급선(311)에 일단이 접속되어, 상기 제1내부회로(305)에 상기 내부전위를 공급하는 제2내부전위 공급선(313)과, 상기 제1내부전위 공급선(311)에 일단이 접속되어, 상기 제2내부회로(307)에 상기 내부전위를 공급하는 제3내부전위 공급선(315)과, 상기 제3내부전위 공급선(315)에 설치되어, 상기 노이즈를 감소 시키는 필터(107)를 구비하는 반도체 장치.

청구항 10

노이즈의 원인이 되는 제1내부회로(21)와, 상기 노이즈의 영향을 받는 제2내부회로(23)와, 상기 제1내부회로(21)에 공급하는 제1내부전위가 발생하는 제1내부전위 발생수단(401, 415)와, 상기 제2내부회로(23)에 공급하는 제2내부전위를 발생하는 제2내부전위 발생수단(417)과, 상기 제1내부전위 발생수단(401, 415) 및 상기 제2내부전위 발생수단(417)에 전원전위를 공급하는 전원전위 공급선(301)과, 상기 제1내부회로(21)에 상기 제1내부전위를 공급하는 제1내부 전위 공급선(409, 411, 413)과 , 상기 제2내부회로(23)에 상기 제2내부전위를 공급하는 제2내부전위 공급선(419)를 구비한 반도체 장치.

청구항 11

제10항에 있어서, 상기 제1내부전위 발생수단(401, 415)은, 상기 반도체 장치의 상태가 동작상태에 있을 때에, 제3내부전위를 발생하는 제3내부전위 발생수단(401)과, 상기 반도체 장치의 상태가 대기상태에 있을 때에, 제4내부전위를 발생하는 제4의 내부전위 발생수단(415)을 포함하며, 상기 반도체 장치의 상태가 동작상태에 있을 때에, 상기 제3내부전위를 상기 제1내부전위로 하고, 상기 반도체 장치의 상태가 대기상태에 있을 때, 상기 제4내부전위를 상기 제1내부전위로 하고, 상기 제1내부전위 공급선(409, 411, 413)은, 상기 제3내부전위를 공급하는 제3내부전위 공급선(409)과, 상기제4내부전위를 공급하는 제4의 내부전위 공급선(411)과, 상기 제3내부전위 및 제4내부전위를 공급하는 제5내부전위 공급선(413)을 포함하며, 상기 제3내부전위 공급선(409), 상기 제4내부전위 공급선(411) 및 상기 제5내부전위 공급선(413) 각각의 한끝은 공통으로 접속되고, 상기 제5내부전위 공급선(413)의 다른 끝은 상기 제1내부회로(21)에 접속되며, 상기 제2내부전위발생수단(417)은 상기 반도체 장치가 대기상태에 있을 때 상기 제2내부회로(23)에 상기 제2내부전위를 공급하는 반도체 장치.

청구항 12

반도체 장치로써, 노이즈의 원인이 되는 제1내부회로(21)와, 상기 노이즈의 영향을 받는 제2내부회로(2

3)와, 상기 제1내부회로(21)에 공급하는 제1내부전위를 발생하는 제1내부전위 발생수단(401)과, 상기 제1내부전위를 상기 제1내부회로(21)에 공급하는 제1내부 전위공급선(505)과, 상기 제2내부회로(23), 또는 상기 제1내부회로(21) 및 상기 제2내부회로(23)에 선택적으로 공급하는 제2내부전위를 발생하는 제2내부전위 발생수단(501)과, 상기 제2내부전위를 상기 제2내부회로(23) 또는 상기 제1내부회로(21) 및 상기 제2내부회로(23)에 선택적으로 공급하는 제2내부전위 공급선(507)과, 상기 반도체 장치의 상태에 따라서 상기 제1내부회로(21)와, 상기 제1내부전위 공급선(505) 또는 상기 제2내부전위 공급선(507)과의 접속을 제어하는 접속제어수단(503)을 구비하는 반도체 장치.

청구항 13

제12항에 있어서, 상기 접속제어수단(503)은, 상기 반도체 장치의 상태가 동작상태에 있을 때에, 상기 제1내부회로(21)와 상기 제2내부전위 공급선(507)을 분리함과 동시에, 상기 제1내부회로(21)와 상기 제1내부전위 공급선(505)을 접속하고, 상기 반도체 장치의 상태가 대기상태에 있을 때에, 상기 제1내부회로(21)와 상기 제1내부전위 공급선(505)을 분리함과 동시에 상기 제1내부회로(21)와 상기 제2내부전위 공급선(507)을 접속하는 반도체 장치.

청구항 14

반도체 장치에 있어서, 노이즈의 원인이 되는 제1내부회로(21)와, 상기 노이즈의 영향을 받는 제2내부회로(23)와, 상기 반도체 장치의 상태가 동작상태에 있을 때에, 상기 제1내부회로(21) 및 상기 제2내부회로(23)에 공급하는 제1내부전위를 발생하는 제1내부전위 발생수단(401)과, 상기 반도체 장치의 상태가 대기상태에 있을 때에, 상기 제1내부회로(21) 및 상기 제2내부회로(23)에 공급되는, 제2내부전위를 발생하는 제2내부전위 발생수단(501)과, 상기 제1내부전위를 공급하는 제1내부전위 공급선(601)과, 상기 제2내부전위를 공급하는 제2내부전위 공급선(603)과, 상기 제1내부전위 공급선(601) 및 상기 제2내부전위 공급선(603)과의 사이에 접속되는 제3내부전위 공급선(605)과, 상기 제3내부전위 공급선(605)에 설치되고, 상기 노이즈를 감소시키는 필터(107)를 구비하고, 상기 제3내부전위 공급선(605)은, 상기 제1내부전위 및 상기 제2내부전위중의 하나의 전위를 공급하는 반도체 장치.

청구항 15

제1노이즈의 원인이 되는 제1내부회로(711)와, 상기 제1노이즈의 영향을 받는 제2내부회로(713)와, 상기 제1내부회로(711)에 공급하는 제1내부전위가 발생하는 제1내부전위 발생수단(703)과, 상기 제2내부회로(713)에 공급하는 제2내부전위를 발생하는 제2내부전위 발생수단(707)과, 상기 제1내부전위 발생수단(703)과 상기 제1내부회로(711)를 접속하고, 상기 제1내부전위의 공급을 행하는 제1내부전위 공급선(717)과, 상기 제2내부전위 발생수단(707)과 상기 제2내부회로(713)를 접속하고, 상기 제2내부전위의 공급을 행하는 제2내부전위 공급선(719)과, 상기 제1내부전위 공급선(717)과 상기 제2내부전위 공급선(719)과의 사이에 설치되고, 상기 반도체 장치의 상태에 따라서 상기 제1내부전위 공급선(717)과 상기 제2내부전위 공급선(719)과의 접속을 제어하는, 제1접속제어수단(709)을 구비하는 반도체 장치.

청구항 16

제15항에 있어서, 상기 제1접속제어수단(709)은, 상기 반도체 장치의 상태가 제1상태에 있을 때는, 상기 제1내부 전위 공급선(717)과 상기 제2내부전위 공급선(719)을 분리하고, 상기 반도체 장치의 상태가 제2상태에 있을 때는, 상기 제1내부 전위 공급선(717)과 상기 제2내부전위 공급선(719)을 접속하며, 상기 반도체 장치의 상태가 상기 제2상태에 있을 때는, 상기 제2내부전위 발생수단(707)은, 상기 제1내부회로(711)에도 상기 제2내부전위를 공급하는 반도체 장치.

청구항 17

제16항에 있어서, 상기 제1상태는 상기 반도체 장치의 동작상태이고, 상기 제2상태는 상기 반도체 장치의 대기상태이고, 상기 대기상태에서는 상기 제1내부전위 발생수단(703)은 정지하는 반도체 장치.

청구항 18

제16항에 있어서, 상기 제1상태는 상기 반도체 장치의 제1동작상태이고, 상기 제2상태는 상기 반도체 장치의 제2동작상태인 반도체 장치.

청구항 19

제15항에 있어서, 상기 제1내부전위 공급선(717)과 상기 제2내부전위 공급선(719)의 사이에 접속되는 저항소자(721)를 더 구비한 반도체 장치.

청구항 20

제15항에 있어서, 제2노이즈의 원인이 되는 제3내부회로(727)와, 상기 제3내부회로(727)에 공급하는 제3내부전위를 발생하는 제3내부전위 발생수단(725)과, 상기 제3내부전위 발생수단(725)과, 상기 제3내부회로(727)를 접속하고, 상기 제3내부전위의 공급을 행하는 제3내부전위 공급선(733)과, 상기 제2내부전위 공급선(719)과 상기 제3내부전위 공급선(733)과의 사이에 설치되며, 상기 반도체 장치의 상태에 따라서 상기 제2내부전위 공급선(719)과 상기 제3내부전위 공급선(733)과의 접속을 제어하는, 제2접속제어수단(731)을 더 구비한 반도체 장치.

청구항 21

제20항에 있어서, 상기 제2내부전위 공급선(719)과 상기 제3내부전위 공급선(733)과의 사이에 접속되는 저항소자(729)를 더 구비한 반도체 장치.

청구항 22

제15항에 있어서, 제2노이즈의 원인이 되는 제3내부회로(821, 823)와, 상기 제3내부회로(821, 823)에 공급하는 제3내부전위를 발생하는 제3내부전위 발생수단(807)과, 상기 제3내부회로(821, 823)와 상기 제3내부전위 발생수단(807)을 접속하고, 상기 제3내부전위를 공급하는 제3내부전위 공급선(829)과, 상기 제1내부전위 공급선(825)과, 상기 제3내부전위 공급선(829)과의 사이에 설치되고, 상기 반도체 장치의 상태에 따라서 상기 제1내부전위 공급선(825)과 상기 제3내부전위 공급선(829)과의 접속을 제어하는, 제2접속제어수단(815, 813)을 더 구비한 반도체 장치.

청구항 23

반도체 장치에 있어서, 노이즈의 영향을 받는 제1내부회로(1013)와, 전위를 상기 제1내부회로(1013)에 공급하는 제1전위공급부재(1007)와, 상기 제1전위공급부재(1007)에 직렬로 접속되고, 상기 전위를 상기 제1내부회로(1013)에 공급하느 내부 리이드(1003)와, 상기 내부 리이드(1003)에 직렬로 접속되고 상기 전위를 상기 제1내부회로(1013)에 공급하는 제2전위공급부재(1009)를 구비하고, 상기 내부 리이드(1003)는 상기 반도체 장치의 외부와의 전압의 교환을 직접 행하기 위한 상기 반도체 장치의 외부와의 접촉부를 가지지 않고, 상기 반도체 장치의 내부배선보다 굵은 반도체 장치.

청구항 24

제23항에 있어서, 상기 노이즈의 원인이 되는 제2내부회로(817)와, 상기 제2내부회로(817)에 공급하는 내부전위를 발생하는 내부전위 발생수단(801)과, 상기 제1내부회로(1013) 및 상기 내부전위 발생수단(801)에, 상기 전위를 상기 반도체 장치의 외부로부터 공급하는 전위공급수단(1001)을 더 구비하고, 상기 제1전위공급부재(1007)는 상기 전위공급수단(1001)에 접속되는 반도체 장치.

청구항 25

제23항에 있어서, 상기 제1전위 공급부재(1007), 또는 상기 제2전위공급부재(1009)는 인덕턴스를 가지는 와이어인 반도체 장치.

청구항 26

상기 반도체 장치의 외부와의 전압의 교환을 직접 행하기 위한 외부와의 접촉부를 가지는 외부 리이드(1001)와, 상기 반도체 장치의 외부와의 전압의 교환을 직접 행하기 위한 외부와의 접촉부를 가지지 않는 내부 리이드(1103)을 구비하고, 상기 외부 리이드(1001) 및 상기 내부 리이드(1103)는 상기 반도체 장치의 내부배선보다 굵은 반도체 장치.

청구항 27

제26항에 있어서, 상기 외부 리이드(1001, 1101)는 제1층에 설치되고, 상기 내부리이드(1103)는 제2층에 설치되는 반도체 장치.

청구항 28

제27항에 있어서, 상기 내부 리이드(1103)는, 제1내부 리이드(a)와, 상기 제1내부 리이드에서 분기한 복수의 제2내부 리이드(b, c, d, e)를 포함하는 반도체 장치.

청구항 29

제28항에 있어서, 상기 내부 리이드(1235)와의 전압의 교환을 행하는 내부회로(817)를 더 구비하고, 상기 외부 리이드(1211) 및 상기 내부 리이드(1235)는 상기 내부회로(817)와 직접 접촉하지 않도록 상기 내부회로(817)의 상층에 설치되고, 상기 외부 리이드(1211)와 접촉하지 않도록 상기 내부 리이드(1235)와 상기 내부회로(817)를 접속하는 접속부재(1237), (1039)를 더 구비한 반도체 장치.

청구항 30

제27항에 있어서, 상기 내부 리이드(1235)는 적어도 하나의 프레임을 형성하는 반도체 장치.

청구항 31

제30항에 있어서, 상기 내부 리이드(1235)와의 전압의 교환을 행하는 내부회로(817)를 더 구비하고, 상기 외부 리이드(1211) 및 상기 내부 리이드(1235)는 상기 내부회로(817)와 직접 접촉하지 않도록 상기 내부회로(817)의 상층에 설치되고, 상기 외부 리이드(1211)와 접촉하지 않도록 상기 내부 리이드(1235)와 상기 내부회로(817)를 접속하는 접속부재(1039, 1237)를 더 구비한 반도체 장치.

청구항 32

패키지상에 형성된 내부 배선을 구비하여 패키지내에 포함되는 반도체 장치와, 상기 내부 배선보다 굵고 상기 패키지의 외측에 부분적으로 노출된 외부 리이드와, 상기 내부 배선보다 굵고 상기 패키지의 내측에 완전히 묻힌 내부 리이드와, 상기 외부 리이드와 상기 내부 리이드의 사이에 접속된 배선을 포함하는 반도체 장치.

청구항 33

패키지상에 형성된 내부 배선을 구비하여 패키지내에 포함되는 반도체 장치와, 상기 내부 배선보다 굵고 상기 패키지의 외부에 부분적으로 노출된 외부 리이드와, 상기 내부 배선보다 굵고 상기 패키지의 내부에 완전히 묻힌 내부 리이드를 포함하며, 상기 외부 리이드에 외부전원전위가 공급되고, 상기 반도체 장치는, 상기 내부 리이드로부터 상기 외부전원전위를 공급받아 상기 외부 전원전위와 다른 내부전위를 발생하는 내부전위 발생회로를 구비하는 반도체 장치.

청구항 34

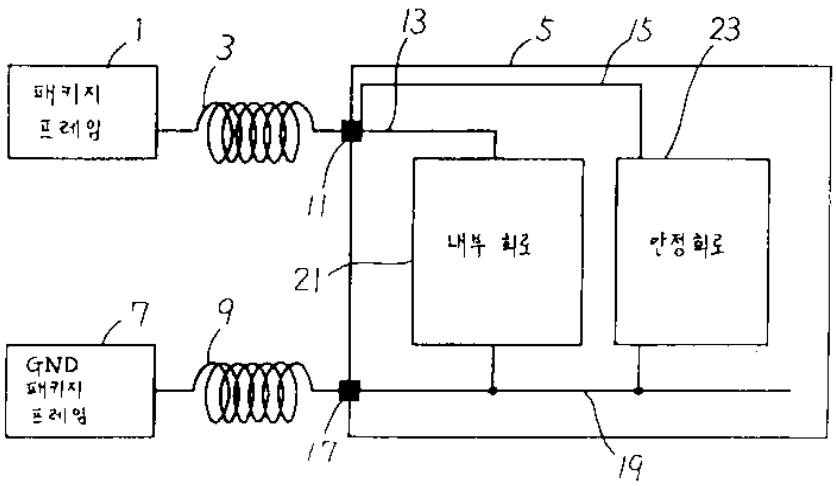
패키지상에 형성된 내부 배선을 구비하여 패키지내에 포함된 반도체 장치와, 상기 내부 배선보다 굵고 상기 패키지의 외부에 부분적으로 노출된 외부 리이드와, 상기 내부 배선보다 굵고 상기 패키지의 내부에 완전히 묻힌 내부 리이드를 포함하며, 상기 외부 리이드에 외부전원전위가 공급되고, 상기 반도체 장치는, 상기 내부 리이드에 접속되어 상기 내부 리이드에 외부전원전위와 다른 내부 전원전위를 발생하여 공급하는 내부전위 발생회로를 포함하는 반도체 장치.

청구항 35

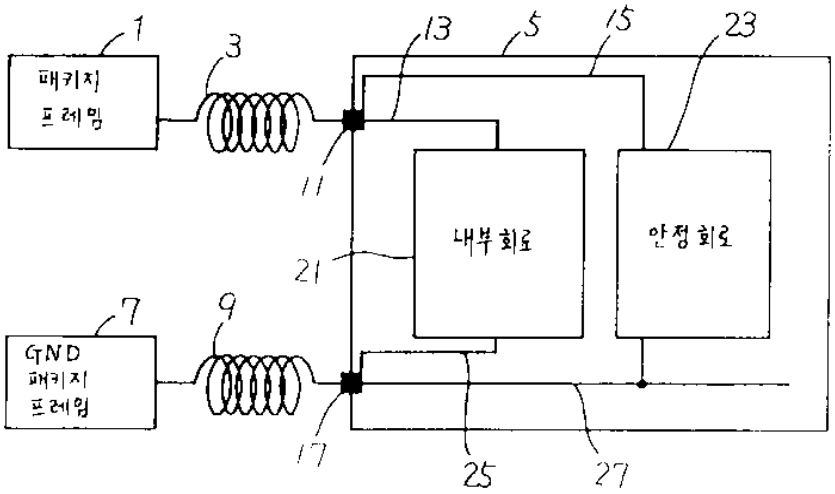
제34항에 있어서, 상기 반도체 장치는 상기 내부 리이드에 접속되어 상기 내부 리이드로부터 상기 내부전위에 대응하여 동작하는 내부회로를 더 포함하는 반도체 장치.

도면

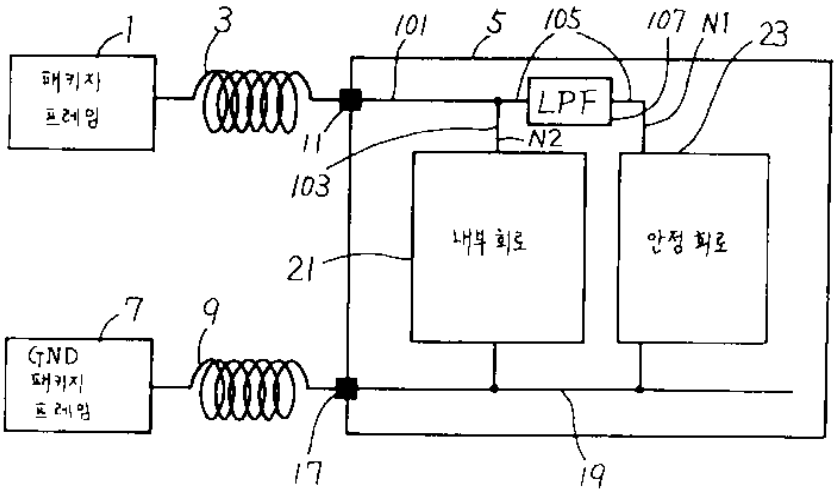
도면1



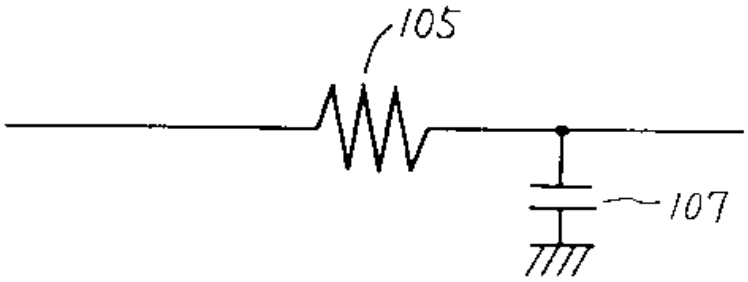
도면2



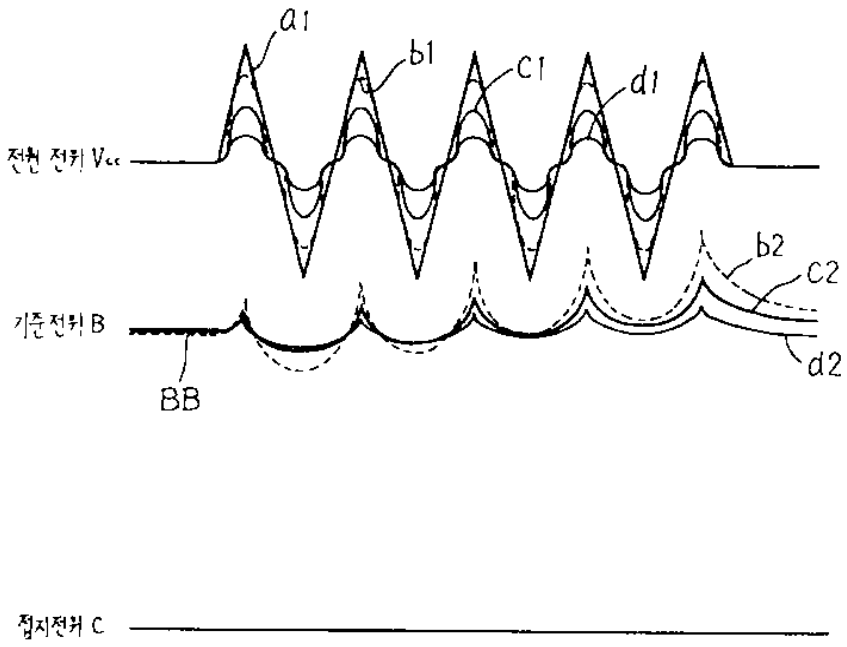
도면3


1
3
101
5
105
107
N1
23
패키지
프레임
LPF
11
N2
103
내부 회로
안정 회로
21
7
9
GND
패키지
프레임
17
19

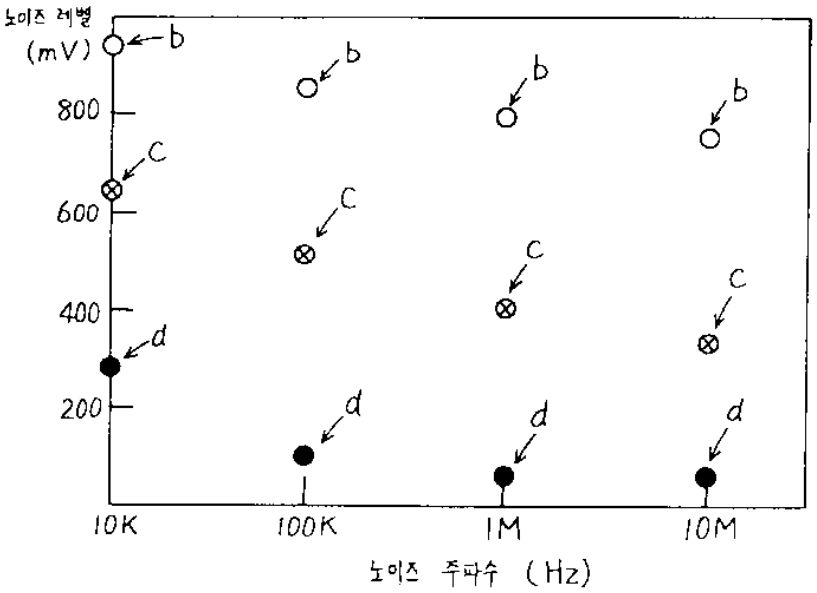
도면4


105
107

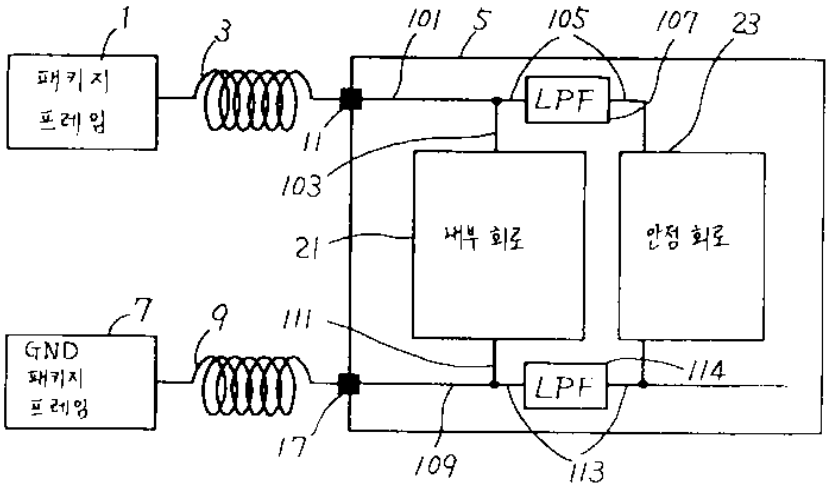
도면5


a1
b1
c1
d1
전원 전위 Vcc
b2
c2
기준 전위 B
d2
BB
접지전위 C

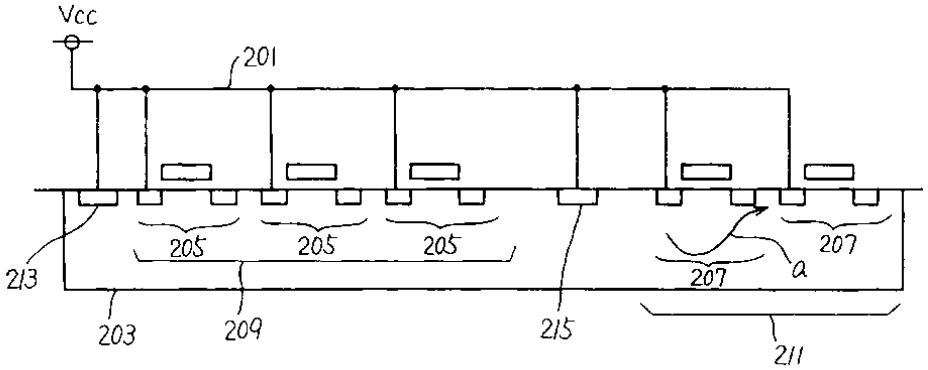
도면6


노이즈 레벨
(mV)
800
600
400
200
10K
100K
1M
10M
노이즈 주파수 (Hz)
a
b
c
d

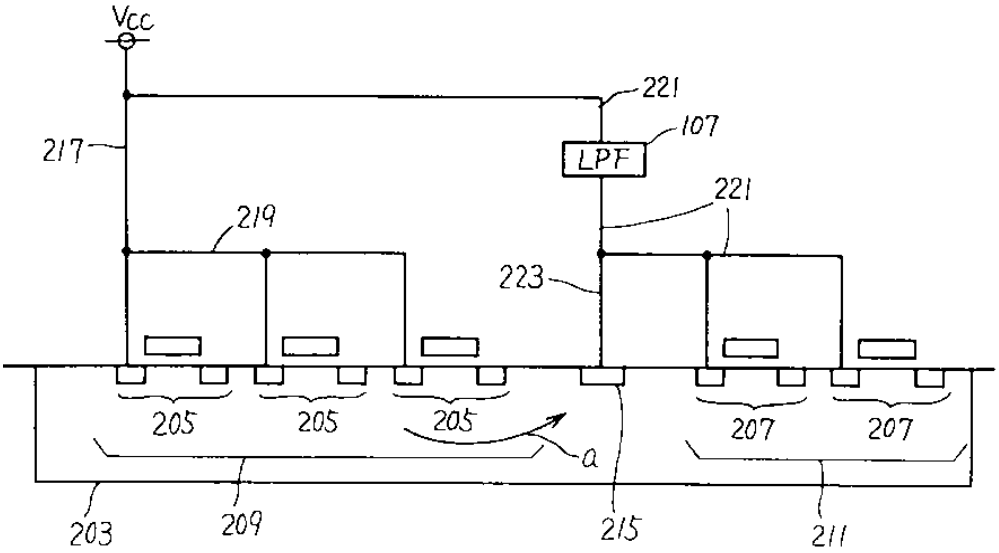
도면7


패키지
프레임
GND
패키지
프레임
LPF
LPF
내부 회로
안정 회로
1
3
5
7
9
11
17
21
23
101
103
105
107
109
111
113
114

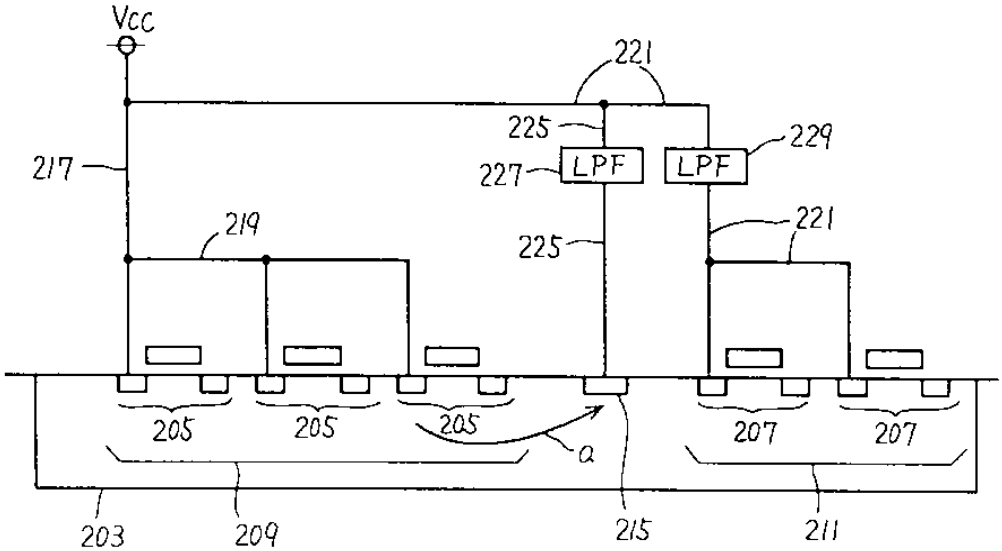
도면8


Vcc
201
205
205
205
207
207
a
203
209
211
213
215

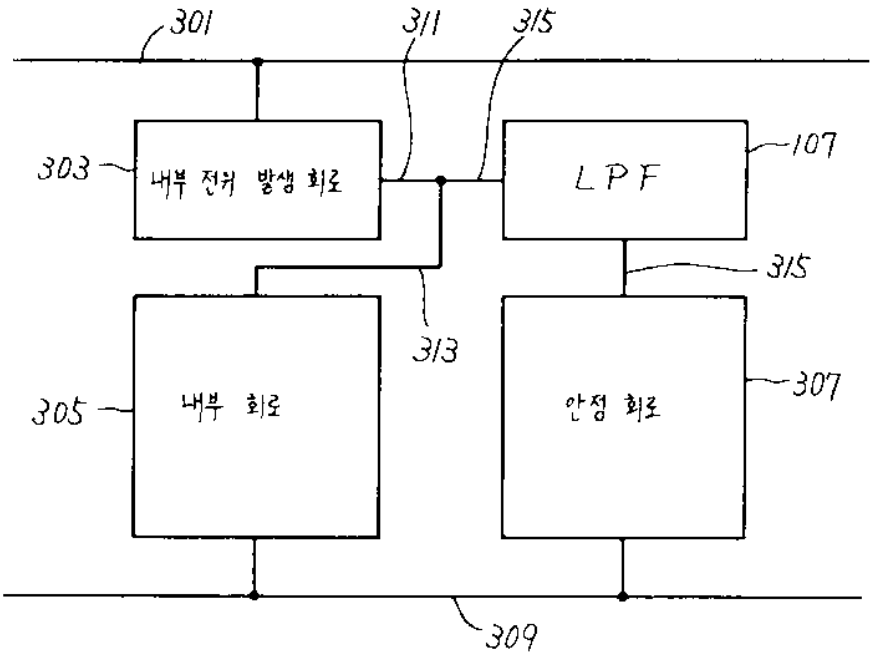
도면9


Vcc
221
107
217
LPF
221
219
223
205
205
205
207
207
a
203
209
215
211

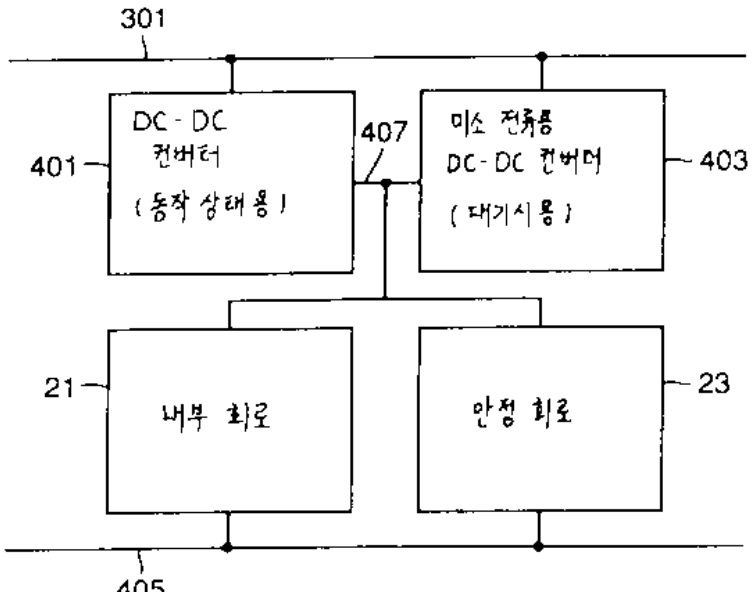
도면10


Vcc
221
225
229
217
227
LPF
LPF
219
225
221
205
205
205
207
207
a
203
209
215
211

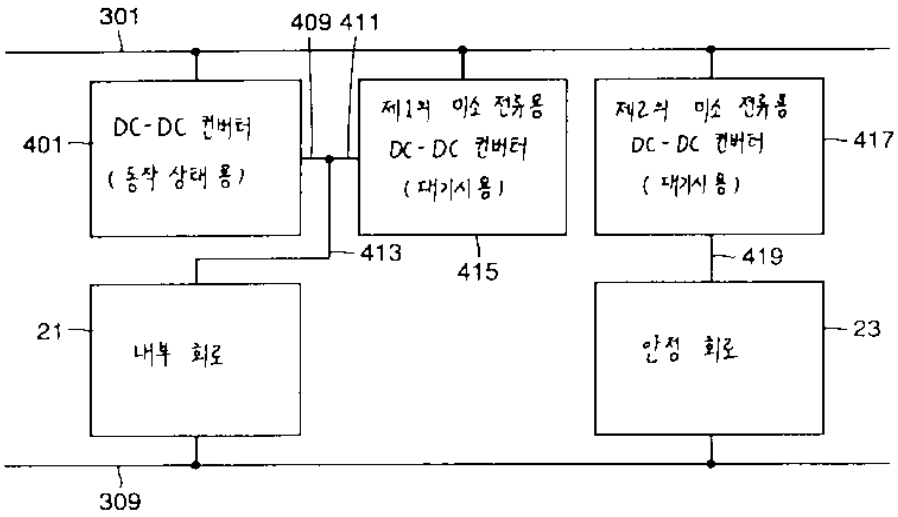
도면11


301
311
315
303
내부 전위 발생 회로
LPF
107
315
313
305
내부 회로
안정 회로
307
309

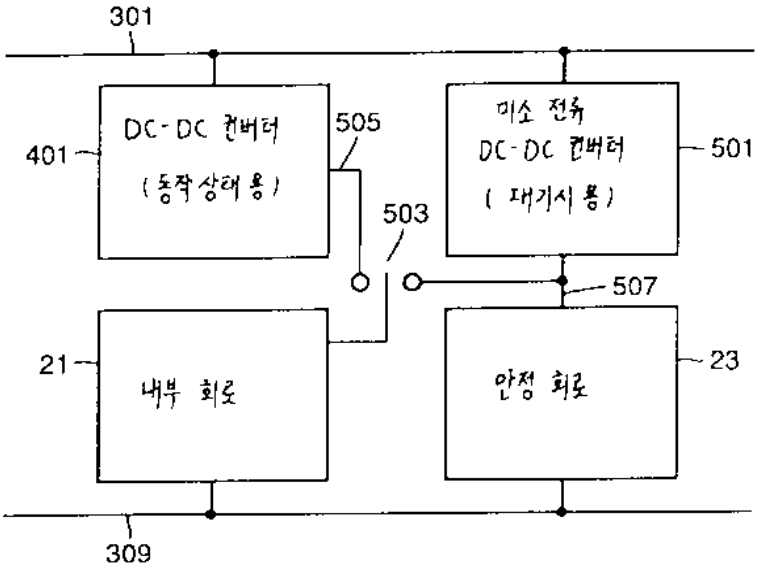
도면12


301
DC-DC
컨버터
(동작 상태용)
401
407
미소 전류용
DC-DC 컨버터
(대기시용)
403
21
내부 회로
안정 회로
23
405

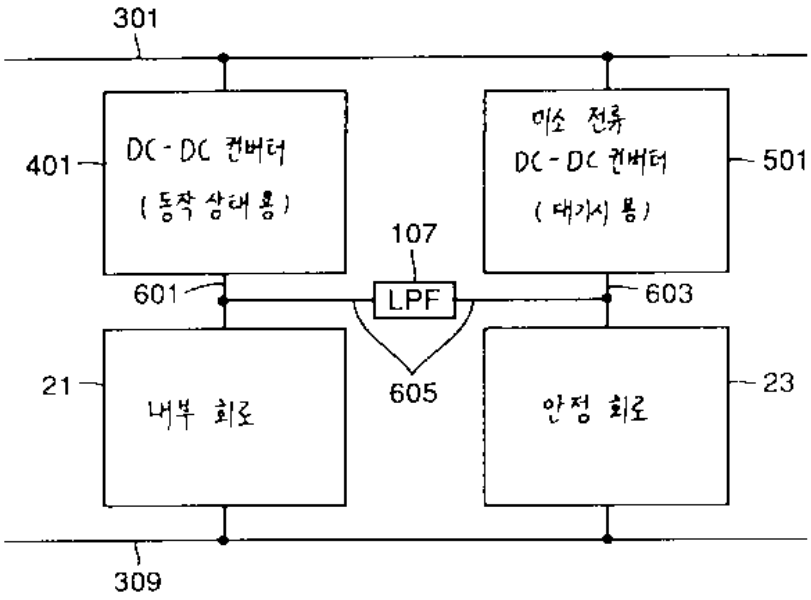
도면13


301
409 411
401
DC-DC 컨버터
(동작 상태 용)
제1의 미소 전류용
DC-DC 컨버터
(대기시 용)
제2의 미소 전류용
DC-DC 컨버터
(대기시 용)
417
413
415
419
21
내부 회로
안정 회로
23
309

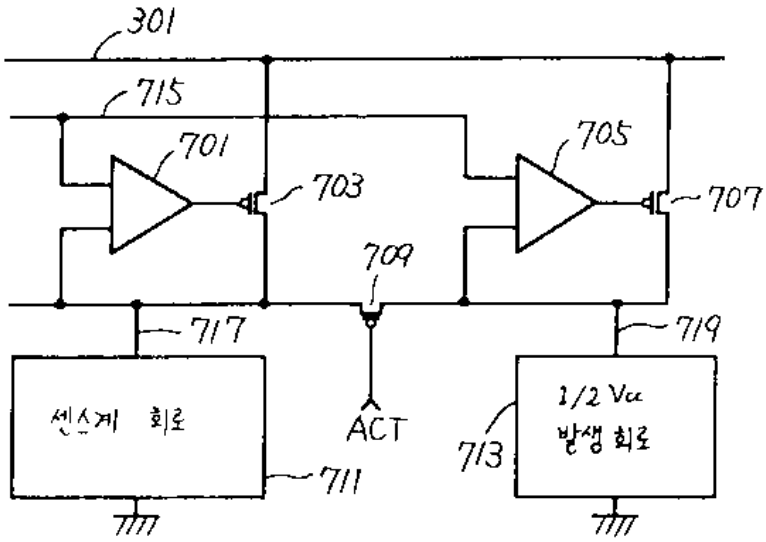
도면14


301
401
DC-DC 컨버터
(동작상태 용)
505
503
미소 전류
DC-DC 컨버터
(대기시 용)
501
507
21
내부 회로
안정 회로
23
309

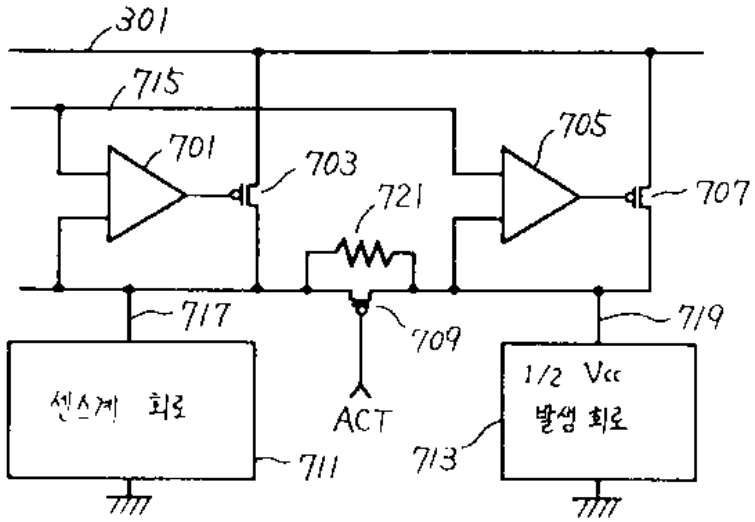
도면15


301
401
DC-DC 컨버터
(동작 상태용)
미소 전류
DC-DC 컨버터
(대기시 용)
501
107
LPF
601
603
605
21
내부 회로
안정 회로
23
309

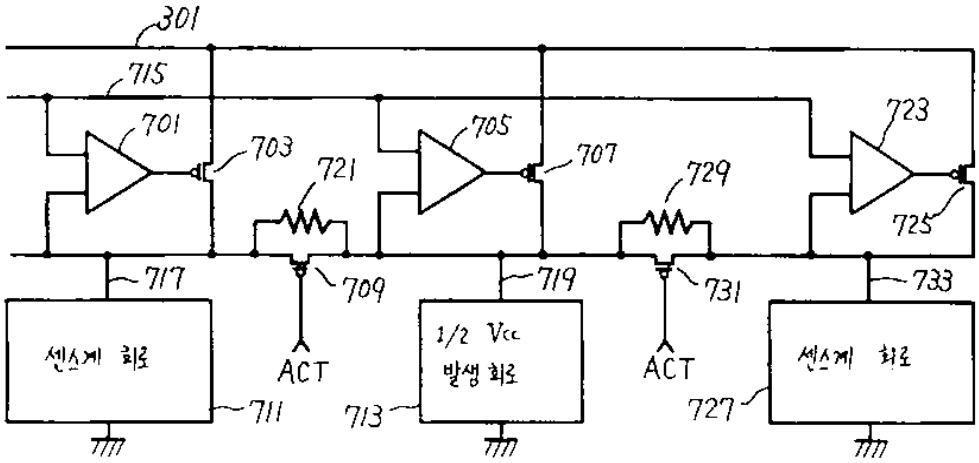
도면16


301
715
701
703
705
707
709
717
719
센스계 회로
711
ACT
713
1/2 Vcc
발생 회로

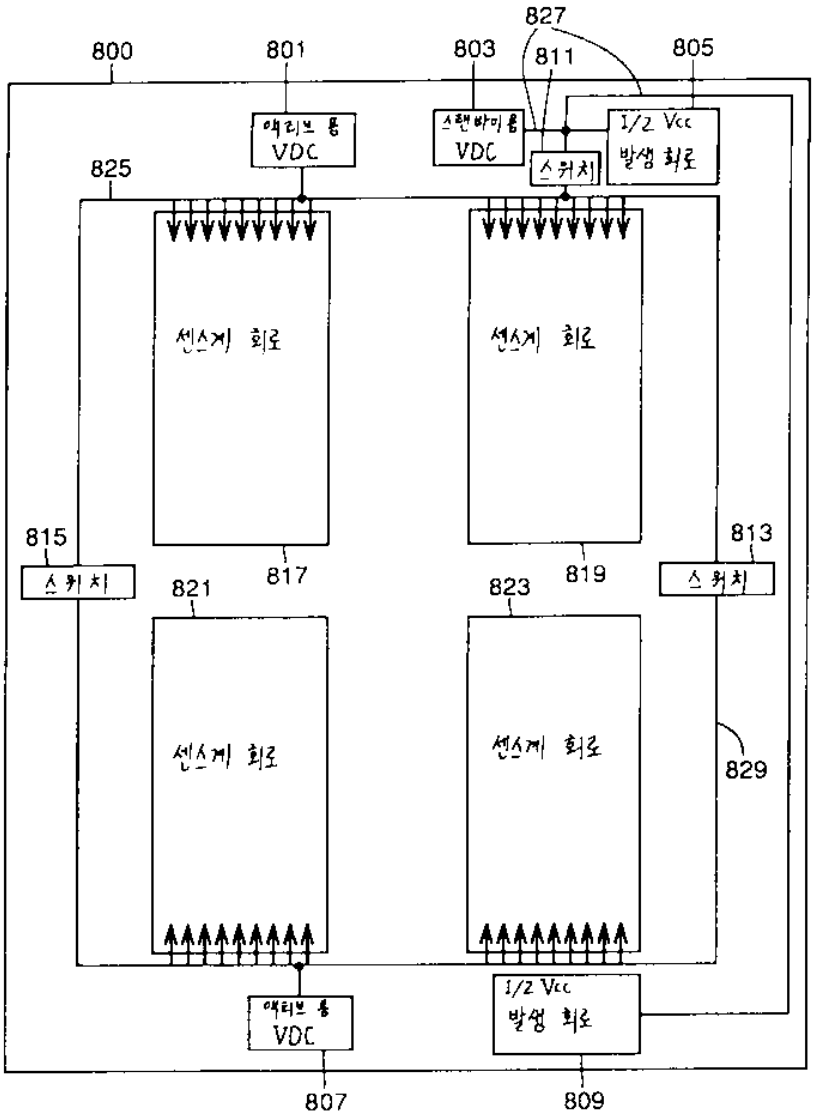
도면17


301
715
701
703
721
705
707
717
709
719
센스계 회로
ACT
1/2 Vcc
발생 회로
711
713

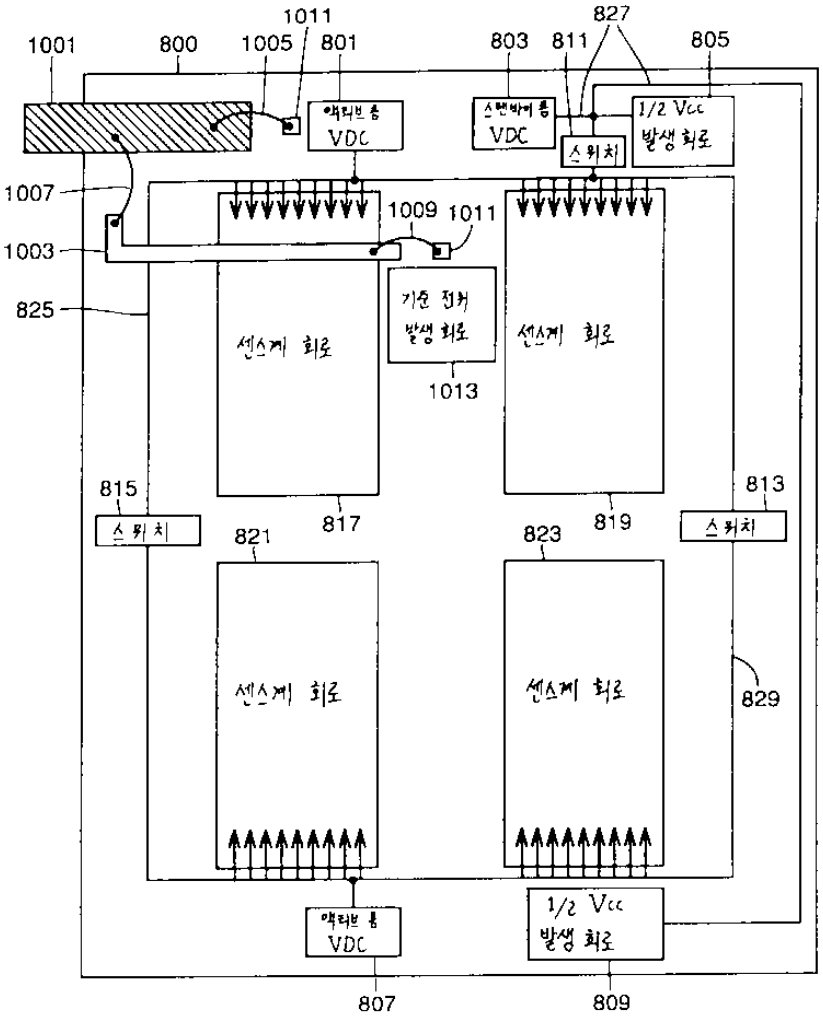
도면18


301
715
701
703
721
705
707
729
723
725
717
709
719
731
733
센스계 회로
ACT
1/2 Vcc
발생 회로
ACT
센스계 회로
711
713
727

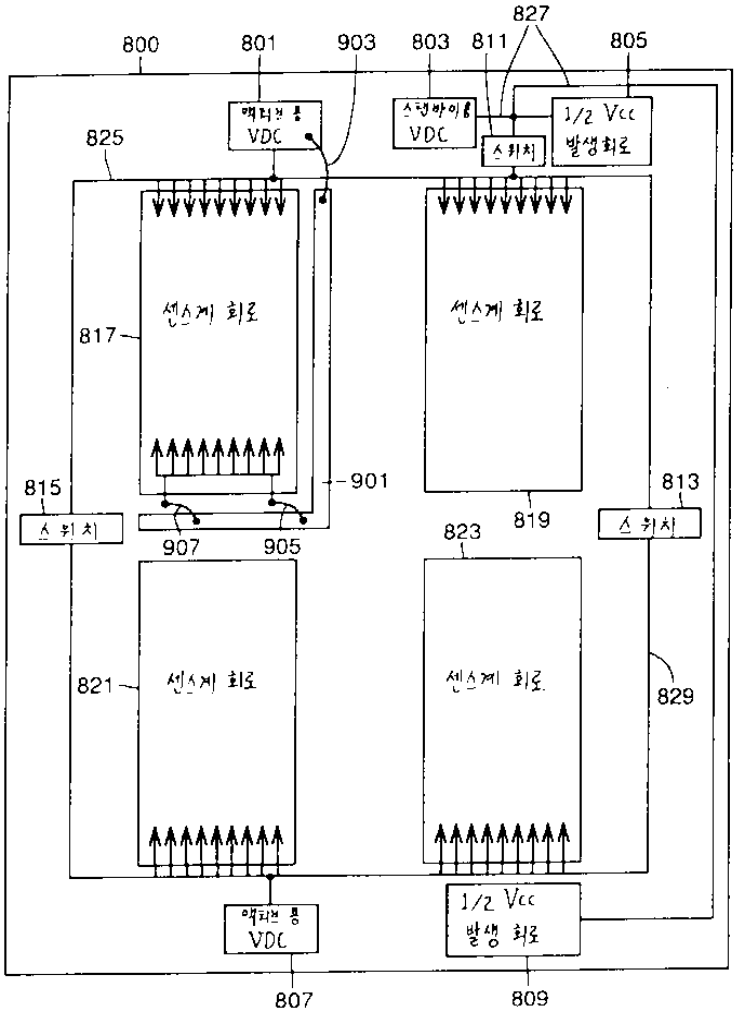
도면19


800
801
803
827
811
805
액티브 용
VDC
스탠바이용
VDC
스위치
1/2 Vcc
발생 회로
825
센스계 회로
센스계 회로
815
813
스위치
스위치
817
819
821
823
센스계 회로
센스계 회로
829
액티브 용
VDC
1/2 Vcc
발생 회로
807
809

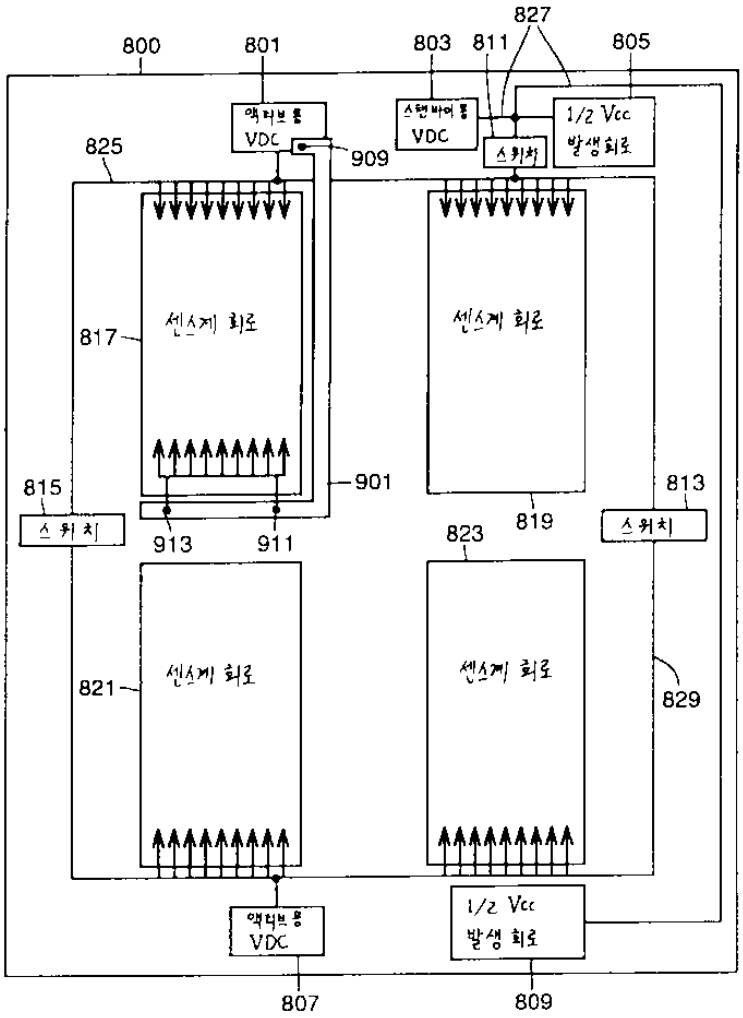
도면20


1001
800
1005
1011
801
803
811
827
805
액티브 풀 VDC
스탠바이 풀 VDC
스위치
1/2 Vcc 발생 회로
1007
1003
825
1009
1011
기준 전위 발생 회로
1013
센스계 회로
센스계 회로
815
817
819
813
스위치
스위치
821
823
센스계 회로
센스계 회로
829
액티브 풀 VDC
1/2 Vcc 발생 회로
807
809

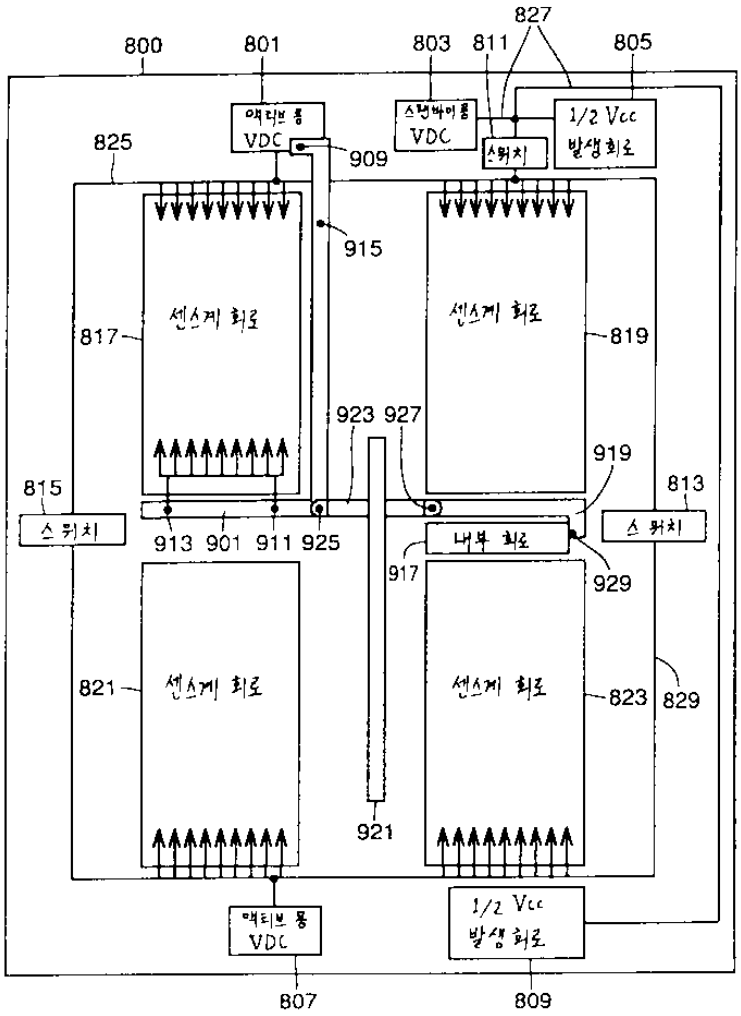
도면21


800
801
903
803
811
827
805
825
VDC
VDC
1/2 Vcc
발생회로
센스계 회로
센스계 회로
817
901
815
813
819
907
905
823
821
센스계 회로
센스계 회로
829
VDC
1/2 Vcc
발생 회로
807
809

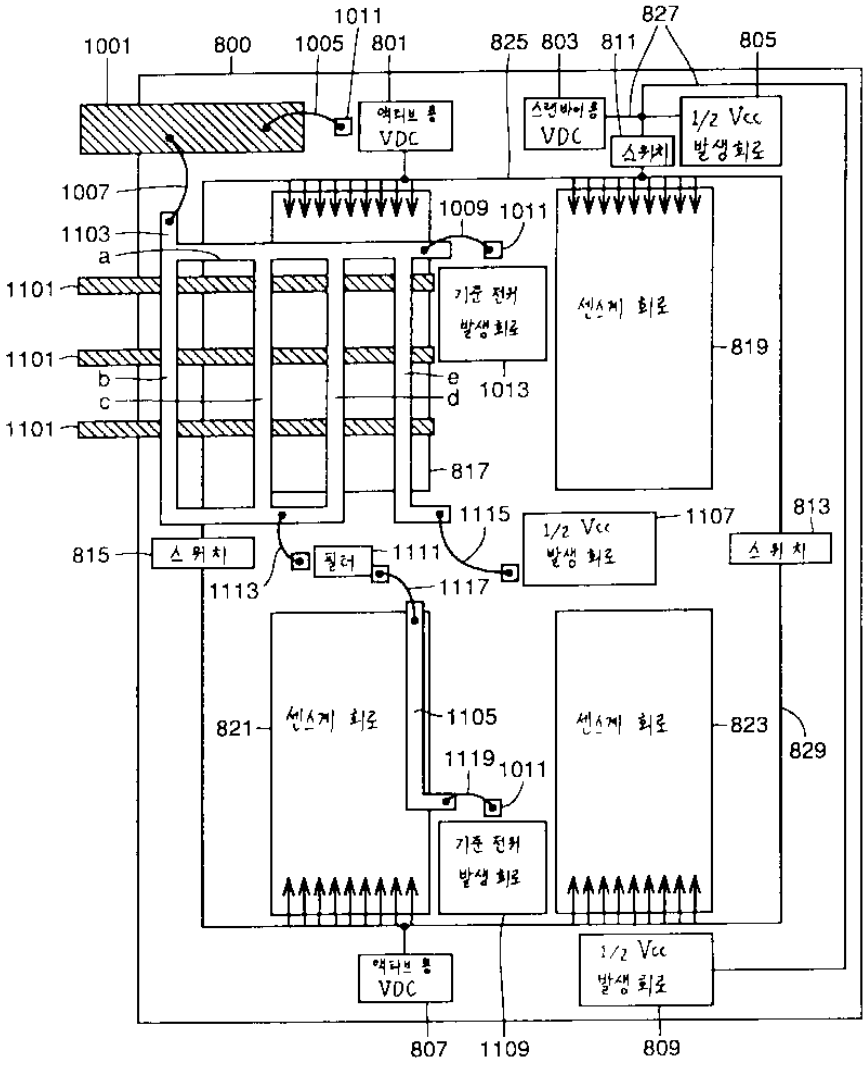
도면22


827
800
801
803
811
805
액티브용
VDC
스탠바이용
VDC
1/2 Vcc
발생회로
스위치
825
909
센스게 회로
817
센스게 회로
815
901
813
스위치
913
911
819
823
스위치
센스게 회로
821
센스게 회로
829
액티브용
VDC
1/2 Vcc
발생회로
807
809

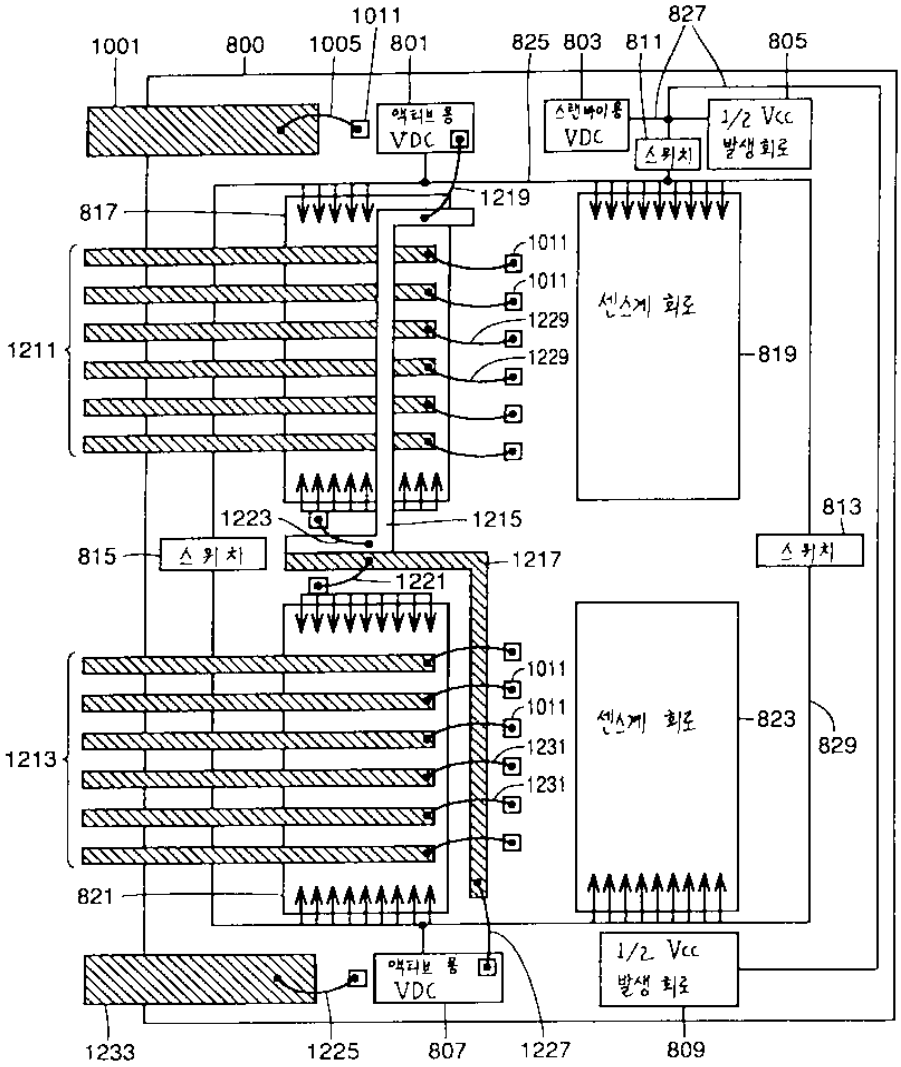
도면23


827
800
801
803
811
805
액티브 용 VDC
스탠바이용 VDC
스위치
1/2 Vcc 발생회로
825
909
915
센스게 회로
817
센스게 회로
819
923
927
919
815
813
스위치
913
901
911
925
내부 회로
917
929
스위치
821
센스게 회로
센스게 회로
823
829
921
액티브 용 VDC
1/2 Vcc 발생회로
807
809

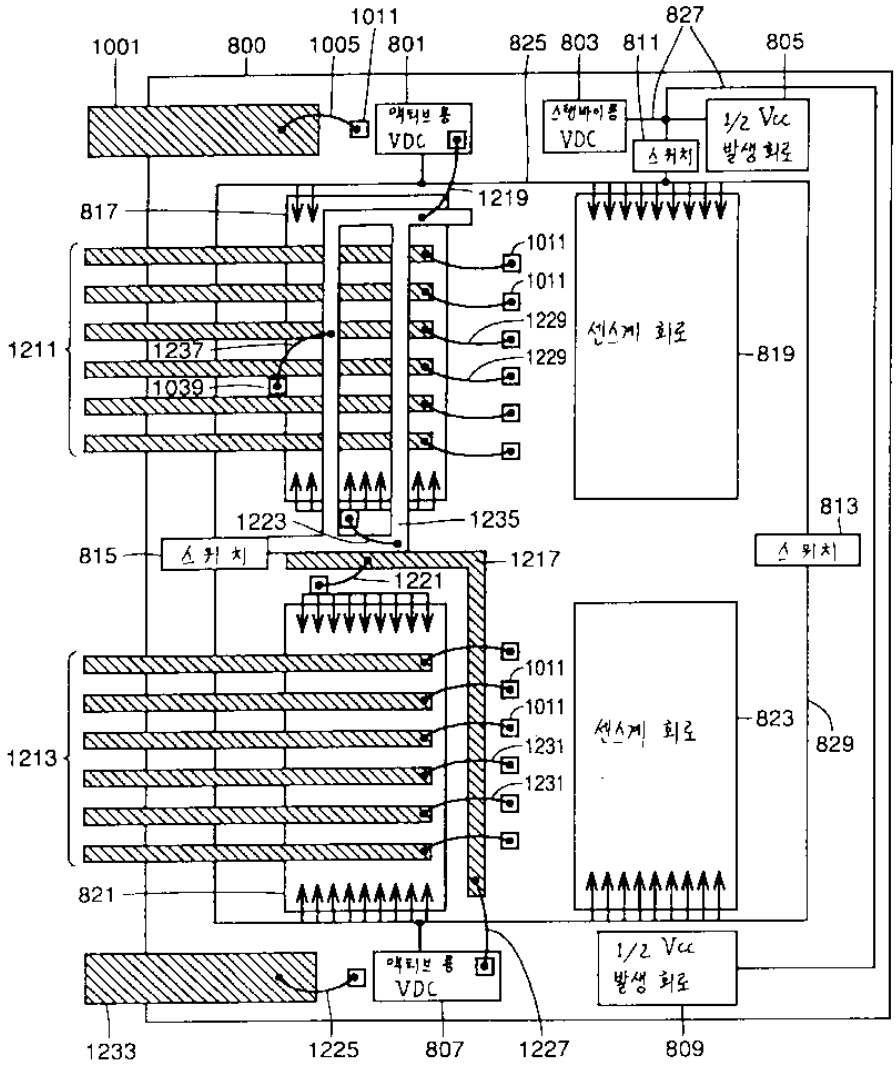
도면24


1001
800
1011
1005
801
825
803
811
827
805
액티브용 VDC
스탠바이용 VDC
스위치
1/2 Vcc 발생회로
1007
1009
1011
1103
a
1101
기준 전위 발생회로
센스계 회로
819
1101
b
c
e
d
1013
1101
817
1115
1/2 Vcc 발생회로
1107
813
815
스위치
필터
1111
1113
1117
스위치
821
센스계 회로
1105
센스계 회로
823
829
1119
1011
기준 전위 발생회로
액티브용 VDC
1/2 Vcc 발생회로
807
1109
809

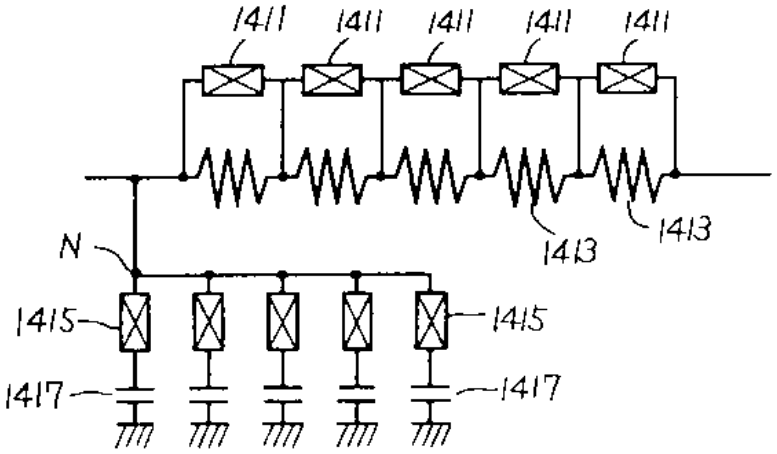
도면25


1001
800
1005
1011
801
825
803
811
827
805
액티브용 VDC
스탠바이용 VDC
스위치
1/2 Vcc 발생회로
817
1219
1011
1011
1229
1229
1211
센스계 회로
819
813
1223
1215
815
스위치
1217
스위치
1221
1011
1011
1231
1231
1213
센스계 회로
823
829
821
액티브용 VDC
1/2 Vcc 발생회로
1233
1225
807
1227
809

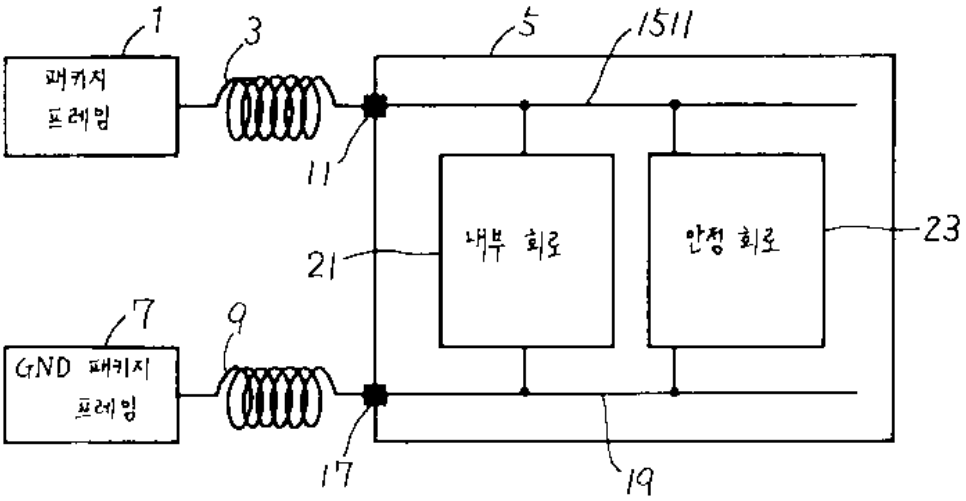
도면26


1001
800
1005
1011
801
825
803
811
827
805
액티브 용 VDC
스탠바이용 VDC
스위치
1/2 Vcc 발생 회로
817
1219
1011
1011
1229
1229
1211
1237
1039
센스계 회로
819
813
1223
1235
815
스 위 치
1217
스 위치
1221
1011
1011
1231
1231
1213
823
829
센스계 회로
821
액티브 용 VDC
1/2 Vcc 발생 회로
1233
1225
807
1227
809

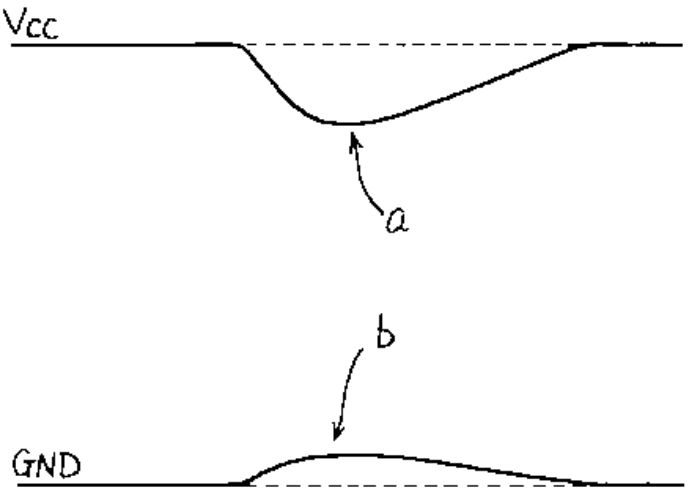
도면27


1411
1411
1411
1411
1411
1413
1413
N
1415
1415
1417
1417

도면28


1
3
5
1511
패키지
프레임
11
내부 회로
안정 회로
23
21
7
9
GND 패키지
프레임
17
19

도면29


Vcc
a
b
GND