

Vynález se týká rychlého desítkového čítače, zejména pro použití v první dekádě číslicových měřičů kmítočtu.

Pro dosažení co nejvyššího maximálně zpracovatelného kmítočtu u číslicových měřičů kmítočtu, čítačů impulsů, apod. jsou rozhodující dynamické vlastnosti čítače použitého v první dekádě.

Pro jednoduché měřiče kmítočtu se obvykle používá v první dekádě čítač tvořený asynchronním zapojením klopných obvodů typu J-K nebo D. Pro náročnější aplikace se čítače konstruují jako synchronní. Aby uvedené čítače pracovaly jako desítkové, je třeba zavádět mezi jednotlivé klopné obvody zpětné vazby pomocí hradel. Doba zpoždění signálu průchodem klopnými obvody a zpětnovazebními obvody s hradly omezuje maximální dosažitelný opakovací kmítočet čítaných impulsů.

Pokud neuvažujeme ostatní dynamické vlastnosti používaných klopných obvodů a hradel, je pro známé desítkové čítače minimální perioda vstupního signálu rovna době zpoždění v jednom klopném obvodu a v jednom hradle.

Tyto vlastnosti jsou podstatně zlepšeny u rychlého desítkového čítače podle vynálezu, jehož podstatou je, že k výstupu děliče kmítočtu dvěma, jehož vstup je spojen se vstupní svorkou čítače, jsou paralelně připojeny taktovací vstupy každého z trojice JK klopných obvodů, přičemž J vstup prvního JK klopného obvodu a K vstup prvního JK klopného obvodu jsou spojeny s invertovaným výstupem třetího JK klopného obvodu, přímý výstup prvního JK klopného obvodu je spojen s J vstupem druhého JK klopného obvodu a s K vstupem druhého JK klopného obvodu, J vstup třetího JK klopného obvodu je spojen s výstupem hradla NOR, jehož první vstup je spojen s invertovaným výstupem prvního JK klopného obvodu a jehož druhý vstup je spojen s invertovaným výstupem druhého JK klopného obvodu, K vstup třetího JK klopného obvodu je připojen na zdroj napětí odpovídajícího logické jedničky a že výstup děliče kmítočtu dvěma, přímý výstup prvního JK klopného obvodu, přímý výstup druhého JK klopného obvodu a přímý výstup třetího JK klopného obvodu jsou výstupy desítkového čítače s váhou postupně od nejnižší do nejvyšší.

U desítkového čítače dle vynálezu je (pokud můžeme zanedbat ostatní dynamické vlastnosti použitých obvodů a hradel) minimální dosažitelná perioda vstupního čítaného signálu rovna pouze jedné polovině součtu zpoždění v jednom klopném obvodu a v jednom hradle. Tím umožňuje desítkový čítač dle vynálezu při použití srovnatelných součástek proti známým čítačům dvojnásobné zvýšení maximálně dosažitelného kmítočtu čítaných impulsů.

Při respektování nezanedbatelných dynamických vlastností součástek je zvýšení max. dosažitelného kmítočtu čítaných impulsů nižší než dvojnásobné, ale podstatné. Při shodném čítaném kmítočtu čítač dle vynálezu pracuje s větší časovou rezervou, což zvyšuje spolehlivost funkce v nepříznivých elektrických a teplotních podmínkách. Proto je desítkový čítač dle vynálezu vhodný pro první dekádu čítače v číslicových měřících kmítočtu, v čítačích impulsů, jako desítkový dělič kmítočtu v obvodech pro kmítočtové syntezátory atd.

Příklad provedení rychlého desítkového čítače podle vynálezu je vyobrazen na obr.

Podle obr. je vstup 3 děliče 2 kmítočtu dvěma spojen se vstupní svorkou 4 čítače. K výstupu 1 děliče 2 kmítočtu dvěma jsou paralelně připojeny taktovací vstupy 5, 5', 5'', každého z trojice JK klopných obvodů 7, 10, 13. J vstup 6 prvního JK klopného obvodu 7 a k vstup 8 prvního JK klopného obvodu 7 jsou spojeny s invertovaným výstupem 9 třetího JK klopného obvodu 10. Přímý výstup 11 prvního JK klopného obvodu 7 je spojen s J vstupem 12 druhého JK klopného obvodu 13 a s K vstupem 14 druhého JK klopného obvodu 13, J vstup 15 třetího JK klopného obvodu 10 je spojen s výstupem hradla 16 NOR, jehož první vstup 17 je spojen s invertovaným výstupem 18 prvního JK klopného obvodu 7 a jehož druhý vstup 19 je spojen s invertovaným výstupem 20 druhého JK klopného obvodu 13.

K vstup 21 třetího JK klopného obvodu 10 je připojen na zdroj 24 napětí odpovídající logické jedničce. Výstup 1 děliče 2 kmitočtu dvěma, přímý výstup 11 prvního JK klopného obvodu 7, přímý výstup 22 druhého JK klopného obvodu 13 a přímý výstup 23 třetího JK klopného obvodu 10 jsou spojeny s výstupy rychlého desítkového čítače s váhou postupně od nejnižší po nejvyšší. Dekadický čítač podle vynálezu pracuje následovně:

Napětím přivedeným na obr. nezakreslené vstupy pro nastavení počátečního stavu děliče a trojice JK klopných obvodů se nastaví počáteční stav na výstupech desítkového čítače.

Vstupní signál na vstupní svorce 4 čítače se s kmitočtem vyděleným dvěma objevuje na výstupu 1 děliče 2 kmitočtu dvěma a na taktovacích vstupech 5, 5', 5'' každého z trojice JK klopných obvodů. Napěťová logická úroveň z přímého výstupu 11 prvního JK klopného obvodu 7 se přivádí současně na J vstup 12 a K vstup 14 druhého JK klopného obvodu 13. Napěťová logická úroveň na výstupu hradla 16 NOR odpovídající v hradle provedenému invertovanému logickému součtu logických úrovní na invertovaném výstupu 18 prvního JK klopného obvodu 7 a na invertovaném výstupu 20 druhého JK klopného obvodu 13 se přivádí na J vstup 15 třetího klopného obvodu 10.

Na K vstupu 21 třetího JK klopného obvodu 10 je napětí úrovně logické jedničky, přiváděné ze zdroje 24 napětí. Napěťová logická úroveň z invertovaného výstupu 9 třetího JK klopného obvodu 10 se přivádí současně na J vstup 6 a K vstup 8 prvního JK klopného obvodu 7. Podle logických úrovní na jednotlivých J vstupech a K vstupech každého z trojice JK klopných obvodů 7, 10, 13 v okamžiku příchodu aktivní hrany impulsu na jejich taktovací vstupy 5, 5', 5'' dochází dle známých vztahů pro JK klopné obvody k příslušným změnám logických úrovní na přímých a invertovaných výstupech u všech tří JK klopných obvodů 7, 10, 13. Jednotlivé stavy na výstupech čítače postupně odpovídají ve správném pořadí všem desíti výstupním stavům desítkových čítačů vpřed.

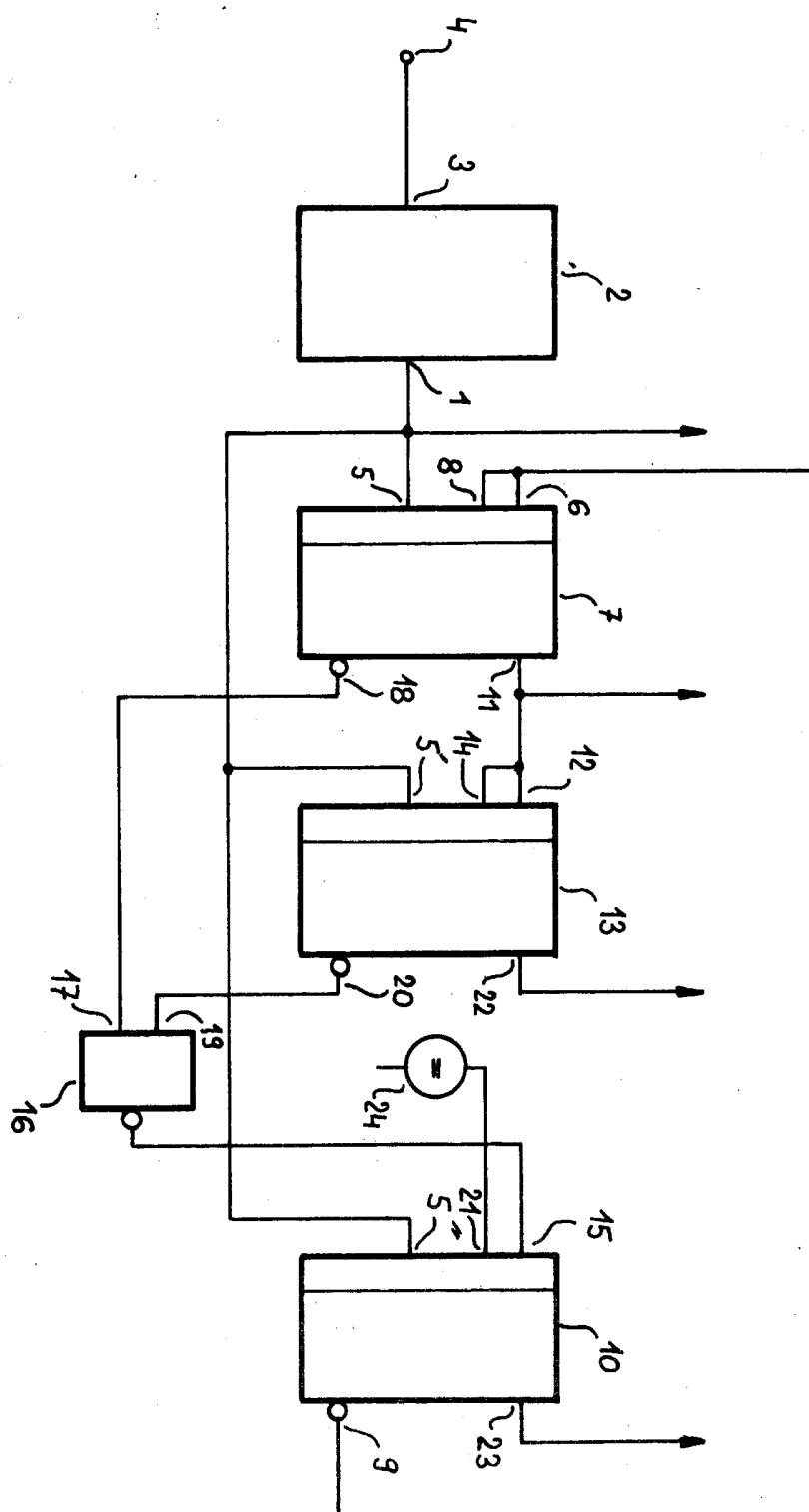
Popsané provedení desítkového čítače podle vynálezu lze snadno vyrobit za použití dostupných integrovaných obvodů. Dělič kmitočtu dvěma je možno zhotovit namísto integrovaných obvodů v případě potřeby např. z diskretních tranzistorů nebo z integrovaných obvodů zhotovených jinou technologií než trojice JK klopných obvodů.

Čítač je možno použít všude tam, kde požadujeme desítkové čítání impulsů o vysokém kmitočtu, například v prvních dekadách číslicových měřičů kmitočtu apod.

P R E D M Ě T V Y N Á L E Z U

1. Rychlý desítkový čítač, vyznačující se tím, že k výstupu (1) děliče (2) kmitočtu dvěma, jehož vstup (3) je spojen se vstupní svorkou (4) čítače jsou paralelně připojeny taktovací vstupy (5, 5', 5'') každého z trojice JK klopných obvodů (7, 10, 13), přičemž J vstup (6) prvního JK klopného obvodu (7) a K vstup (8) prvního JK klopného obvodu (7) jsou spojeny s invertovaným výstupem (9) třetího JK klopného obvodu (10), přímý výstup (11) prvního JK klopného obvodu (7) je spojen s J vstupem (12) druhého JK klopného obvodu (13) a s K vstupem (14) druhého JK klopného obvodu (13), J vstup (15) třetího JK klopného obvodu (10) je spojen s výstupem hradla (16) NOR, jehož první vstup (17) je spojen s invertovaným výstupem (18) prvního JK klopného obvodu (7) a jehož druhý vstup (19) je spojen s invertovaným výstupem (20) druhého JK klopného obvodu (13), K vstup (21) třetího JK klopného obvodu (10) je připojen na zdroj (24) napětí odpovídající logické jedničce a že výstup (1) děliče (2) kmitočtu dvěma, přímý výstup (11) prvního JK klopného obvodu (7), přímý výstup (22) druhého JK klopného obvodu (13) a přímý výstup (23) třetího JK klopného obvodu (10) jsou výstupy desítkového čítače s váhou postupně od nejnižší do nejvyšší.

254394



Severografia, n. p., MOST

Cena 2,40 Kčs