(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 203661402 U
(45)授权公告日 2014.06.18

(21)申请号 201320689311.4
(ESM)同样的发明创造已同日申请发明专利
(22)申请日 2013.10.30
(30)优先权数据
MI2012A001847 2012.10.30 IT
(73)专利权人 飞思卡尔半导体公司
地址 美国得克萨斯州
专利权人 意法半导体股份有限公司
(72)发明人 M·罗蒂格尼 R·莫斯利
P·比哈特 G·埃金顿
(74)专利代理机构 北京市金杜律师事务所 11256
代理人 王茂华
(51)Int.Cl.
H05K 1/02(2006.01)

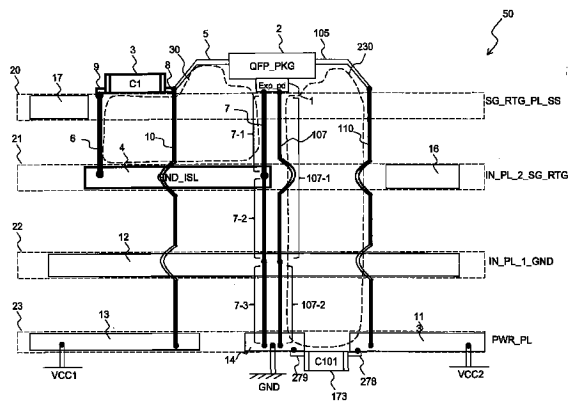
权利要求书2页 说明书11页 附图7页

(54)实用新型名称

印刷电路板

(57)摘要

本实用新型公开了一种印刷电路板，包括：第一外层；第二外层；安装于第二外层上的集成电路，具有：单个暴露的焊盘，电连接至接地参考，第一电源引脚，电连接至第一电源，第二电源引脚，电连接至第二电源；第一解耦电容器，靠近第一电源引脚安装于第二外层上，第一解耦电容器具有与第一电源引脚电连接的第一端子并且具有第二端子；内层，被插入在第一外层和第二外层之间，内层包括电连接至接地参考的金属层；第一过孔，被配置为将暴露的焊盘与内层的金属层电连接；第二过孔，被配置为将第一解耦电容器的第二端子与内层的金属层电连接；第二解耦电容器，具有电连接至第二电源的第一引脚并且具有电连接至接地参考的第二引脚。



CN 203661402 U

1. 一种印刷电路板 (50)，其特征在于，包括 ：

第一外层 (23) ；

第二外层 (20) ；

安装于所述第二外层上的集成电路 (2)，所述集成电路具有 ：

单个暴露的焊盘 (1)，电连接至接地参考，

第一电源引脚 (5)，电连接至第一电源 (VCC1)，

第二电源引脚 (105)，电连接至第二电源，

其中所述第一电源被配置为生成具有比由所述第二电源生成的第二电源电流的频率分量更高的频率分量的第一电源电流 ；

第一解耦电容器 (3)，靠近所述第一电源引脚 (5) 安装于所述第二外层上，所述第一解耦电容器具有与所述第一电源引脚 (5) 电连接的第一端子 (8) 并且具有第二端子 (9) ；

内层 (21)，被插入在所述第一外层 (23) 和所述第二外层 (20) 之间，所述内层包括电连接至所述接地参考的金属层 (4) ；

第一过孔 (7-1)，被配置为将所述暴露的焊盘 (1) 与所述内层的所述金属层 (4) 电连接 ；

第二过孔 (6)，被配置为将所述第一解耦电容器的所述第二端子 (9) 与所述内层的所述金属层 (4) 电连接 ；

第二解耦电容器 (173)，具有电连接至所述第二电源的第一引脚 (278) 并且具有电连接至所述接地参考的第二引脚 (279)。

2. 根据权利要求 1 所述的印刷电路板，其特征在于，所述第二解耦电容器 (173) 安装于所述第一外层 (23) 上。

3. 根据权利要求 2 所述的印刷电路板，其特征在于，所述第一外层 (23) 包括电连接至所述接地参考的第一金属层 (14)，其中所述第一过孔 (7-2、7-3) 进一步被配置为将所述内层的所述金属层 (4) 与所述第二外层的所述第一金属层 (14) 电连接，并且其中所述第二解耦电容器的所述第二引脚 (279) 电连接至所述第二外层的所述第一金属层 (14)。

4. 根据权利要求 3 所述的印刷电路板，其特征在于，进一步包括第三过孔 (107)，所述第三过孔被配置为将所述暴露的焊盘与所述第二外层的所述第一金属层 (14) 电连接。

5. 根据权利要求 4 所述的印刷电路板，其特征在于，所述第二外层包括电连接至所述第一电源 (VCC1) 的第二金属层 (13)，所述板还包括第四过孔 (10)，所述第四过孔被配置为将所述第一电源引脚和所述第一解耦电容器的所述第一引脚与所述第二外层的所述第二金属层 (13) 电连接。

6. 根据权利要求 5 所述的印刷电路板 (250)，其特征在于，所述第二外层还包括电连接至所述第二电源 (VCC2) 的第三金属层 (113)，

其中所述板还包括第五过孔 (110)，所述第五过孔被配置为将所述第二电源引脚与所述第一外层 (23) 的所述第三金属层 (113) 电连接，

其中所述第二解耦电容器的所述第一引脚 (278) 与所述第二外层的所述第三金属层 (113) 电连接。

7. 根据权利要求 1 至 6 中任一项所述的印刷电路板，其特征在于，所述内层 (21) 与所述第二外层 (20) 邻接。

8. 根据权利要求 2 至 6 中任一项所述的印刷电路板，其特征在于，还包括第三解耦电容器 (103)，所述第三解耦电容器安装于所述第二外层上，并且具有电连接至所述接地参考的第一引脚 (108) 和电连接至所述第一电源的第二引脚 (109)。

9. 根据权利要求 1 至 6 中任一项所述的印刷电路板，其特征在于，所述第二解耦电容器的电容值约为所述第一解耦电容器的电容值的三倍。

10. 根据权利要求 1 至 6 中任一项所述的印刷电路板，其特征在于，所述集成电路由扁平封装类型的封装包封。

11. 根据权利要求 2 至 6 中任一项所述的印刷电路板，所述板进一步包括安装于所述第二外层上的多个电子器件。

12. 根据权利要求 4 至 6 中任一项所述的印刷电路板，其特征在于，所述板包括被插入在所述第一外层 (23) 和所述内层 (21) 之间的另一内接地层 (22)，其中所述接地层 (22) 包括借由所述第一过孔 (7-3) 和 / 或所述第三过孔 (107-2) 电连接至所述接地参考并且借由所述第一过孔 (7-2) 电连接至所述内层的所述金属层 (4) 的金属层 (12)。

13. 根据权利要求 1 至 6 中任一项所述的印刷电路板，其特征在于，所述板包括 ：

电连接至所述第一电源的多个电源引脚 ；

多个解耦电容器，靠近所述多个电源引脚的相应外部电源引脚安装于所述第二外层上，其中所述多个解耦电容器中的每个解耦电容器具有电连接至所述多个电源引脚中的相应电源引脚的第一引脚，

其中所述内层 (21) 包括在所述内层上相互分离并且借由相应过孔电连接至所述暴露的焊盘的多个金属层 (4、4-1、4-2、4-3)，

其中所述多个解耦电容器中的每个解耦电容器具有借由相应过孔电连接至所述多个金属层中的相应金属层的第二引脚。

印刷电路板

技术领域

[0001] 本实用新型总体涉及电子设备领域。更具体地，本实用新型涉及具有减小的电磁辐射的发射的印刷电路板。

背景技术

[0002] 印刷电路板 (PCB) 具有将电子部件（诸如集成电路与电压或电流电源）相互电连接的功能。

[0003] 有必要使用在电源和集成电路之间插入的解耦电容器，以便利用高频分量提供执行电源电流的值的突然转变所需的电流，并且以便减少由集成电路生成的噪声的传播。

[0004] 事实上，电源、集成电路和接地路径形成环路，其利用高频分量承载朝向接地的返回电流，其中所述环路是被供给噪声的发射天线，该噪声通过由集成电路吸收的电流的切换生成，其可以引起电磁辐射的发射。此外，甚至印刷电路板的金属迹线可以传播通过吸收电流的切换生成的噪声，并且这一噪声在连接至印刷电路板的接线上传导。所述接线潜在地充当有效发射天线，其还增加来自印刷电路板的电磁辐射的发射。

[0005] 用于执行对通过由集成电路吸收的电流的切换生成的噪声的过滤的已知技术是将所有电子部件安装在印刷电路板的相同外侧上（用“部件侧部层”指示），并且使用一个或多个电容器（还被称作“解耦电容器”或“旁路”），该电容器连接在电源电压和参考电压之间至接地，并且被放置为接近集成电路的电源和接地引脚。解耦电容器连接在集成电路的电源引脚和接地引脚之间：以这种方式，每个解耦电容器产生承载朝向接地的返回电流的局部环路，其中局部环路具有小尺寸并且因此其具有小电感值。这允许减少板的电磁辐射的发射，这是因为具有高频分量的朝向接地的返回电流被限制在具有小尺寸并且因此具有小电感值的环路内，其能够抑制由电源电流的突然转变引起的电源电压的值的动态波动的峰值，并且因此减少来自板的电磁辐射的发射。

[0006] 因此解耦电容器具有局部储存电荷的功能，能够供应在由电源电流供电的集成电路的操作所需的电源电流的值的突然转变期间所需的电流，从而抑制由电源电流的突然转变引起的电源电压的动态波动的峰值。

[0007] 在许多情况下，现代集成电路使用具有不同值的两个或更多电压电源进行操作。例如，集成电路包括用于接收较高值（例如，3.3V 或 5V）的电压的电源引脚以为与集成电路的输入 / 输出引脚连接的朝向外部的接口电路供电，并且包括用于接收较低值（例如，1.2V 或 1.8V）的电压的另一电源引脚以为集成电路内部的逻辑电路供电。此外，流经具有最高电压的引脚的电流具有相对低频率分量的趋势，而流经具有最低电压的引脚的电流具有更高频率分量的趋势。

[0008] 在具有两个或更多电源的集成电路中，需要电分离与电源电压相关的具有高频分量的电流的返回路径和与另一电源电压相关的具有低频分量的电流的返回路径，由此防止由具有高频暂态的电流的切换生成的噪声在板内（例如在接地层或者电源层上）传播；这一传播可以有助于生成共模电流，该共模电流是集成电路安装在其上的板的电磁辐射的大

量发射的原因。

[0009] 与两个电源电压相关的返回电流之间的电分离通常在板的水平获得，该板的水平保持物理的分离：

[0010] 由电源电压并且利用具有高频分量的电源电流供电的电子器件的朝向接地的返回路径；

[0011] 与由电源电压并且利用具有低频分量的电源电流供电的电子器件的朝向接地的返回路径。

[0012] 此外，也在集成电路内维持在由电源电压供电的元件的接地与由另一电源电压供电的元件的接地之间的物理分离并且因此维持电分离：因此，集成电路包括若干接地引脚，每个对应于相应电源电压，以助于星形连接以便将与不同电源电压相关的返回路径相互隔离。

[0013] 包封在QFP（扁平封装）类型的封装内的集成电路具有朝向外部的连接引脚，其仅被放置在封装的周界的周围。

[0014] 此外，具有单个暴露的接地焊盘的QFP封装是可用的并且这允许具有沿着封装的周界的针对其它功能可用的更大数目的引脚以及更好的热耗散。所述暴露的接地焊盘通常被放置在封装的顶部或者底部表面的中心处并且利用这一表面的一部分。

[0015] 已知印刷电路板，该印刷电路板将电子部件安装在板的两个外部层上，例如在其中存在相当大尺寸的集成电路（例如微处理器）的情况下，该集成电路要求高数目的其它电路部件。在这一情况下，电子部件安装在印刷电路板的外层（被指示为“部件侧部层”）上，外集成电路安装在另一外部层（被指示为“焊接侧部层”）上。在其中安装在焊接侧部层上的集成电路的封装是具有单个暴露的接地焊盘的QFP类型的情况下，所述暴露的接地焊盘被焊接在焊接侧部上并且也有必要借由一个或者多个过孔将暴露的接地焊盘与部件侧部层连接，以便帮助QFP封装的热耗散。

[0016] 本申请人已经观察到安装在焊接侧部层上的QFP封装的暴露的接地焊盘与部件侧部层的连接产生朝向接地的环路，其具有相当大的尺寸，这是因为其穿过在焊接侧部层和部件侧部层之间包括的印刷电路板的所有内部层（例如，在包括四个层的板中，存在两个内层，一个用于连接信号引脚，另一个用于接地）：相当大的尺寸生成朝向接地产生的返回环路的高电感，并且生成在板内部的辐射结构，由此增加了印刷电路板的朝向外部和朝向板本身电磁辐射的发射。这可以允许符合国际标准CISPR25和IEC61967中限定的电磁兼容性测试。

[0017] 此外，本申请人已经观察到具有单个暴露的接地焊盘的QFP封装形成集成电路的两个或者更多电源共用的朝向接地的返回路径，这是因为仅有一个接地引脚，与集成电路的两个或者更多电源相关的朝向接地的返回路径连接至该接地引脚；因此有可能维持两个或者更多不同电源域的朝向接地的返回电流之间的分离。因此，当具有QFP封装（具有单个暴露的接地焊盘并且具有至少两个电源）的集成电路安装在印刷电路板上时，产生共模电流，其相当大地增加来自板的电磁辐射的发射并且因此不允许符合电磁兼容性测试。

实用新型内容

[0018] 本公开旨在减小来自印刷电路板的电磁辐射的发射。

[0019] 根据本公开的一个方面，提供一种印刷电路板，包括：

[0020] 第一外层；

[0021] 第二外层；

[0022] 安装于所述第二外层上的集成电路，所述集成电路具有：

[0023] 单个暴露的焊盘，电连接至接地参考，

[0024] 第一电源引脚，电连接至第一电源，

[0025] 第二电源引脚，电连接至第二电源，

[0026] 其中所述第一电源被配置为生成具有比由所述第二电源生成的第二电源电流的频率分量更高的频率分量的第一电源电流；

[0027] 第一解耦电容器，靠近所述第一电源引脚安装于所述第二外层上，所述第一解耦电容器具有与所述第一电源引脚电连接的第一端子并且具有第二端子；

[0028] 内层，被插入在所述第一外层和所述第二外层之间，所述内层包括电连接至所述接地参考的金属层；

[0029] 第一过孔，被配置为将所述暴露的焊盘与所述内层的所述金属层电连接；

[0030] 第二过孔，被配置为将所述第一解耦电容器的所述第二端子与所述内层的所述金属层电连接；

[0031] 第二解耦电容器，具有电连接至所述第二电源的第一引脚并且具有电连接至所述接地参考的第二引脚。

[0032] 优选地，所述第二解耦电容器安装于所述第一外层上。

[0033] 优选地，所述第一外层包括电连接至所述接地参考的第一金属层，其中所述第一过孔进一步被配置为将所述内层的所述金属层与所述第二外层的所述第一金属层电连接，并且其中所述第二解耦电容器的所述第二引脚电连接至所述第二外层的所述第一金属层。

[0034] 优选地，进一步包括第三过孔，所述第三过孔被配置为将所述暴露的焊盘与所述第二外层的所述第一金属层电连接。

[0035] 优选地，所述第二外层包括电连接至所述第一电源的第二金属层，所述板还包括第四过孔，所述第四过孔被配置为将所述第一电源引脚和所述第一解耦电容器的所述第一引脚与所述第二外层的所述第二金属层电连接。

[0036] 优选地，所述第二外层还包括电连接至所述第二电源的第三金属层，

[0037] 其中所述板还包括第五过孔，所述第五过孔被配置为将所述第二电源引脚与所述第一外层的所述第三金属层电连接，

[0038] 其中所述第二解耦电容器的所述第一引脚与所述第二外层的所述第三金属层电连接。

[0039] 优选地，所述内层与所述第二外层邻接。

[0040] 优选地，还包括第三解耦电容器，所述第三解耦电容器安装于所述第二外层上，并且具有电连接至所述接地参考的第一引脚和电连接至所述第一电源的第二引脚。

[0041] 优选地，所述第二解耦电容器的电容值约为所述第一解耦电容器的电容值的三倍。

[0042] 优选地，所述集成电路由扁平封装类型的封装包封。

[0043] 优选地，所述板进一步包括安装于所述第二外层上的多个电子器件。

[0044] 优选地，所述板包括被插入在所述第一外层和所述内层之间的另一内接地层，其中所述接地层包括借由所述第一过孔和 / 或所述第三过孔电连接至所述接地参考并且借由所述第一过孔电连接至所述内层的所述金属层的金属层。

[0045] 优选地，所述板包括：

[0046] 电连接至所述第一电源的多个电源引脚；

[0047] 多个解耦电容器，靠近所述多个电源引脚的相应外部电源引脚安装于所述第二外层上，其中所述多个解耦电容器中的每个解耦电容器具有电连接至所述多个电源引脚中的相应电源引脚的第一引脚，

[0048] 其中所述内层包括在所述内层上相互分离并且借由相应过孔电连接至所述暴露的焊盘的多个金属层，

[0049] 其中所述多个解耦电容器中的每个解耦电容器具有借由相应过孔电连接至所述多个金属层中的相应金属层的第二引脚。

[0050] 本申请人已经理解根据本实用新型的印刷电路板允许减少电磁辐射的发射，即使在使用具有单个暴露的接地焊盘的 QFP 封装的情况下以及在使用具有不同频率分量的电源电流的至少两个电源的情况下。

附图说明

[0051] 本实用新型的其它特性和优势将从优先实施方式和参照附图借由示例给出的其变体的以下描述中得到，其中：

[0052] 图 1A 示意性示出根据本实用新型的第一实施方式的印刷电路板的截面图；

[0053] 图 1B 示意性示出根据本实用新型的第二实施方式的印刷电路板的截面图；

[0054] 图 1C 示意性示出根据本实用新型的第三实施方式的印刷电路板的截面图；

[0055] 图 2A 示意性示出根据本实用新型的印刷电路板的透视图，其中安装由具有单个暴露的接地焊盘的 QFP 封装包封的集成电路；

[0056] 图 2B 更具体示出图 2A 的透视图的一部分；

[0057] 图 3A 示出根据本实用新型的印刷电路板内部的层的顶视图；

[0058] 图 3B 示出根据本实用新型的印刷电路板外部的层的顶视图。

具体实施方式

[0059] 参照图 1A，示出根据本实用新型的第一实施方式的印刷电路板 50 的截面图。

[0060] 该印刷电路板 50 包括：

[0061] 四个层 20、21、22、23；

[0062] 具有单个暴露的接地焊盘 1 的 QFP 类型的封装 2；

[0063] 第一解耦电容器 3；

[0064] 第二解耦电容器 173；

[0065] 在两个或者更多层 20、21、22、23 之间的多个电连接 6、7、10、107、110（通常利用术语“过孔”指示）；

[0066] 在两个邻接层之间插入的电绝缘材料层（例如 FR-4 类型）（为了简单起见，在图 1A 中未示出两个邻接层之间的绝缘层）。

[0067] 板 50 由第一电源供电，第一电源包括安装在板 50 上或者在板 50 外部的局部电压调节器，以便生成第一电源电压 VCC1 和对应的第一电源电流 ICC1 ；备选地，第一电源可以是安装在另一板上并且为多个板供电的电压调节器。

[0068] 板 50 也由第二电源供电，第二电源包括安装在板 50 上或者在板 50 外部的局部电压调节器，以便生成第二电源电压 VCC2 和对应的第二电源电流 ICC2 ；备选地，第二电源可以是安装在另一板上并且为多个板供电的电压调节器。

[0069] 第一电源电流 ICC1 具有如下切换，该切换具有比第二电源电流 ICC2 的切换的暂态的频率更高的频率的暂态。例如，第一电源电压的值 VCC1 等于 1.2V 并且第一电源电流 ICC1 具有如下切换，该切换具有数十或者数百兆赫的频率暂态，而第二电源电压的值 VCC2 等于 3.3V 并且第二电源电流 ICC1 具有如下切换，该切换具有数十或者数百千赫的频率暂态。

[0070] QFP 封装 2（并且因此由封装 2 包封的集成电路）包括电连接至第一电源的第一电源引脚 5 并且包括电连接至第二电源的第二电源引脚 105。

[0071] 具有单个暴露的接地焊盘 1 的 QFP 封装 2 包括例如为微处理器的集成电路或者数字类型的集成电路，其中内部逻辑的一部分由第一电源生成的第一电源电压 VCC1（例如等于 1.2V）供电，并且其中与集成电路的输入 / 输出引脚连接的朝向外部的接口电路由第二电源生成的第二电源电压 VCC2（例如等于 3.3V）供电。

[0072] 第一外层 23（用“部件侧部层”指示）包括暴露的外表面，该外表面是印刷电路板 50 的外表面，并且包括内表面，该内表面与在第一外层 23 和内层 21 之间插入的绝缘层的表面接触。

[0073] 第一外层 23 包括朝向外部电连接至第一电源电压 VCC1（例如等于 1.2V）的第一金属层 13，并且包括与金属层 13 电分离并且朝向外部电连接至第二电源电压 VCC2（例如等于 3.3V）的第二金属层 113。

[0074] 金属层 13 具有用于向封装 2 的第一电源引脚 5 提供第一电源电压 VCC1 的功能，并且具有向安装在第一外层 23 上的电子部件（为了简单起见在图 1A 中未示出）提供第一电源电压 VCC1 的功能。

[0075] 金属层 113 具有用于向封装 2 的第二电源引脚 105 提供第二电源电压 VCC2，以及向安装在第一外层 23 上的电子部件（为了简单起见在图 1A 中未示出）提供第二电源电压 VCC2 的功能。

[0076] 第一外层 23 还包括与金属层 13 和与金属层 113 电隔离的金属层 14 ；金属层 14 朝向外部连接至接地参考电压。

[0077] 接地层 22 在印刷电路板 50 内部，与第一外层 23 邻接并且插入在第一外层 23 和层 21 之间。接地层 22 包括与在接地层 22 和第一外层 23 之间插入的绝缘层的表面接触的表面，并且包括与在接地层 22 和内层 21 之间插入的绝缘层的表面接触的另一表面。接地层 22 包括金属层 12，该金属层具有向暴露的焊盘 1 和向安装在第一外层 23 上的电子部件的接地引脚分配接地参考电压的功能 ；此外，金属层 12 借由过孔 7 的部分 7-3 并且借由过孔 107 的部分 107-3 朝向板 50 的外部连接至接地参考电压。例如可以利用朝向局部电压调节器的共用端子的星形连接或者借由朝向外部电压调节器的共用端子的连接器和接线来实现朝向外部的接地连接 ；另一连接可以由连接至电压调节器的共用端子的扩散的邻接

接地层形成。

[0078] 内层 21 在印刷电路板 50 内部，并且被插入在接地层 22 和第二外层 20 之间。具体而言，内层 21 与第二外层 20 邻接，这意味着内层 21 接近第二外层 20 但不与其接触。更具体而言，内层 21 包括与在内层 21 和第二外表面 20 之间插入的绝缘层的表面接触的表面，并且包括与在内层 21 和接地层 22 之间插入的绝缘层的表面接触的另一表面。

[0079] 备选地，内层 21 被插入在第二外层 20 和第一外层 23 之间，但不与第二外层 20 邻接，这意味着一个或者多个其它层可以被插入在第二外层 20 和内层 21 之间；此外，超过一个层可以被插入在内层 21 和第一外层 23 之间。

[0080] 内层 21 包括金属层 16，在该金属层上形成金属迹线以形成在封装 2 的输入 / 输出引脚与传感器、致动器之间的连接，在封装 2 的输入 / 输出引脚与安装在第一外层 23 上（或者安装在其它板上）的部件的通信线路之间的连接以及在安装在第一外层 23 上的电子部件之间的连接。

[0081] 内层 21 包括由在下文中由“接地岛区 (island)4”指示的另一金属层 4，其与金属层 16 电分离并且具有产生第一局部环路 30（在图 1A 中用虚线示出）以用于与第一电源电压 VCC1 相关的朝向接地的返回电流，以便减小由印刷电路板 50 发出的电磁辐射，以下将进行更具体说明。

[0082] 第二外层 30（用“焊接侧部层”指示）包括暴露的外表面，该暴露的外表面是板 50 的与第一外层 23 的外表面相对的外表面，并且包括与在第二外层 23 和接地层 22 之间插入的绝缘层的表面接触的内表面。第二外层 20 包括金属层 17，该金属层具有形成在封装 2 的第一电源引脚 5 与第一解耦电容器 3 之间的连接、在封装 2 的信号引脚与安装在板 50 上的其他部件的连接以及在安装在第一外层 23 上的电子部件之间的连接。

[0083] QFP 封装 2（并且因此由封装 2 包封的集成电路）安装在第二外层 20 的暴露的外表面上并且暴露的焊盘 1 电连接至：

[0084] 接地岛区 4，借由过孔 7 的部分 7-1；

[0085] 接地层 22 的金属层 12，借由过孔 7 的部分 7-1、7-2 并且借由过孔 107 的部分 107-1；

[0086] 第一外层 23 的金属层 14，借由包括部分 7-1、7-2、7-3 的过孔 7 并且借由包括部分 107-1、107-2 的过孔 107。

[0087] 暴露的焊盘 1 和金属层 14 之间的物理连接（借由具有过孔 7 和 107 的连接获得）允许改进 QFP 封装 2 的热耗散，因为其产生具有高热传导性的路径。

[0088] 必须注意，为了简单起见，在图 1A 中仅示出一个过孔 7，但是有可能过孔 7 由将暴露的焊盘 1 电连接至接地岛区 4、至金属层 12 和至金属层 14 的基本上相互平行的多个过孔 7a、7b、7c..... 制成：以这一方式，减小暴露的焊盘 1 和接地岛区 4 之间的以及暴露的焊盘 1 和金属层 14 之间的电连接的电感。

[0089] 类似地，在图 1A 中示出一个过孔 110，但是有可能过孔 107 由将暴露的焊盘 1 电连接至金属层 12 以及电连接至金属层 14 的基本上彼此平行的多个过孔 107a、107b、107c..... 制成。

[0090] QFP 封装 2 具有借由过孔 10 电连接至第一外层 23 的金属层 13（继而连接至第一电源电压 VCC1）的第一电源引脚 5，并且其具有借由过孔 110 电连接至第一外层 23 的金属

层 113(继而连接至第二电源电压 VCC2)的第二电源引脚 5。必须注意,为了简单起见,在图 1A 中示出单个过孔 10,但是有可能过孔 10 由将第一电源引脚 5 与第一外层 23 的金属层 13 电连接的多个过孔 10a、10b、10c..... 制成;类似地,在图 1A 中仅指示一个过孔 110,但是有可能过孔 110 由将第二电源引脚 105 与第一外层 23 的金属层 113 电连接的多个过孔 110a、110b、110c..... 制成。

[0091] 第一解耦电容器 3 靠近封装 2 的第一电源引脚 5 地安装在第二外层 20 的暴露的外表面上。具体而言,第一解耦电容器 3 包括借由宽迹线 17-1 和在金属层 17 上几乎零长度电连接至封装 2 的第一电源引脚 5 的第一端子 8,并且包括借由过孔 6 电连接至接地岛区 4 的第二端子 9。

[0092] 第二解耦电容器 173 安装在第一外层 23 的暴露的外表面上,并且因此在与第一解耦电容器 3 的相对的侧上。具体而言,第二解耦电容器 173 包括第一引脚 278 以及第二引脚 279,第一引脚 278 电连接至第一外层 23 的金属层 113(继而连接至第二电源电压 VCC2)并且借由过孔 110 电连接至封装 2 的第二电源引脚 105,并且第二引脚 279 包括电连接至金属迹线 14(继而连接至去往接地的参考电压)并且借由过孔 107 电连接至暴露的焊盘 1。

[0093] 第一解耦电容器 3 具有(与接地岛区 4 一起)产生第一局部环路 30 用于与第一电源电压 VCC1 相关的朝向接地的返回电流的功能,以便减小与第一电源电压 VCC1 相关的朝向接地的返回电流的路径的电感,并且因此减小由印刷电路板 50 发出的电磁辐射,以下将更具体进行说明。

[0094] 因此,第一解耦电容器 3 具有局部储存电荷的功能,能够提供执行流经第一电源引脚 5 的由封装 2 包封的集成电路的操作所需的第一电源电流 ICC1 的值的突然转变所需的电流,从而抑制由第一电源电流 ICC1 的突然转变引起的第一电源电压 VCC1 的动态波动的峰值,并且由此减小来自板 50 的电磁辐射的发射。

[0095] 必须注意,封装 2 的第一电源引脚 5 和第一解耦电容器 3 的第一端子 8 之间的(借由迹线 17-1 的)连接并不穿过第一外层 23 的金属层 13,并且因此降低(由第一电源引脚 5 所吸收的电流的切换生成的)噪声的朝向第一外层 23 的传播,该传播将引起来自板 50 的电磁辐射的发射。

[0096] 必须注意,在图 1A 中使用黑点符号来指示电接触的存在(例如过孔和板的层之间、电子部件的两个引脚之间、引脚和过孔之间的电接触),而使用桥符号来指示过孔在桥穿过层的点处不与板的层电连接。

[0097] 接地岛区 4 借由过孔 6 与第一解耦电容器 3 的第二端子 9 电连接,借由过孔 7 的部分 7-1 与暴露的焊盘 1 电连接、借由过孔 - 的部分 7-2 与接地层 22 的金属层 12 电连接并且借由过孔 7 的部分 7-2、7-3 电连接至第一外层 23 的金属层 14。

[0098] 第一电源引脚 5、由 QFP 封装 2 包封的集成电路、暴露的焊盘 1、过孔 7 的部分 7-1、接地岛区 4、过孔 6 和第一解耦电容器 3 的集合具有产生第一局部环路 30 的功能,该第一局部环路允许电流流经第一电源引脚 5 以经由低电感路径朝向接地参考返回。事实上,第一局部环路的尺寸(意味着周界的长度)被最小化并且由第一局部环路 30 形成的路径的电感的值为小或者远小于由安装在第一外层 23 上的第二解耦电容器 173 形成的路径(参见图 1A 中 230)的电感的值。已知在交流电中,电流流过具有最小电感的路径并且这一行为随着频率增加而增加;因此,通常具有高频分量的返回电流往往流经具有更小电感的第

一局部环路 30，而通常具有低频分量的返回电流主要流经接地层 22 的金属层 12。以这一方式，减小了由于流经第一电源引脚 5 的第一电源电流 ICC1 的具有高频暂态的切换而引起的由印刷电路板 50 发出的电磁辐射，这是因为具有高频分量的返回电流保持限制在具有小电感值的第一局部环路 30 中 ：这允许对具有由封装 2 包封的集成电路的第一电源引脚 5 的切换生成的高频分量的噪声的高抑制，并且由此减小板 50 的电磁辐射的总发射。

[0099] 在一个实施方式中，在第二外层 20 和内层 21 之间包括的绝缘层的厚度小于在内层 21 和接地层 22 之间的厚度 ：这帮助进一步减小第一局部环路 30 的尺寸。

[0100] 例如，第一电源引脚 5 由此接收等于 1.2V 的电压值，其用来为由 QFP 封装 2 包封的数字型集成电路内部的逻辑的部分供电 ；所述内部逻辑由此根据具有高频率值（例如数十或者数百兆赫）的时钟信号同步操作。因此内部逻辑在其操作期间由此以第一电源电流 ICC1 的吸收峰值与在非常高频率逻辑值的切换对应，并且这要求在第一电源引脚 5 中流动的第一电源电流 ICC1 的值的具有高频暂态的切换，如果第一局部环路 30 不存在，则该第一电源引脚将是由板 50 发射的电磁辐射的源。

[0101] 第二解耦电容器 173 具有产生第二环路用于与第二电源电压 VCC2 相关并且具有利用低频暂态的切换的朝向接地的返回电流的功能，以便减小由印刷电路板 50 发射的电磁辐射。

[0102] 因此第二解耦电容器 173 具有局部储存电荷的功能，能够提供执行流经第二电源引脚 105 的由封装 2 包封的集成电路的操作所需的第二电源电流 ICC2 的值的具有低频暂态的切换的电流，从而抑制由第二电源电流 ICC2 的具有低频暂态的切换的引起的第二电源电压 VCC2 的峰值，并且由此减小来自板 50 的电磁辐射的发射。

[0103] 具体而言，第二环路 230 包括第二电源引脚 105、过孔 110、第二解耦电容器 173、过孔 107、暴露的焊盘 1 和由 QFP 包封的集成电路。

[0104] 然而，第二环路 230 具有大于第一局部环路 30 的尺寸（意味着周界的长度）并且因此其具有大于第一环路 30 的电感。因此，在第二环路 230 中，其将返回电流流向与第二电源电压 VCC2 相关的接地并且主要具有比在第一局部环路 30 中流动的朝向接地的返回电流的切换的暂态的频率更低的频率的暂态的切换 ：这使得尽管存在执行朝向与第一和第二电源电压 VCC1 和 VCC2 相关的两个返回路径的短路的接地引脚 1，仍然能够分离 ：

[0105] 朝向接地流经第二环路 230 并且具有利用低频暂态的切换的返回电流 ；

[0106] 与朝向接地流经第一局部环路 30 并且具有利用高频暂态的切换的返回电流。

[0107] 以这一方式，其针对高频电流分量大大减小板 50 中的传播（具体而言，在接地层 22 上和在第一外层 23 上）并且其主要允许低频电流分量在板 50 内的传播 ；因此，其减小共模电流的生成并且因此其大大减小由板 50 的电磁辐射的发射。

[0108] 必须注意，过孔 7 的部分 7-1 由此从第二外层 20 向内层 21 运载电流，而靠近部分 7-1 放置并且与其基本平行的的过孔 6 由此从内层 21 向第二外层 20 运载电流，因此具有相反方向 ：流经过孔 6 的电流由此生成与由流经过孔 7 的部分 7-1 的电流生成的电磁场相反的电磁场，因此生成的电磁场往往抵消。这进一步减小板 50 内高频电流分量的传播并且由此帮助进一步减小由板 50 发射的电磁辐射。

[0109] 在一个实施方式中，封装 2 具有基本上矩形形状并且针对每侧包含类似于第一电源引脚 5 并且由此接收第一电源电压 VCC1 的电源引脚。在这一情况下，在第二外层 20 上

安装类似于解耦电容器 3 的四个解耦电容器 3-1、3-2、3-3、3-4，其具有相同电容值，在每侧上定位一个并且每个靠近相应电源引脚；此外，在内层 21 中存在相互分离并且与接地岛区 4 类似的 4 个接地岛区 4-1、4-2、4-3、4-4，针对每个解耦电容器 3-1、3-2、3-3、3-4 分别一个。解耦电容器中的每个解耦电容器 3-1、3-2、3-3、3-4 具有与第一解耦电容器 3 相同的功能，也就是用于产生相应局部环路 30-1、30-2、30-3、30-4 用于朝向接地的具有高频分量的返回电流，每个环路用于相应电源引脚。四个解耦电容器 3-1、3-2、3-3、3-4 的存在允许进一步抑制第一电源电压 VCC1 的动态波动的峰值。

[0110] 类似地，封装 2 针对每侧包含类似于第二电源引脚 105 并且由此接收第二电源电压 VCC2 的电源引脚。在这一情况下，在第一外层 23 上安装类似于第二解耦电容器 173 的四个解耦电容器 173-1、173-2、173-3、173-4，其具有相同电容值，在每侧上定位一个并且每个靠近相应电源引脚。解耦电容器 173-1、173-2、173-3、173-4 中的每个解耦电容器具有与第二解耦电容器 173 相同的功能，也就是用于产生相应局部环路 230-1、230-2、230-3、230-4 用于朝向接地的具有低频分量的返回电流，其中环路 230-1、230-2、230-3、230-4 中的每个环路与相应电源引脚相关联。

[0111] 图 2A 示出根据本实用新型的印刷电路板 250 的透视图。在板 250 上安装由具有单个暴露的接地焊盘 1 的 QFP 封装 2 包封的集成电路。必须注意，在图 2A 中以关于图 1 中所示的板 50 的层相反的顺序示出板 250 的层，也就是在图 2 的板 250 中在顶部处示出第一外层 23（而在图 1A 的板 50 中在底部处示出第一外层 23）并且在底部处示出第二外层 20（而在图 1A 的板 50 中在顶部处示出第二外层 20）。

[0112] 板 250 的层 20、21、22、23 分别执行与板 50 的层 20、21、22、23 相同的功能。

[0113] 以下论述是可能的：

[0114] 板 250 的内层 21 包括接地岛区 4，其具有与板 50 的内层 21 的接地岛区 4 类似的功能；

[0115] QFP 封装 2 包括暴露的焊盘 1；

[0116] 解耦电容器 3 具有端子 8、9；

[0117] 板 250 的过孔 6 具有与板 50 的过孔 6 相同的功能；

[0118] 金属层 14 具有与板 50 的金属层 14 相同的功能，也就是产生具有高热传导性的路径（类似于“烟囱”），其允许改进从由封装 2 包封的集成电路抽取热量。

[0119] 图 2B 更具体示出图 2A 的透视图的一部分。应当注意，在图 2A 和图 2B 中用相同参考标号指示相同元件。

[0120] 此外，必须注意，在图 2B 中再次关于图 2A 的板 250 的层以相反顺序示出板 250 的层（并且因此以与图 1A 相同页序示出图 2B 中的板 250 的层），以便突出第一解耦电容器 3 的位置。

[0121] 具体而言，图 2B 更具体示出电源引脚 5 并且其示出过孔 10，该过孔 10 由此将电源引脚 5 电连接至部件侧部外层的金属层 13（在图 2B 中未示出），该部件侧部外层连接至第一电源电压 VCC1。此外，图 2B 更具体示出接地岛区 4，该接地岛区 4 借由过孔 6 电连接至第一解耦电容器 3 的端子 9，并且示出 QFP 封装 2 的电源端子 5 借由宽金属迹线 17-1 和几乎零长度电连接至电容器 3 的端子 8。

[0122] 图 3A 示出印刷电路板 250 的内层 21 的顶视图。有可能注意到接地岛区 4 的存在，

该接地岛区 4 将第一解耦电容器 3（在图 3A 中不可见，因为其安装在另一外层 20 上）的端子 9 与暴露的焊盘 1 电连接。其中可见的是具有将暴露的焊盘 1 与接地岛区 4 电连接的多个过孔。

[0123] 也可能注意到金属层 16 的迹线的存在，其将封装 2 的引脚与安装在外侧部件上的其它电子部件连接。

[0124] 在一个实施方式中，内层 21 包括四个接地岛区 4、4-1、4-2、4-3，其借由与暴露的焊盘 1 的共用连接相互电短路。四个接地岛区 4、4-1、4-2、4-3 中的每个接地焊区已经关联相应的解耦电容器并且实现具有低电感的去往接地的相应的返回路径，由此允许具有高频分量的相应电流流经该返回路径。具有低电感的多个返回路径的存在旨在试图强制分离与电源电压的不同源相关的朝向接地的返回电流的分离，这是因为其试图在由于与暴露的焊盘 1 短路而并非物理分离的返回路径之间插入电隔离。以此方式，尝试进一步减小共模电流的生成，并且因此进一步减小由板 250 的电磁辐射的生成。

[0125] 在图 3A 中，有可能注意到尽管在内层 21 上存在多个接地岛区 4、4-1、4-2、4-3，但是针对金属层迹线 16 的大表面区域是可用的，并且因此存在用于执行由封装 2 包封的集成电路的输入 / 输出引脚的连接的路由的大表面区域。

[0126] 图 3B 示出印刷电路板 250 的第二外层 20 的顶视图。有可能注意到存在金属区域 35，在该金属区域 35 上焊接 QFP 封装 2 的暴露的焊盘 1。也有可能注意到金属区域 17-3 和金属区域 17-1 的存在，在该金属区域 17-3 上焊接第一解耦电容器 3 的端子 9，在金属区域 17-1 上焊接 QFP 封装 2 的电源引脚 5。

[0127] 参照图 1B，其示出根据本实用新型的第二实施方式的印刷电路板 150 的截面图。应当注意的是在图 1A 和图 1B 中用相同参考标号指示相同元件。

[0128] 第二实施方式与第一实施方式区别在于存在第三解耦电容器 103，该第三解耦电容器 103 安装在第一外层 23 的暴露的外表面上，因此在与第一解耦电容器 3 的侧相对的侧上。

[0129] 解耦电容器 103 包括电连接至金属层 13（继而连接至第一电源电压 VCC1）的第一引脚 109，并且包括电连接至金属层 14（继而连接至接地参考电压）的第二引脚 108。

[0130] 解耦电容器 103 具有产生第三环路 130（在图 1B 中用虚线示出）用于朝向接地的返回电流的功能，以便进一步减小由印刷电路板 150 发射的电磁辐射。具体而言，第三环路 130 包括第一电源引脚 5、由 QFP 封装 2 包封的集成电路、暴露的焊盘 1、过孔 7、解耦电容器 103 和过孔 10。

[0131] 第三环路 130 具有大于第一局部环路 30 的尺寸（意味着周界的长度）并且因此其具有大于第一局部环路 30 的电感。因此，朝向接地的与第一电源电压 VCC1 相关并且具有比朝向接地的流经第一局部环路 30 的返回电流的频率分量更小的频率的分量的返回电流穿过第三环路 130。

[0132] 参照图 1C，其示出根据本实用新型的第三实施方式的印刷电路板 350 的截面图。应当注意的是在图 1A 和图 1C 中用相同参考标号指示相同元件。

[0133] 第三实施方式与第一实施方式的不同之处在于安装在第二外层 20 的暴露的外表面上的附加的解耦电容器 203 的存在，因此在第一解耦合电容器 3 的相同侧。

[0134] 必须注意，图 1C 中示出的解耦电容器 203 的位置仅旨在说明第三实施方式，并且

解耦电容器 203 的实际位置可以不同于图 1C 中示出的位置。具体而言，安装解耦电容器 203 以便关于第一解耦电容器 3 截面对准，如图 2B 中针对电容器 3 和 203 所示的那样。

[0135] 解耦电容器 203 被放置为靠近第一电源引脚 5，并且包括借由过孔 111 电连接至接地层 22 的金属层 12 的第一引脚 209，并且包括借由金属层 17 上的金属迹线 17-2 电连接至第一电源引脚 5 的第二引脚 208。

[0136] 解耦电容器 203 具有与第二实施方式的第三解耦电容器 103 类似的功能，也就是产生朝向接地的附加返回路径用于与第一电源电压 VCC1 相关并且具有低频分量的电流。

[0137] 在一个实施方式中，第二解耦电容器 173 的电容值约是第一解耦电容器 3 的电容值的三倍。例如第二解耦电容器 173 的电容值等于 300nF，并且第一解耦电容器 3 的电容值等于 100nF。

[0138] 类似地，第三解耦电容器 103（或者解耦电容器 203）的电容值约为第一解耦电容器 3 的电容值的三倍。例如，例如第三解耦电容器 103（或者解耦电容器 203）的电容值等于 300nF，并且第一解耦电容器 3 的电容值等于 100nF。

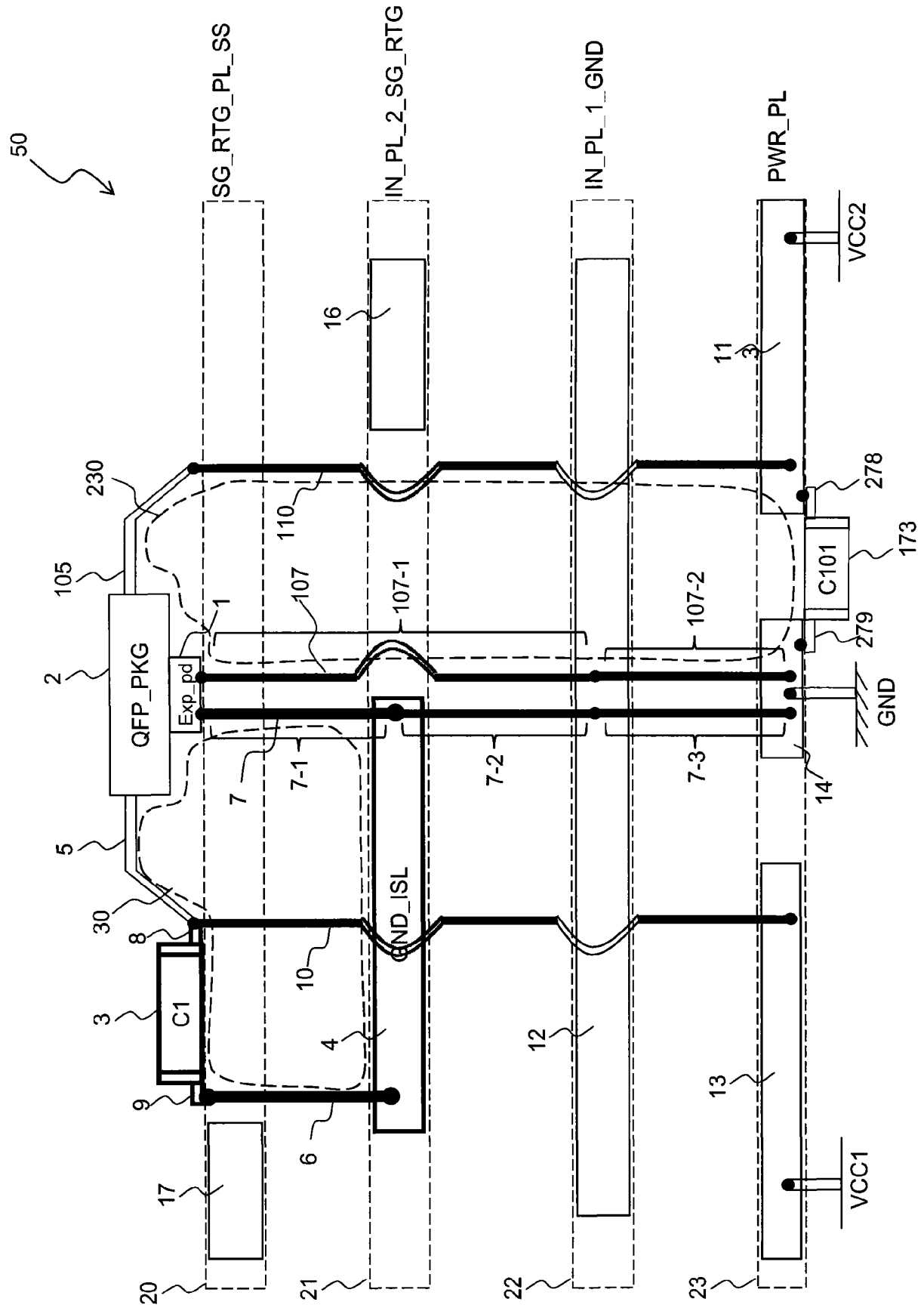

50
SG_RTG_PL_SS
IN_PL_2_SG_RTG
IN_PL_1_GND
PWR_PL
VCC2
VCC1
GND
C101
C1
QFP_PKG
Exp_pd
ND_ISL
16
11
3
278
173
279
14
230
110
105
107
107-1
107-2
1
2
7
7-1
7-2
7-3
5
30
8
10
3
4
12
13
9
6
17
20
21
22
23

图 1A

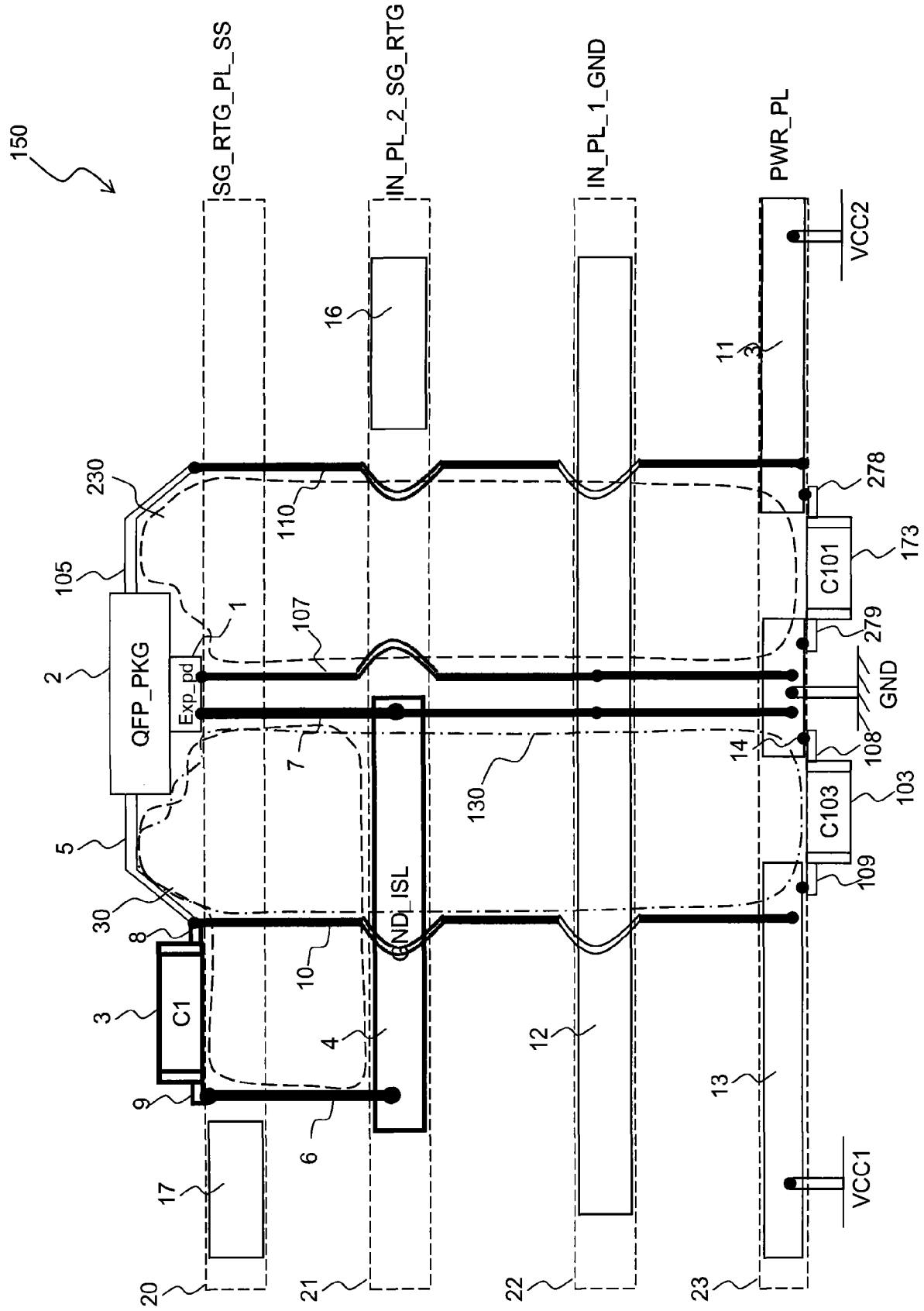

150
SG_RTG_PL_SS
IN_PL_2_SG_RTG
IN_PL_1_GND
PWR_PL
VCC2
VCC1
GND
GND_ISL
QFP_PKG
Exp_pd
C1
C101
C103
16
11
3
230
110
278
105
1
107
173
2
279
7
130
14
108
103
5
109
30
8
10
3
4
12
13
9
6
17
20
21
22
23

图 1B

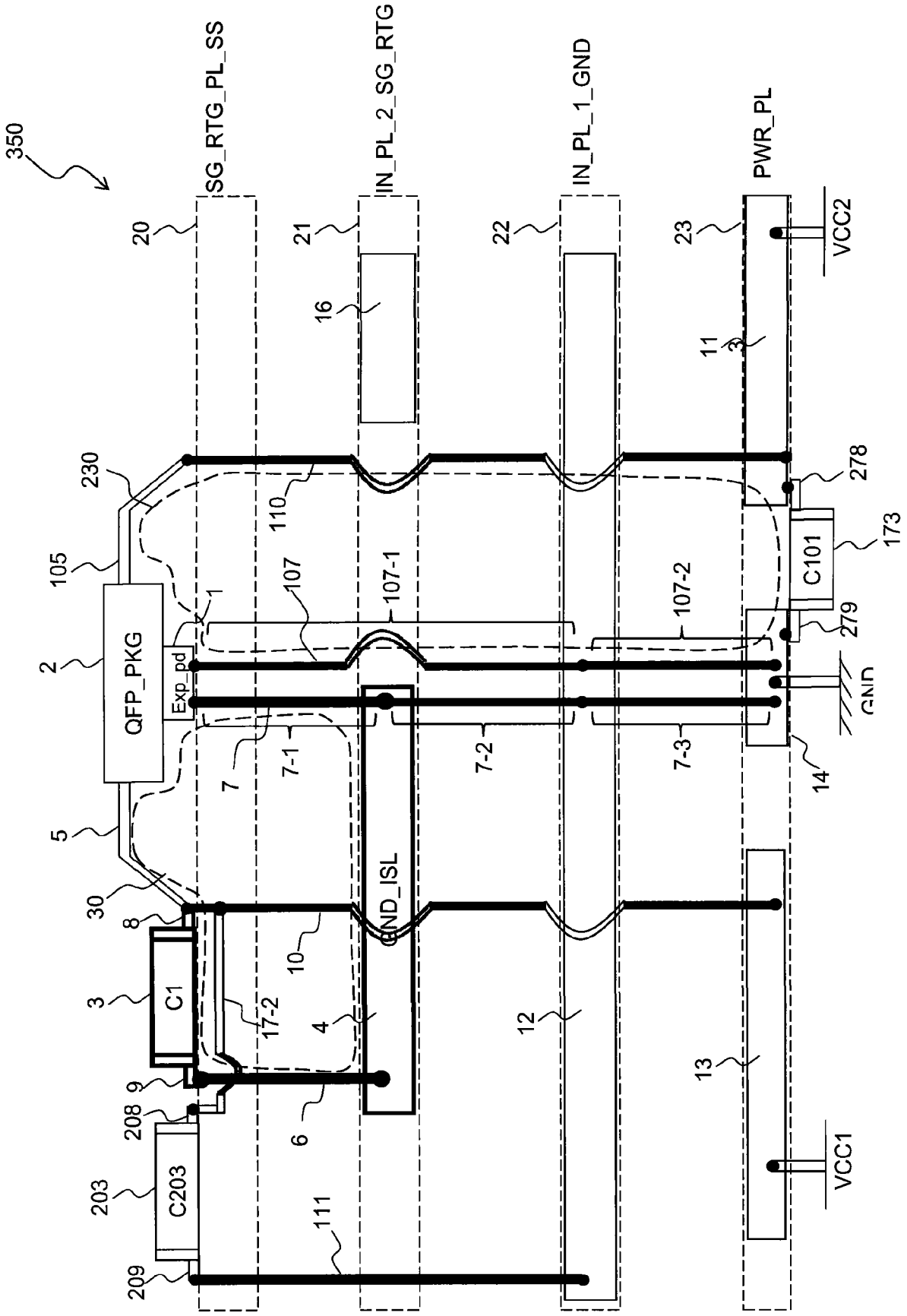

350
SG_RTG_PL_SS
IN_PL_2_SG_RTG
IN_PL_1_GND
PWR_PL
20
21
22
23
VCC2
16
11
3
230
278
110
105
107
107-1
107-2
C101
173
1
2
QFP_PKG
Exp_pd
279
GND
7
7-1
7-2
7-3
14
5
30
8
GND_ISL
10
3
C1
17-2
4
12
13
9
208
6
VCC1
203
C203
111
209

图 1C

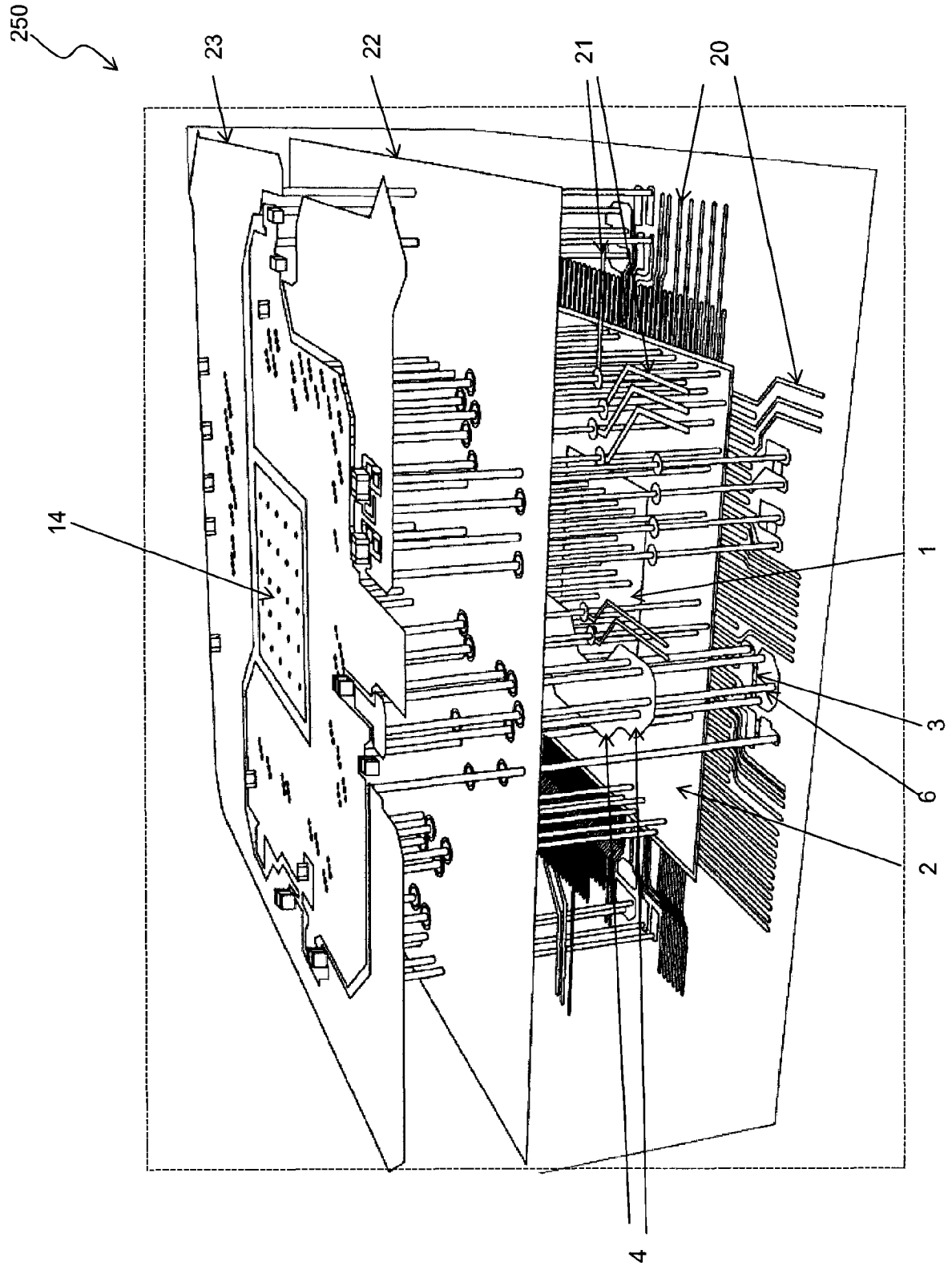


图 2A

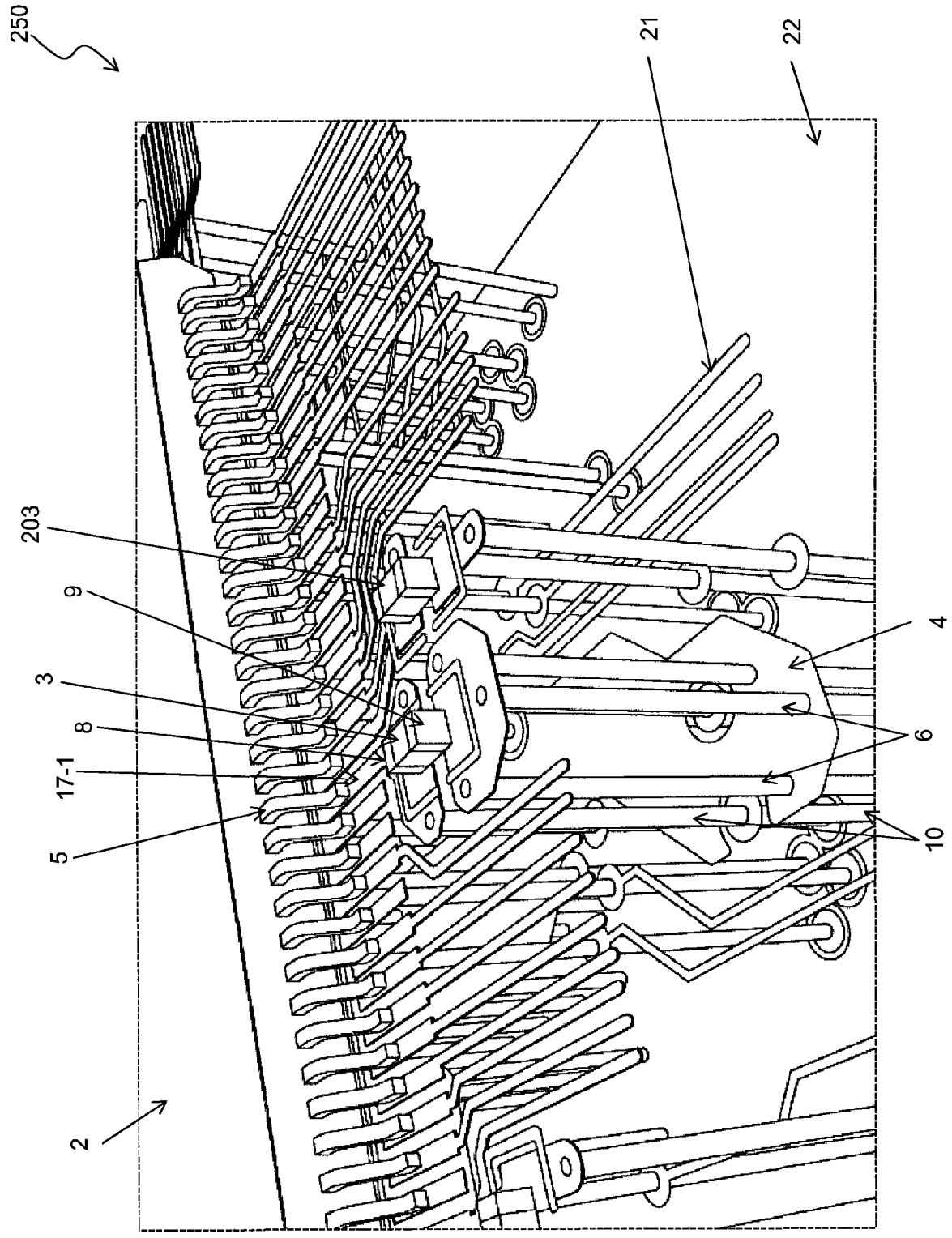


图 2B

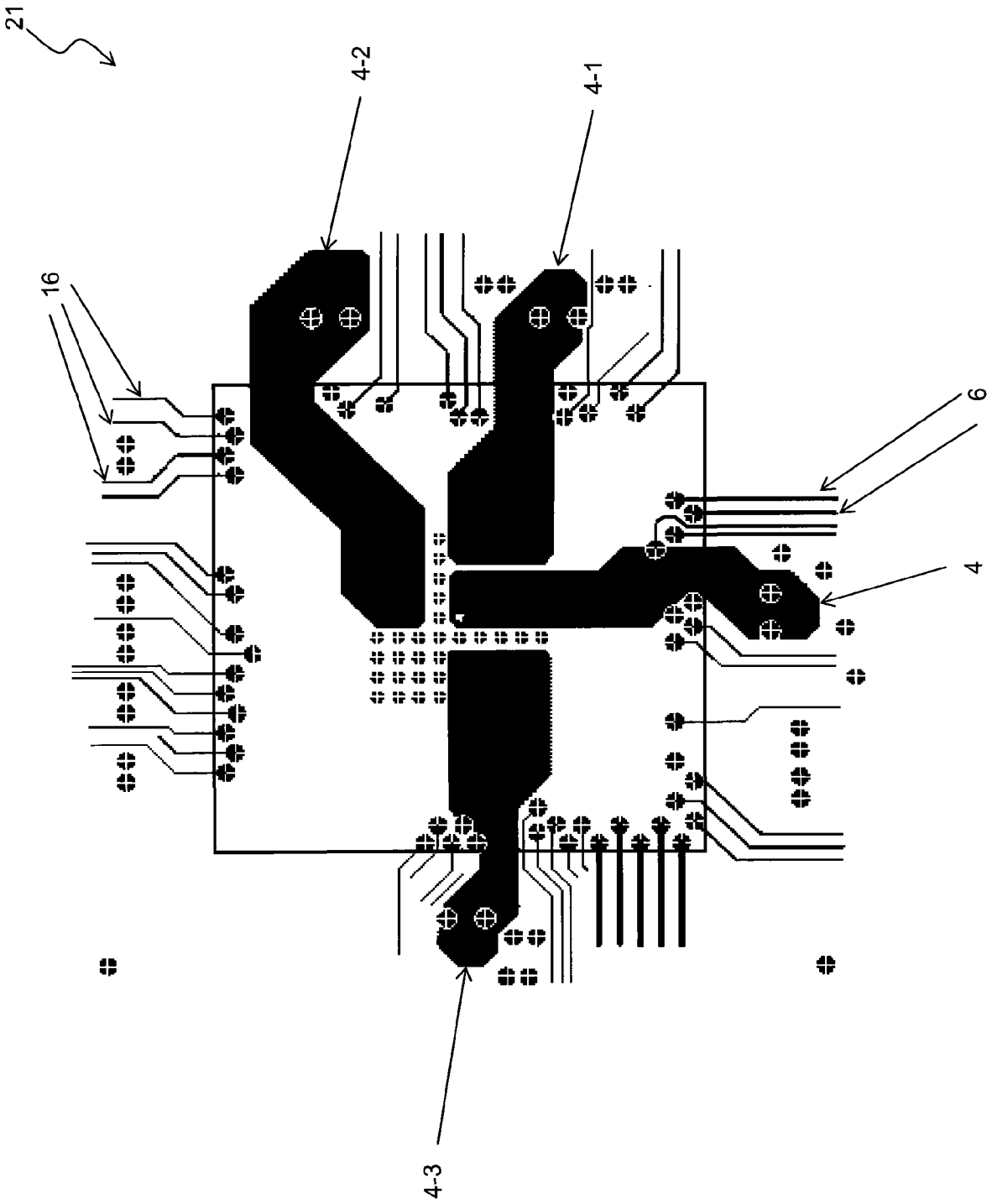


图 3A

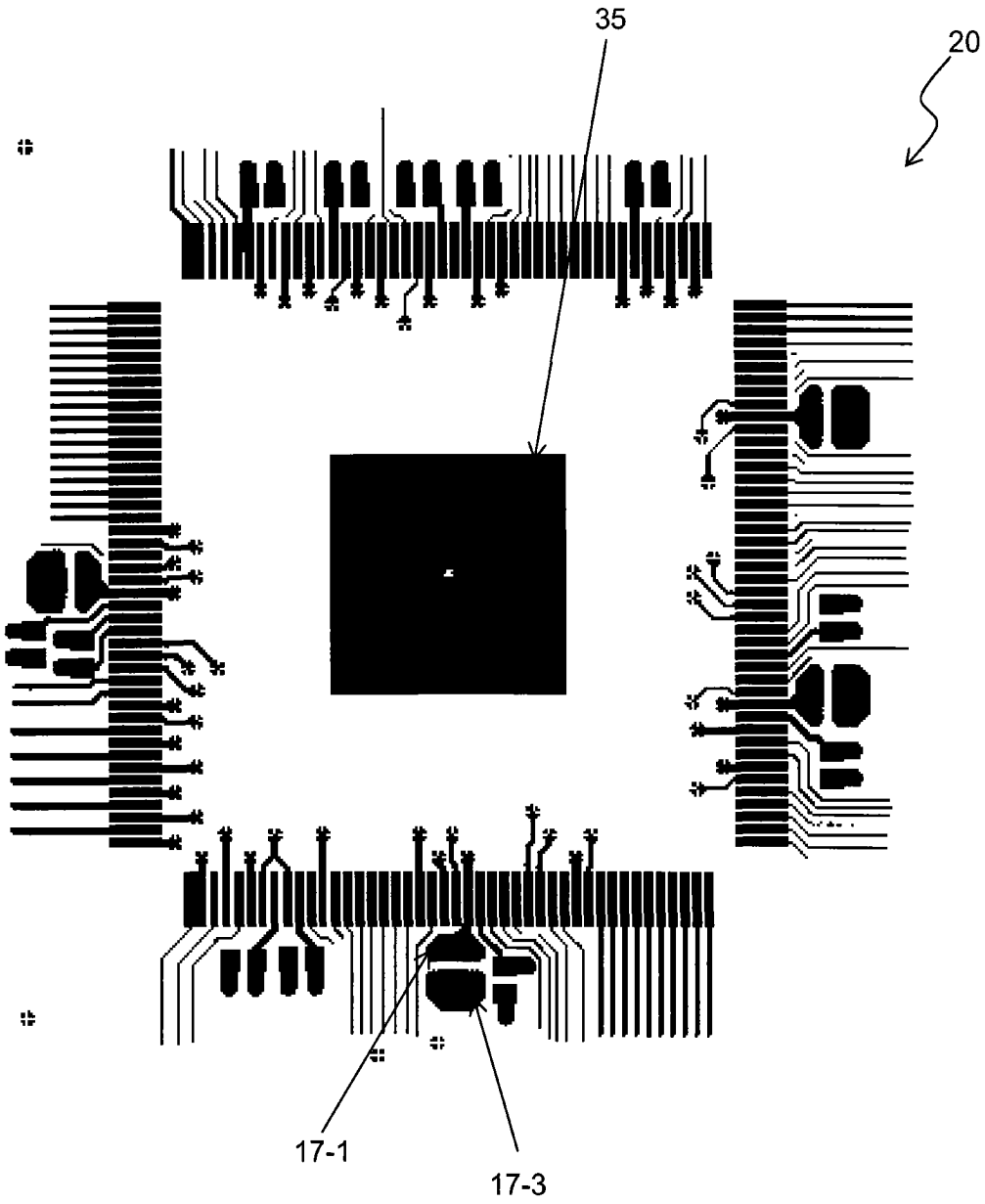


图 3B