



(12)发明专利

(10)授权公告号 CN 106464216 B

(45)授权公告日 2018.06.01

(21)申请号 201580023539.1

(22)申请日 2015.03.09

(65)同一申请的已公布的文献号

申请公布号 CN 106464216 A

(43)申请公布日 2017.02.22

(30)优先权数据

14/267,846 2014.05.01 US

(85)PCT国际申请进入国家阶段日

2016.10.28

(86)PCT国际申请的申请数据

PCT/US2015/019490 2015.03.09

(87)PCT国际申请的公布数据

W02015/167669 EN 2015.11.05

(73)专利权人 赛灵思公司

地址 美国加利福尼亚州

(72)发明人 C·H·迪克

(74)专利代理机构 北京市君合律师事务所

11517

代理人 顾云峰 吴龙瑛

(51)Int.Cl.

H03F 1/32(2006.01)

H04B 7/155(2006.01)

H04W 84/04(2009.01)

H04L 27/00(2006.01)

(56)对比文件

US 2005254442 A1,2005.11.17,

WO 2010088110 A2,2010.08.05,

WO 2010124297 A1,2010.10.28,

KR 20120124106 A,2012.11.13,

CN 103248458 A,2013.08.14,

US 2013101066 A1,2013.04.25,

审查员 刘力

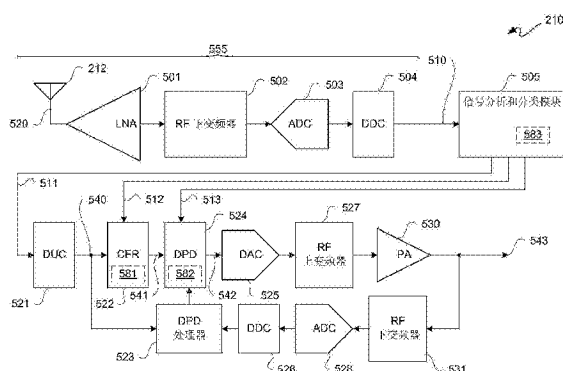
权利要求书2页 说明书10页 附图7页

(54)发明名称

区分波形的中继器

(57)摘要

一种大体涉及中继器(210)的装置。在该装置中,中继器(210)具有信号分析和分类模块(505)。信号分析和分类模块(505)包括信号分析模块(610)以及分类模块(620)。信号分析模块(610)被耦接成接收数字信号,所述数字信号是由所述中继器(210)接收的输入信号的数字版本。信号分析模块(610)被耦接成向分类模块(620)提供有关于数字信号的信号信息。分类模块(620)被配置成提供分类信息,以使用所提供的信号信息将所述数字信号分类为一组波形类型中的一种波形类型。



1. 一种中继装置,包括:
中继器,其具有信号分析和分类模块;
其中所述信号分析和分类模块包括信号分析模块以及分类模块;
其中所述信号分析模块被耦接成接收数字信号,所述数字信号是由所述中继器接收的输入信号的数字版本;
其中所述信号分析模块被耦接成向所述分类模块提供有关所述数字信号的信号信息;
其中所述分类模块被配置成提供分类信息,以使用所提供的信号信息将所述数字信号分类为一组波形类型中的一种波形类型;以及
其中所述分类模块被耦接至波峰因子降低模块或数字预失真模块中的至少一个,以提供分类信息用于基于所述波形类型选择参数输入。
2. 根据权利要求1所述的装置,其特征在于,
所述中继器具有被耦接至所述信号分析模块的数字上变频器;以及
所述信号分析模块被耦接成向所述数字上变频器提供所述数字信号的分解信号。
3. 根据权利要求2所述的装置,其特征在于,其中:
所述中继器具有所述波峰因子降低模块和所述数字预失真模块;
所述信号分析模块是频谱分析模块;
所述波峰因子降低模块被耦接至所述数字上变频器,以从所述数字上变频器接收重组信号,其中所述重组信号是基于所述分解信号的上变频版本;以及
所述数字预失真模块被耦接至所述波峰因子降低模块,以从所述波峰因子降低模块接收所述重组信号的波峰因子降低版本。
4. 根据权利要求3所述的装置,其特征在于,所述分类模块被耦接至所述波峰因子降低模块,以向所述波峰因子降低模块提供所述分类信息,从而为供所述波峰因子降低模块使用的波形类型选择波峰因子降低的参数输入。
5. 根据权利要求3所述的装置,其特征在于,所述分类模块被耦接至所述数字预失真模块,以向所述数字预失真模块提供所述分类信息,从而为供所述数字预失真模块使用的波形类型选择数字预失真的参数输入。
6. 根据权利要求3所述的装置,其特征在于,所述分类信息包括:基于循环平稳的信息。
7. 根据权利要求6所述的装置,其特征在于,所述基于循环平稳的信息选自自由循环自相关信息、循环频率以及符号定时恢复信息构成的组。
8. 根据权利要求6所述的装置,其特征在于,其中
所述中继器具有基于处理器的硬件加速器,其被耦接至所述分类模块,以接收所述基于循环平稳的信息;并且
所述基于处理器的硬件加速器被配置成响应于所述基于循环平稳的信息生成用于所述波形类型的参数输入。
9. 根据权利要求8所述的装置,其特征在于,所述基于处理器的硬件加速器被耦接至所述波峰因子降低模块,以向所述波峰因子降低模块提供用于所述参数输入的波峰因子降低信息。
10. 根据权利要求8所述的装置,其特征在于,所述基于处理器的硬件加速器被耦接至所述数字预失真模块,以向所述数字预失真模块提供用于所述参数输入的数字预失真信

息。

11. 根据权利要求8所述的装置,其特征在于,该组波形类型由下列信号组成:正交频分复用信号、扩展频谱信号、跳频频带信号、静态窄带信号以及上述信号的组合。

12. 根据权利要求1所述的装置,其特征在于,所述信号信息包括:所述数字信号的频带的占用信息、所述数字信号的中心频率、所述数字信号的带宽、所述数字信号的载波频率、或者所述数字信号的信道间隔。

13. 一种中继方法,包括:

由中继器接收输入信号;

其中所述中继器包括被耦接至信号分析和分类模块的输入处理链路;

其中所述信号分析和分类模块包括信号分析模块以及分类模块;

用所述输入处理链路将所述输入信号转换成数字信号;

由所述信号分析模块接收所述数字信号;

将有关所述数字信号的信号信息由所述信号分析模块提供给所述分类模块;

用所述分类模块生成分类信息,从而使用所述信号信息将所述数字信号分类为选自一组波形类型的一种波形类型;以及

对于波峰因子降低模块或数字预失真模块中的至少一个,使用所述分类信息来选择用于所述波形类型的参数输入。

14. 根据权利要求13所述的方法,其特征在于,所述方法还包括:

将所述数字信号的分解信号由所述信号分析模块提供给所述中继器的数字上变频器;

用所述数字上变频器重构所述分解信号,以提供重组信号;

用所述中继器的所述波峰因子降低模块对所述重组信号进行波峰因子降低处理,以提供波峰因子降低信号;

用所述中继器的所述数字预失真模块对所述波峰因子降低信号进行失真处理,以提供数字预失真信号;

将所述分类信息由所述分类模块分别提供给所述波峰因子降低模块和所述数字预失真模块,从而为所述波形类型选择波峰因子降低和数字预失真的参数输入。

15. 根据权利要求13所述的方法,其特征在于,所述方法还包括:

将所述数字信号的分解信号由所述信号分析模块提供给所述中继器的数字上变频器;

用所述数字上变频器重构所述分解信号,以提供重组信号;

用所述中继器的波峰因子降低模块对所述重组信号进行波峰因子降低处理,以提供波峰因子降低信号;

用所述中继器的数字预失真模块对所述波峰因子降低信号进行失真处理,以提供数字预失真信号;

将所述分类信息由所述分类模块提供给所述中继器的基于处理器的硬件加速器;

用所述基于处理器的硬件加速器,响应于所述分类信息生成用于所述波形类型的参数输入;以及

将所述参数输入由所述基于处理器的硬件加速器提供给所述波峰因子降低模块,以作为波峰因子降低信息,或者提供给所述数字预失真模块,以作为数字预失真信息。

区分波形的中继器

技术领域

[0001] 以下描述涉及集成电路器件(“IC”)。更具体地,以下描述涉及用于IC的区分波形的中继器。

背景技术

[0002] 基站可以通过中继器(repeater)与其它基站或者一个或多个用户设备耦接。传统的中继器接收输入的通信波形,然后对收到的输入波形进行再次放大。这类中继器可以被称作“放大并转发”中继器。另一类中继器可以将接收信号进行数字化,处理该接收信号以用于放大,然后对该信号进行再次放大以用于转发。然而,在传统上,这类中继器在完全没有顾及接收到的波形类型的情况下,对所有输入信号进行了处理。然而,对于多种空中接口协议而言,存在多种类型的无线通信波形。波形类型的示例可以包括:OFDM(例如用于LTE或者WiMax)、扩展频谱(例如用于WCDMA,TD-SCDMA或者CDMA2000)、跳频信号或者静态窄带信号(例如分别用于跳频GSM或者静态GSM)或者上述的组合,以及其它类型的波形或者其它的空中接口协议。因此,使用传统的中继器转发通信波形不会考虑波形的类型(“盲处理”),这使得与基站发送的原始波形相比,该波形显著减弱。这种对信号的“盲处理”意味着,不会使用一个或多个与信号相关的处理算法。由于这种或这些算法可以具有提高诸如功率放大器的功率效率的能力,和/或可以增强中继器/继电器与基站之间通信链路的质量和鲁棒性,因此如果没有能力应用一个或多个信号处理算法,事实上会增加操作上的支出。

[0003] 因此,满足需要的中继器应当能够对于接收到的波形的类型提供一些区分,以用于对转发进行预处理,从而增强该转发波形的质量。

发明内容

[0004] 一种大体涉及中继器的装置。在该装置中,所述中继器具有信号分析和分类模块。所述信号分析和分类模块包括信号分析模块以及分类模块。所述信号分析模块被耦接成接收数字信号,所述数字信号是由所述中继器接收的输入信号的数字版本。所述信号分析模块被耦接成向所述分类模块提供有关所述数字信号的信号信息。所述分类模块被配置成提供分类信息,从而使用所述信号信息将所述数字信号分类为一组波形类型中的一种波形类型。

[0005] 在一些示例中,所述信号信息包括所述数字信号的频带的占用信息。

[0006] 在一些示例中,所述信号信息包括所述数字信号的中心频率。

[0007] 在一些示例中,所述信号信息包括所述数字信号的带宽。

[0008] 在一些示例中,所述信号信息包括所述数字信号的载波频率。

[0009] 在一些示例中,所述信号信息包括所述数字信号的信道间隔。

[0010] 在一些示例中,所述中继器具有被耦接至所述信号分析模块的数字上变频器;并且所述信号分析模块被耦接成向所述数字上变频器提供所述数字信号的分解信号。

[0011] 在一些示例中,所述中继器具有波峰因子降低模块和数字预失真模块;所述信号

分析模块是频谱分析模块;所述波峰因子降低模块被耦接至所述数字上变频器,以从所述数字上变频器接收重组信号,其中所述重组信号是基于所述分解信号的上变频版本;以及所述数字预失真模块被耦接至所述波峰因子降低模块,以从所述波峰因子降低模块接收所述重组信号的波峰因子降低版本。

[0012] 在一些示例中,所述分类模块被耦接至所述波峰因子降低模块,以向所述波峰因子降低模块提供所述分类信息,从而为供所述波峰因子降低模块使用的波形类型选择波峰因子降低的参数输入。

[0013] 在一些示例中,所述分类模块被耦接至所述数字预失真模块,以向所述数字预失真模块提供所述分类信息,从而为供所述数字预失真模块使用的波形类型选择数字预失真的参数输入。

[0014] 在一些示例中,所述分类信息包括:基于循环平稳(cyclostationary-based)的信息。

[0015] 在一些示例中,所述基于循环平稳的信息选自由循环自相关信息、循环频率以及符号定时恢复信息构成的组。

[0016] 在一些示例中,所述中继器具有基于处理器的硬件加速器,其被耦接至所述分类模块,以接收所述基于循环平稳的信息;并且所述基于处理器的硬件加速器被配置成响应于所述基于循环平稳的信息生成用于所述波形类型的参数输入。

[0017] 在一些示例中,所述基于处理器的硬件加速器被耦接至所述波峰因子降低模块,以向所述波峰因子降低模块提供用于所述参数输入的波峰因子降低信息。

[0018] 在一些示例中,所述基于处理器的硬件加速器被耦接至所述数字预失真模块,以向所述数字预失真模块提供用于所述参数输入的数字预失真信息。

[0019] 在一些示例中,该组波形类型由下列信号组成:正交频分复用信号、扩展频谱信号、跳频频带信号、静态窄带信号以及上述信号的组合。

[0020] 一种方法大体涉及中继器的操作。在该方法中,由中继器接收输入信号。所述中继器包括被耦接至信号分析和分类模块的输入处理链路。所述信号分析和分类模块包括信号分析模块以及分类模块。用所述输入处理链路将所述输入信号转换成数字信号。由所述信号分析模块接收所述数字信号。将有关所述数字信号的信号信息由所述信号分析模块提供给所述分类模块。用所述分类模块生成分类信息,从而使用所述信号信息将所述数字信号分类为选自一组波形类型中的一种波形类型。

[0021] 在一些示例中,所述方法还包括:将所述数字信号的分解信号由所述信号分析模块提供给所述中继器的数字上变频器;用所述数字上变频器重构所述分解信号,以提供重组信号;用所述中继器的波峰因子降低模块对所述重组信号进行波峰因子降低处理,以提供波峰因子降低信号;用所述中继器的数字预失真模块对所述波峰因子降低信号进行失真处理,以提供数字预失真信号;将所述分类信息的第一部分由所述分类模块提供给所述波峰因子降低模块,从而为所述波形类型选择波峰因子降低的参数输入;以及将所述分类信息的第二部分由所述分类模块提供给所述数字预失真模块,从而为所述波形类型选择数字预失真的参数输入。

[0022] 在一些示例中,所述方法还包括:将所述数字信号的分解信号由所述信号分析模块提供给所述中继器的数字上变频器;用所述数字上变频器重构所述分解信号,以提供重

组信号；用所述中继器的波峰因子降低模块对所述重组信号进行波峰因子降低处理，以提供波峰因子降低信号；用所述中继器的数字预失真模块对所述波峰因子降低信号进行失真处理，以提供数字预失真信号；将所述分类信息由所述分类模块提供给所述中继器的基于处理器的硬件加速器；用所述基于处理器的硬件加速器，响应于所述分类信息生成用于所述波形类型的参数输入；以及将所述参数输入由所述基于处理器的硬件加速器提供给所述波峰因子降低模块，作为波峰因子降低信息或者数字预失真信息。

[0023] 在一些示例中，所述方法还包括：将所述数字信号的分解信号由所述信号分析模块提供给所述中继器的数字上变频器；用所述数字上变频器重构所述分解信号，以提供重组信号；用所述中继器的波峰因子降低模块对所述重组信号进行波峰因子降低处理，以提供波峰因子降低信号；用所述中继器的数字预失真模块对所述波峰因子降低信号进行失真处理，以提供数字预失真信号；将所述分类信息由所述分类模块提供给所述中继器的基于处理器的硬件加速器；用所述基于处理器的硬件加速器，响应于所述分类信息生成用于所述波形类型的参数输入；以及将所述参数输入由所述基于处理器的硬件加速器提供给所述数字预失真模块，以作为数字预失真信息。

附图说明

[0024] 附图显示了示例性的装置和/或方法。然而，附图不能用于限制权利要求的范围，仅能用于解释和理解。

[0025] 图1是简化的方框图，其示出了示例性的柱状的现场可编程门阵列（“FPGA”）架构；

[0026] 图2是方框图，其示出了示例性的无线（“无线的”）通信系统；

[0027] 图3是信号图，其示出了接收信号的示例性实施例，该接收信号例如由图5的中继器接收；

[0028] 图4是信号图，其示出了另一接收信号的示例性实施例，该接收信号例如由图5的中继器接收；

[0029] 图5是示出了示例性中继器的框图；

[0030] 图6是示出了示例性的信号分析和分类模块505的框图；

[0031] 图7是流程图，其示出了用于图5的中继器的示例性信号处理流程；

[0032] 图8是流程图，其示出了用于图5的中继器的另一示例性信号处理流程。

具体实施方式

[0033] 在下面的描述中，详述的许多具体细节对本申请中描述的具体示例进行了更为透彻的描述。然而，本领域技术人员很显然可以在不使用所有下述具体细节的情况下实践这些示例的一个或多个其它的实施例和/或变化。在其它实例中，没有详细描述众所周知的特征，以防止模糊本申请中的示例的描述。为了便于展示，在不同的图表中使用了相同的数字标号来指代相同的项目；然而，在选择性的示例中，这些项目可以不同。

[0034] 在描述在一些附图中示例性地示出的示例之前，提供了概述以助于进一步的理解。

[0035] 在过去，中继器没有区分接收到的波形的类型，来进行预处理以用于转发。然而，对于各种空中接口协议而言，波形的类型存在区别，并且这些区别实际上意味着：如果对所

有的波形都进行相同的处理,那么中继器重新生成用于转发的信号的质量会变差。近来,同一基站被构造对来自具有不同波形的多个空中接口协议的信号进行处理。因此,一些基站可以被构造具有多无线电接入技术(“multi-RAT”)。然而,如果使用中继器转发发自此类基站的信号,那么该基站处理各种波形的效率和/或信号质量会显著降低。

[0036] 如下所述,一种中继器被配置成对输入波形的波形类型进行自适应。该自适应(adaptation)包括对接收信号执行信号分析,从而获得接收信号的信号信息,然后使用所获得的信号信息来按照例如与空中接口协议相关联的类型对接收到的波形进行分类。通过该波形类型的指示,可以选择或生成参数输入,例如用于诸如波峰因子降低、数字预失真、或者针对波形类型的其它信号处理。这使得中继器能够转发质量更高的信号,也就是说,该信号能够更加准确地表示来自基站的原始传输。

[0037] 牢记以上的总体理解,以下大体描述了用于中继器的各种结构。

[0038] 因为在本申请中使用了特定类型的IC来描述一个或多个上述的示例,所以以下提供了这类IC的细节描述。然而,应当理解,其它类型的IC也可以受益于本申请中描述的一种或多种技术。

[0039] 可编程逻辑器件(“PLD”)是集成电路的一种众所周知的类型,其可以被编程用于执行具体的逻辑功能。一种类型的PLD,也就是现场可编程门阵列(“FPGA”),通常包括可编程单元(tile)的阵列。这些可编程单元可以包括,例如,输入/输出模块(“IOB”)、可配置逻辑模块(“CLB”)、随机存取存储器模块(“BRAM”)、乘法器、数字信号处理模块(“DSP”)、处理器、时钟管理器、延迟锁定回路(“DLL”)等等。在此使用的“包括”指的是包括但不限于。

[0040] 每个可编程单元均通常包括可编程互连和可编程逻辑。可编程互连通常包括大量不同长度的互连线,互连线通过可编程互连点(“PIP”)互连。可编程逻辑通过使用可编程元件执行用户设计的逻辑,其中可编程元件包括,例如,函数发生器、寄存器、运算逻辑等等。

[0041] 通常地,通过将配置数据的数据流加载到对如何配置可编程元件进行定义的内部配置存储单元中,可以对可编程互连和可编程逻辑进行编程。可以从存储器(例如,从外部PROM)中读取配置数据,或者可以通过外部器件将配置数据写入FPGA。单个存储单元的集合状态于是确定了FPGA的功能。

[0042] 另一类型的PLD是复杂可编程逻辑器件,或者称作CPLD。CPLD包括两个或多个相互连接的“功能模块”,并且“功能模块”通过互连交换矩阵被连接至输入/输出(“I/O”)资源。CPLD的每个功能模块均包括两级的“与/或”结构,该结构与可编程逻辑阵列(“PLA”)和可编程阵列逻辑(“PAL”)器件中使用的结构类似。在CPLD中,配置数据通常被片上地存储在非易失性存储器中。在一些CPLD中,配置数据被片上地存储在非易失性存储器中,随后被下载至易失性存储器中,以作为初始配置(编程)序列的一部分。

[0043] 对于所有这些可编程逻辑器件(“PLD”),器件的功能由数据位控制,其中数据位出于该目的被提供给该器件。数据位可以被存储在易失性存储器(例如,如在FPGA和一些CPLD中的静态存储单元)、非易失性存储器(例如,如一些CPLD中的闪存)或者任何其它类型的存储单元中。

[0044] 可以通过应用处理层(例如,金属层)来对其它PLD进行编程,其中处理层将器件上的各种元件可编程地互连。这些PLD被称作掩模可编程器件。也可以以其它方法,例如使用熔丝或反熔丝技术,来实现PLD。术语“PLD”或者“可编程逻辑器件”包括但不限于这些示例

性的器件,还包括只被部分编程的器件。例如,一种类型的PLD包括硬编码晶体管逻辑和被可编程地互连至硬编码晶体管逻辑的可编程交换结构的组合。

[0045] 如上所述,先进的FPGA可以包括在阵列中的一些不同类型的可编程逻辑模块。例如,图1展示了FPGA架构100,其包括大量不同的可编程单元,包括多千兆位收发器(“MGT”)101、可配置逻辑模块(“CLB”)102、随机存取存储器模(“BRAM”)103、输入/输出模块(“IOB”)104、配置逻辑和时钟逻辑(“CONFIG/CLOCKS”)105、数字信号处理模块(“DSP”)106、专用输入/输出模块(“I/O”)107(例如,配置端口和时钟端口),以及其它可编程逻辑108,例如数字时钟管理器、模数转换器、系统监控逻辑等。示例性的SOC也包括专用处理模块(“PROC”)110。

[0046] 在一些FPGA中,每个可编程单元均包括可编程逻辑互连元件(“INT”)111,INT111具有与相邻单元内的可编程互连元件之间的标准连接。因此,可编程互连元件合起来一起为所示的FPGA执行可编程互连资源。可编程互连元件111也可以包括与相同单元内的可编程逻辑元件的连接,如图1顶部包括的示例所示。

[0047] 例如,CLB 102可以包括可配置逻辑元件(“CLE”)112,CLE 112加上单个可编程互连元件(“INT”)111可以被编程以实现用户逻辑。除了包括一个或多个可编程互连元件之外,BRAM 103可以包括BRAM逻辑元件(“BRL”)113。通常地,单元内包括的互连元件的数量取决于单元的高度。在图示的实施例中,BRAM单元具有的高度和5个CLB相同,但是也可以使用其他的数量(例如,4个)。除了包括合理数量的可编程互连元件之外,DSP单元106可以包括DSP逻辑元件(“DSPL”)114。除了一个可编程互连元件111的实例之外,IOB 104可以包括,例如,两个输入/输出逻辑元件(“IOL”)115的实例。本领域的技术人员十分清楚,诸如被连接至I/O逻辑元件115的实际的I/O焊盘,通常不会被局限于输入/输出逻辑元件115的区域。

[0048] 在图示的示例中,靠近晶粒(图1所示)中部的水平区域被用作配置逻辑、时钟逻辑以及其他控制逻辑。从该水平区域延伸出来的垂直纵列109被用于横跨FPGA的宽度来分配时钟信号和配置信号。

[0049] 使用图1中展示的架构的一些FPGA包括额外的逻辑模块,这些组成FPGA很大一部分的逻辑模块打乱了常规的柱状结构。额外的逻辑模块可以是可编程模块和/或专用逻辑。例如,处理器模块110跨越了CLB和BRAM的一些纵列。

[0050] 需要注意的是,图1只意图展示示例性的FPGA架构。例如,一行中逻辑模块的数量、行的相对宽度、行的数量和顺序、行中包括的逻辑模块的类型、逻辑模块的相对大小以及图1的顶部包括的互连/逻辑实现方式都仅仅是示例性的。例如,在实际的FPGA中,无论CLB出现在哪里,都通常包括不止一个相邻行的CLB,以便于用户逻辑的有效实现,但是相邻CLB行的数量随着FPGA的总体大小的变化而变化。

[0051] 图2是方框图,其示出了示例性的无线(“无线的”)通信系统200。通信系统200包括基站201和中继器210。基站201具有一个或多个发送天线202。中继器210具有一个或多个接收天线212,这一个或多个接收天线212通过无线上行链路耦接至一个或多个发送天线202。中继器210被配置成通过上行链路203转发从基站201发送至中继器210的传输。中继器210可以通过中继器210的一个或多个收发天线211来转发该传输,例如用于另一无线上行链路213。

[0052] 图3是信号图,其示出了例如由中继器210接收的接收信号300的示例性实施例。接

收信号300的一些特性包括信号带宽(“BW”)302和中心频率(“F_c”)301。

[0053] 图4是信号图,其示出了例如由中继器210接收的另一接收信号300的示例性实施例。该接收信号300的一些特性包括信号带宽302、中心频率301、信道间隔(channel spacing)或防护频带(guard band)412以及一个或多个子频带,例如信道腔体(channel cavity)410内的子频带411-1和411-2。此外,子频带411-1和411-2可以具有其各自的中心频率413-1和413-2,以及各自的带宽。

[0054] 根据图2至图4,取决于被发送的信号的类型,接收信号300可以具有一些不同的特征。基站201可以通过一个或多个中继器210与另一基站和/或一个或多个用户设备耦接。不同于在没有考虑接收波形的类型的情况下以相同的方式处理所有输入信号,中继器210被配置成考虑接收波形的类型,来预处理以用于转发,从而增强该转发波形的质量。然而,可能存在许多类型的无线通信波形被用于多种空中接口协议。波形类型的示例可以包括: OFDM(例如用于LTE或者WiMax)、扩展频谱(例如用于WCDMA,TD-SCDMA或者CDMA2000)、跳频信号或者静态窄带信号(例如分别用于跳频GSM或者静态GSM)或者上述信号的组合,以及其它类型的波形或者其它的空中接口协议。因此,为了针对波形类型来转发接收信号300,从而提供高质量的转发,也就是说对接收信号300的转发与由基站201发送的接收信号300的原始发送版本的原始形式更一致,那么可以分析通信波形,然后对通信波形进行分类,以便提供参数输入来更加精确地重新生成原始基站201的发送。该信号分析可以是在转换成基带之后进行,并且该信号分析可以被用于识别信号特征向量,以允许分类。因此,可以由信号分析模块从通信波形提取一组信号特征向量,并且该组信号特征向量中的每个向量均可以由信号分析模块提供,并且被提供以供分类模块进行分类。

[0055] 为了提供这种高质量的转发,可以使用的中继器210能够识别输入波形的类型,以选择和/或生成与该输入波形的类型相对应的参数输入。图5是示出了示例性中继器210的方框图。无线输入信号可以被中继器210的接收天线212接收。除了图2中的一个或多个接收天线212以及一个或多个发送天线211之外,中继器210还包括低噪放大器(“LNA”)501、用于将发送频率向下变频至中频(“IF”)的射频(“RF”)下变频器502、模数转换器(“ADC”)503、用于向下变频至基带频率(“基带”)的数字下变频器(“DDC”)504、信号分析和分类(“SAAC”)模块505、用于向上变频至IF的数字上变频器(“DUC”)521、波峰因子降低(“CFR”)模块522、数字预失真(“DPD”)模块524、DPD处理器523、数模转换器(“DAC”)525、用于向上变频至发送频率的RF上变频器527、DDC 526、包括前置放大器的功率放大器(“PA”)530、ADC 528、以及用于向下变频至IF的RF下变频器531。包括一个或多个接收天线212、LNA 501、RF下变频器502、ADC 503和可选的DDC504的输入处理链路555是常规的。因此,应当理解,在传送至SAAC模块505之前,输入信号可以是被向下变频至基带的信号,并且可以在输入至SAAC模块505之前被数字化。然而,在另一结构中,可以由SAAC模块505来执行下变频和/或数字化,包括但不限于有用频谱(spectrum of interest)的一部分。

[0056] 图6是示出了示例性SAAC模块505的方框图。SAAC模块505包括信号分析模块610和分类模块620。在示例中,信号分析模块610可以被配置作为频谱分析模块。同时参考图5和图6,进一步描述了包括SAAC模块505的中继器210。

[0057] 中继器210的至少一个接收天线212接收无线输入信号520,以由LNA 501进行放大。LNA 501向RF下变频器502提供放大信号,以用于将发送频率向下变频至IF。RF下变频器

502以IF提供这样的放大信号,作为模拟输入提供给ADC 503,以将其转换至数字信号。DDC 504可以被耦接至ADC 503,以将该数字信号变频至基带。不管是直接来自ADC 503还是来自DDC 504,数字信号510均(其是接收的无线输入信号520的数字版本)可以被提供作为SAAC模块505的输入。

[0058] 信号分析模块610可以被耦接以接收数字信号510。信号分析模块610可以被耦接以提供信号信息,例如有关数字信号510的频谱信息或者其它信号信息。信号分析模块610可以被配置成提供作为单独输出的分解信号511,以及频谱信息输出611。

[0059] 分解信号511可以是数字信号510的每个信道的分解。分解信号511可以被提供作为DUC 521的输入,从而对由其得到的数字信号510进行重组或重构,并将该重组数字信号进行上变频,也就是由分解信号511提供数字信号510的IF版本,即重组信号540。这里假设信号分析模块610会对数字信号510执行一定程度的破坏性测试。然而,在另一结构中,通过为数字信号510使用并行的信号路径,能够提供非破坏性的实现方式。

[0060] 分类模块620可以被耦接以从信号分析模块610接收信号信息输出611。分类模块620可以被配置成使用从信号信息输出611提供的信号信息来对数字信号510进行分类。这种分类所适用的数字信号510是一组波形类型中的一种波形类型。一组波形类型可以由正交频分复用信号、扩展频谱信号、跳频频带信号、静态窄带信号以及上述信号的组合组成。

[0061] 信号分析模块610可以被配置为提供的信号信息的示例可以包括:数字信号510的频带的占用信息;数字信号510的一个或多个中心频率;数字信号510的一个或多个带宽;数字信号510的一个或多个载波频率;和/或数字信号的一个或多个信道间隔,以及其他与可以被用于分类的频谱使用相关的具体区别特征。占用信息例如可以包括:频带的占用统计,其指示该频带中是否存在两个或多个子频带。

[0062] 分类模块620可以被配置成根据信号信息来检测波形的模式或结构。例如,分类模块620可以被配置成产生基于循环静态或基于循环平稳的分类信息,其中这种基于循环平稳的分类信息包括:使用向其提供的信号信息而生成的循环自相关函数(“CAF”)、一个或多个循环频率、和/或符号定时恢复信息。因此,分类模块620可以被配置成执行循环平稳操作。有关波形分类的其它细节可以在下述文章中找到:“Second-order cyclostationary of mobile WiMAX and LTE OFDM signals and application to spectrum awareness in cognitive radio systems”,作者:A.Al-Habashna、O.A.Dobre、R.Venkatesan和D.C.Popescu,出版于IEEE的《J.of Selected topics in signal processing》的第6卷第1期,2012年2月,第26-42页,该文章对LTE OFDM信号进行了分类。被执行的其它操作可以是用于对CDMA信号进行识别和分类,例如“A detection method of WCDMA signal based on quadratic fourth-order moment chip at lower SNR”,作者:P.Junjie和Z.Zhijin,《Wireless Communications,Networking and Mobile Computing》2009年版,09年WiCom会议。由于存在用于各种无线协议的很多类型的波形,因此为了清楚目的而非限制,在本申请中没有必要详细地描述所有可能的波形操作的完整列表。

[0063] 分类模块620包括可选的查找表(“LUT”)622,用于选择与所确定的波形类型相对应的参数输入。因此,分类模块620可以响应于提供给其的信号信息生成分类信息,从而选择存储在LUT 622中的参数信息。可选地,可以在CFR模块522和/或DPD模块524中使用并分布LUT或者其它存储器。在这种可选结构中,由分类模块620生成的分类信息作为边带信息

被提供给CFR模块522和/或DPD模块524,以使得能够在那些模块的每一个模块中的LUT中进行分别的查找。然而,为了更为清楚,在这应当假设LUT 622被包括在分类模块620中。

[0064] CFR模块522可以被耦接至DUC 521,以从DUC 521接重组信号540,正如前文所述。重组信号540此外还可以被提供作为DPD处理器523的输入。DPD模块524被耦接至CFR模块522,以从CFR模块522接收重组信号540的波峰因子降低版本,也就是波峰因子降低信号541。DPD模块524被配置成对CFR信号541进行数字预失真处理,从而提供数字预失真信号542以作为DAC 525的输入。DAC 525可以将数字预失真信号542转换成模拟信号,以用作RF上变频器527的输入,RF上变频器527将该模拟信号从IF上变频至发送频率,以用作PA 530的输入。PA 530可以输出待发送信号543,待发送信号543被耦接至图2中的一个或多个发送天线211,以使得在中继器210处理之后实现对无线输入信号520的转发。通过提供与波形类型相对应的参数输出可以增强这种处理,以便高质量地重新生成无线输入信号520的原始版本,从而用于转发。

[0065] 待发送信号543可以被提供给发送端(为清楚目的而未显示),从而经由一个或多个发送天线211进行发送,待发送信号543还被提供给RF下变频器531,以沿着中继器210的反馈路径将其从发送频率向下变频至IF频率。RF下变频器531的输出可以被提供给ADC 528,以用于将其从模拟信号转换成数字信号。ADC 528的输出被提供给DDC 526,以将自ADC 528输出的该数字信号由IF变频至基带。来自DDC 526的该基带数字信号输出被提供作为DPD处理器523的输入,而DPD处理器523同样可以被耦接成接收重组信号540。DPD处理器523的输出被提供作为DPD模块524的另一输入。DPD处理器523用于反馈回路,以对PA 530的输出进行自适应。

[0066] 分类模块620可以被耦接至CFR模块522,从而经由参数输入信号512向CFR模块522提供CFR参数输入。该CFR参数输入可以包括存储在LUT 622中的与对应波形类型相关联的CFR参数。可选地,在另一实现方式中,LUT 622可以有效地被分配成CFR模块522的LUT 581和DPD模块524的LUT 582,以下将更详细地描述。此外,可选地,SAAC模块505可以包括基于处理器的硬件加速器583,其被耦接成接收由分类模块620生成的分类信息,从而为模块522和524中的任何一个或者为两者生成参数输入。然而,为了清楚目的而非限制,这里应当假设使用了LUT 622。

[0067] 由分类模块620生成的分类信息可以被用于为所识别的波形类型选择CFR参数输入。CFR参数输入的示例会根据波形类型的变化而变化,其可以包括限幅阈值和/或一组滤波系数,以及其他CFR参数。

[0068] 可选地或者另外地,分类模块620可以被耦接至DPD模块524,以经由参数输入信号513向其提供DPD参数输入。DPD参数输入可以包括存储在LUT中的与对应波形类型相关联的DPD参数。对于相同的波形类型,CFR和DPD参数输入被可选地存储在一起。由分类模块620生成的分类信息被用于为所识别的波形类型选择DPD参数输入。DPD参数输入的示例会根据波形类型的变化而变化,其可以包括一组滤波系数和/或I和Q的变化值,以及其它DPD参数。

[0069] 可以使用图1的FPGA 100中的可编程资源来实现分类模块620以及信号分析模块610。然而,在其它实现方式中,可以使用专用资源和/或可编程资源,不管是FPGA、ASIC、ASSP或者其它类型的IC。然而,处于清楚的目的而非限制,应当假设使用了FPGA实现。

[0070] 可选地,分类模块620可以包括微控制器621,微控制器621被配置成响应于经由分

类模块620提供的配置信息生成参数输入,不管是CFR和/或DPD参数输入,从而提供更为动态的自适应系统。相应地,微处理器621可以是基于处理器的硬件加速器,其例如被耦接于分类模块620或者被包括在分类模块620内,从而接收基于循环平稳的信息,并且该基于处理器的硬件加速器可以被配置成响应于这种基于循环平稳的信息生成用于波形类型的参数输入。相应地,这种基于处理器的硬件加速器可以被耦接至CFR模块522,以向其提供带有CFR参数的CFR参数输入信号512,或者可选地,可以经由CFR参数输入信号512提供CFR信息,其中CFR信息被用于由CFR模块522对CFR参数进行选择。同样地,基于处理器的硬件加速器可以被耦接至DPD模块524,以向其提供带有DPD参数的DPD参数输入信号,或者可选地,可以经由DPD参数输入信号513提供DPD信息,其中DPD信息被用于由DPD模块524对DPD参数进行选择。

[0071] 图7是流程图,其示出了用于图5的中继器210的示例性信号处理流程700。通过同时参考图5至图7以对信号处理流程700进行进一步描述。

[0072] 在步骤701,由中继器210接收输入信号。中继器210可以包括被耦接至SAAC模块505的输入处理链路555,其中SAAC模块505可以包括信号分析模块610和分类模块620。

[0073] 在步骤702,在步骤701接收的输入信号可以由输入处理链路555转换成数字信号510。信号分析模块610在703接收该数字信号510。在步骤704,与数字信号510有关的信号信息被由信号分析模块610提供给分类模块620。在步骤705,用分类模块生成分类信息,以使用所提供的信号信息将数字信号510分类为从一组波形类型中选择的一种波形类型。

[0074] 在步骤706,数字信号510的分解信号511可以由信号分析模块610提供给中继器210的数字上变频器521。在步骤707,用数字上变频器521对分解信号511进行重构,以提供重组信号540。在步骤708,使用中继器210的CFR模块522对重组信号540进行波峰因子降低,以提供重组信号540的波峰因子降低的版本,也就是波峰因子降低信号541。在步骤709,用中继器210的DPD模块524对波峰因子降低信号541进行失真处理,以提供数字预失真信号542。

[0075] 可选地,在步骤710,由分类模块620在步骤705生成的分类信息的第一部分可以被提供给CFR模块522,从而为在步骤701接收或以其他方式获得的输入信号的所识别的波形类型,选择波峰因子降低的参数输入。相应地,CFR模块522可以可选地包括LUT 581,LUT 581具有存储于其中的参数输入,从而针对该波形类型确定CFR模块522的参数,以增强波峰因子降低信号541的质量。该参数输入可以与被存储在LUT 581中的对应波形类型相关联。

[0076] 可选地,在步骤711,由分类模块620在步骤705生成的分类信息的第二部分可以被提供给DPD模块524,从而为所识别的波形类型选择数字预失真的参数输入。相应地,DPD模块524可以可选性地包括LUT 582,LUT 582具有存储于其中的参数输入,从而为波形类型确定DPD模块524的参数,以增强数字预失真信号542的质量。该参数输入与被存储在LUT 582中的对应波形类型相关联。

[0077] 分别被提供给CFR模块522和DPD模块524的这些参数输入可以针对所接收的输入信号的所识别的波形类型,确定这些模块的参数,从而特别增强分别从这些模块输出的信号540和信号541的质量。更一般地,这些参数输入中的一个或多个参数输入可以增强中继器210的转发质量,这是通过转发输入信号的原始版本的更精确的复制品实现的。

[0078] 图8是流程图,其示出了用于图5的中继器210的另一示例性信号处理流程800。通

过同时参考图5、6和8以对信号处理流程800进行进一步描述。因为步骤701至709的操作与前述有关图7的操作相同,所以这些描述不再重复。

[0079] 在步骤810,由分类模块620在步骤705生成的分类信息被提供给中继器210的可选的基于处理器的硬件加速器583,该可选的基于处理器的硬件加速器583可以是SAAC 505的一部分。在步骤811,响应于被提供给该基于处理器的硬件加速器583的分类信息,用基于处理器的硬件加速器583生成用于波形类型的参数输入。在步骤812,该参数输入中的至少一部分被从基于处理器的硬件加速器583提供给CFR模块522,以作为波峰因子降低信息。在步骤813,该参数输入中的至少一部分被从基于处理器的硬件加速器583提供给DPD模块524,以作为数字预失真信息。

[0080] 再次,被提供给CFR模块522和DPD模块524的这些参数输入可以被用于针对所接收的输入信号的所识别的波形类型,确定这些模块的参数,从而特别增强分别从这些模块输出的信号540和信号541的质量;然而,更一般地,这些参数输入中的一个或多个参数输入可以增强中继器210的转发的整体质量,这是通过对输入信号的原始版本的更真实的复制品进行转发来实现的。分别被提供给CFR模块522和DPD模块524的这些参数输入可以被用于针对所接收的输入信号的所识别的波形类型,确定这些模块的参数,从而特别增强分别从这些模块输出的信号540和信号541的质量。更一般地,这些参数输入中的一个或多个参数输入可以增强中继器210的转发的整体质量,这是通过对输入信号的原始版本的更精确的复制品进行转发来实现的。

[0081] 虽然前文描述了示例性的装置和/或方法,但是在不偏离本申请的范围的情况下,可以根据本申请中描述的一个或多个方面设计出其它进一步的示例。本申请的范围由权利要求以及其等同的范围所确定。列出步骤的权利要求没有隐含步骤的任何顺序。商标是其各自所有人的财产。

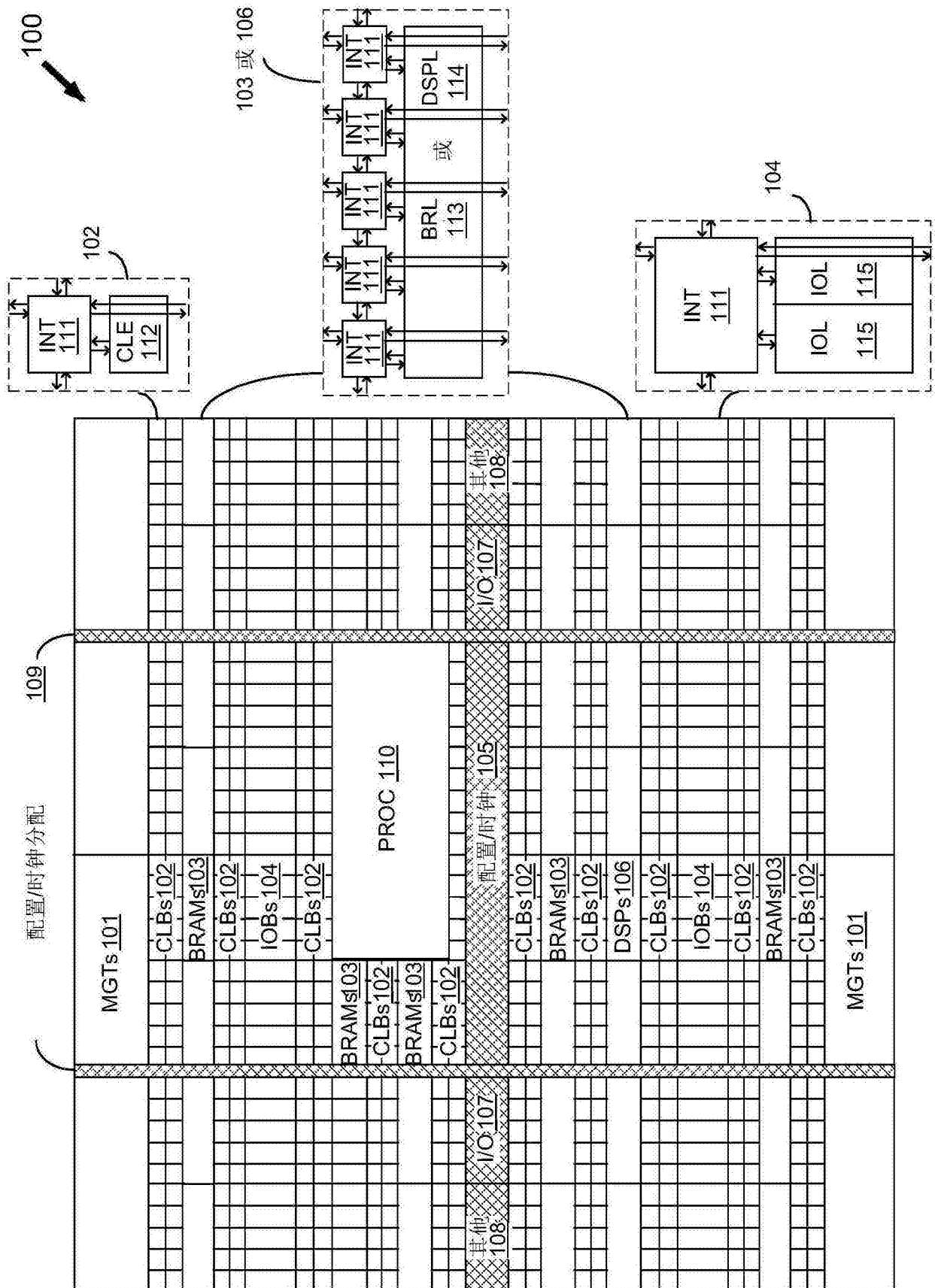


图1

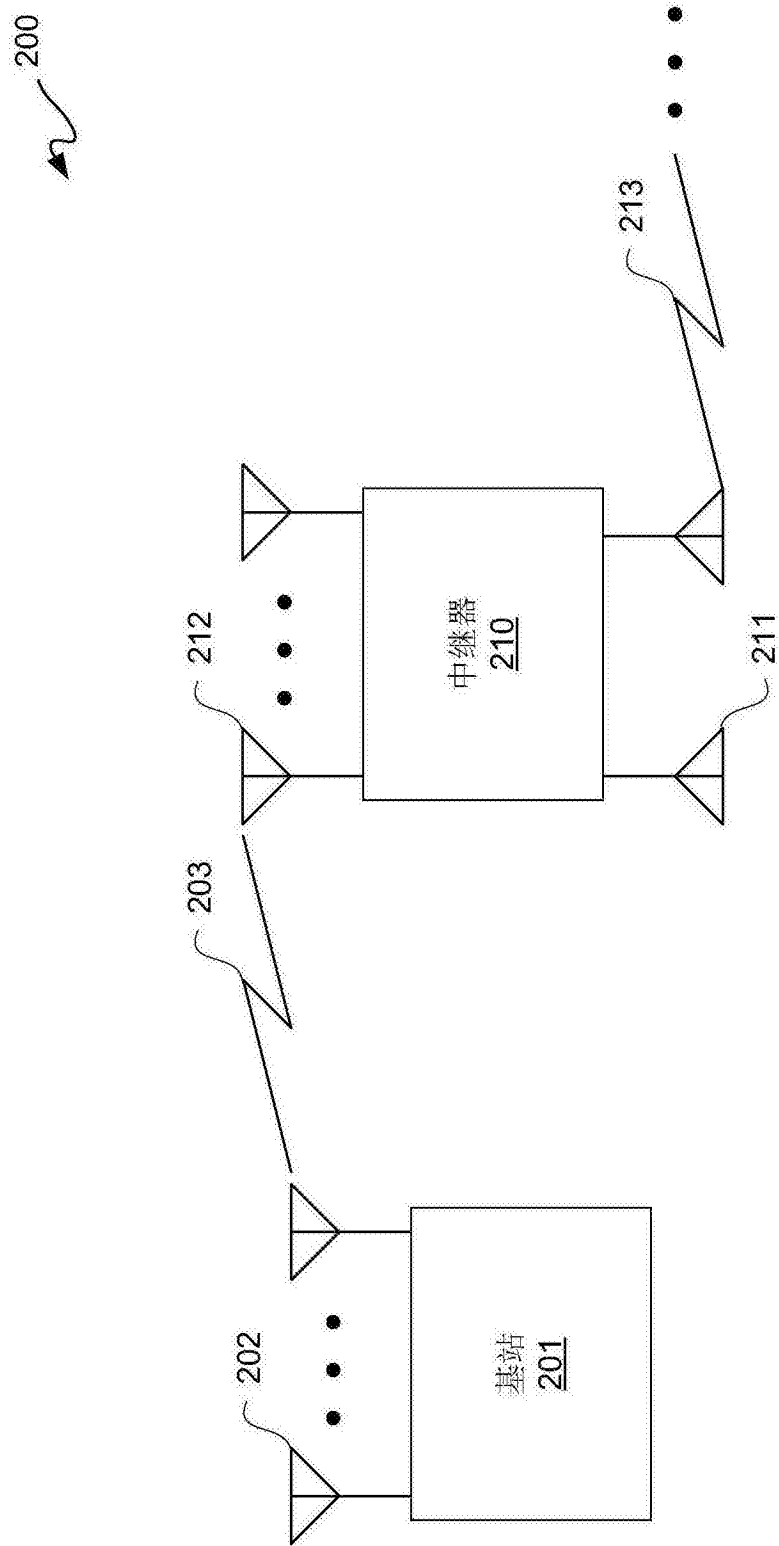


图2

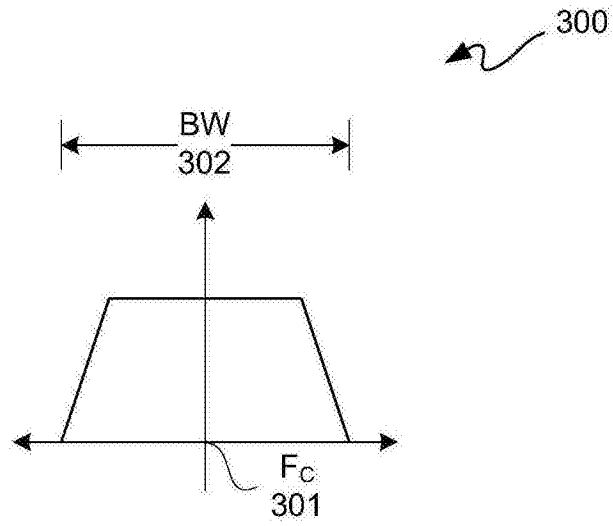


图3

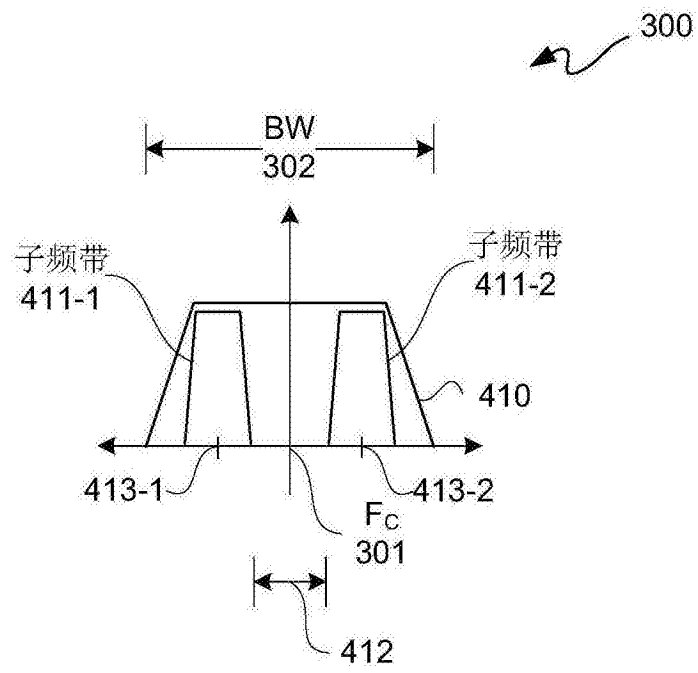


图4

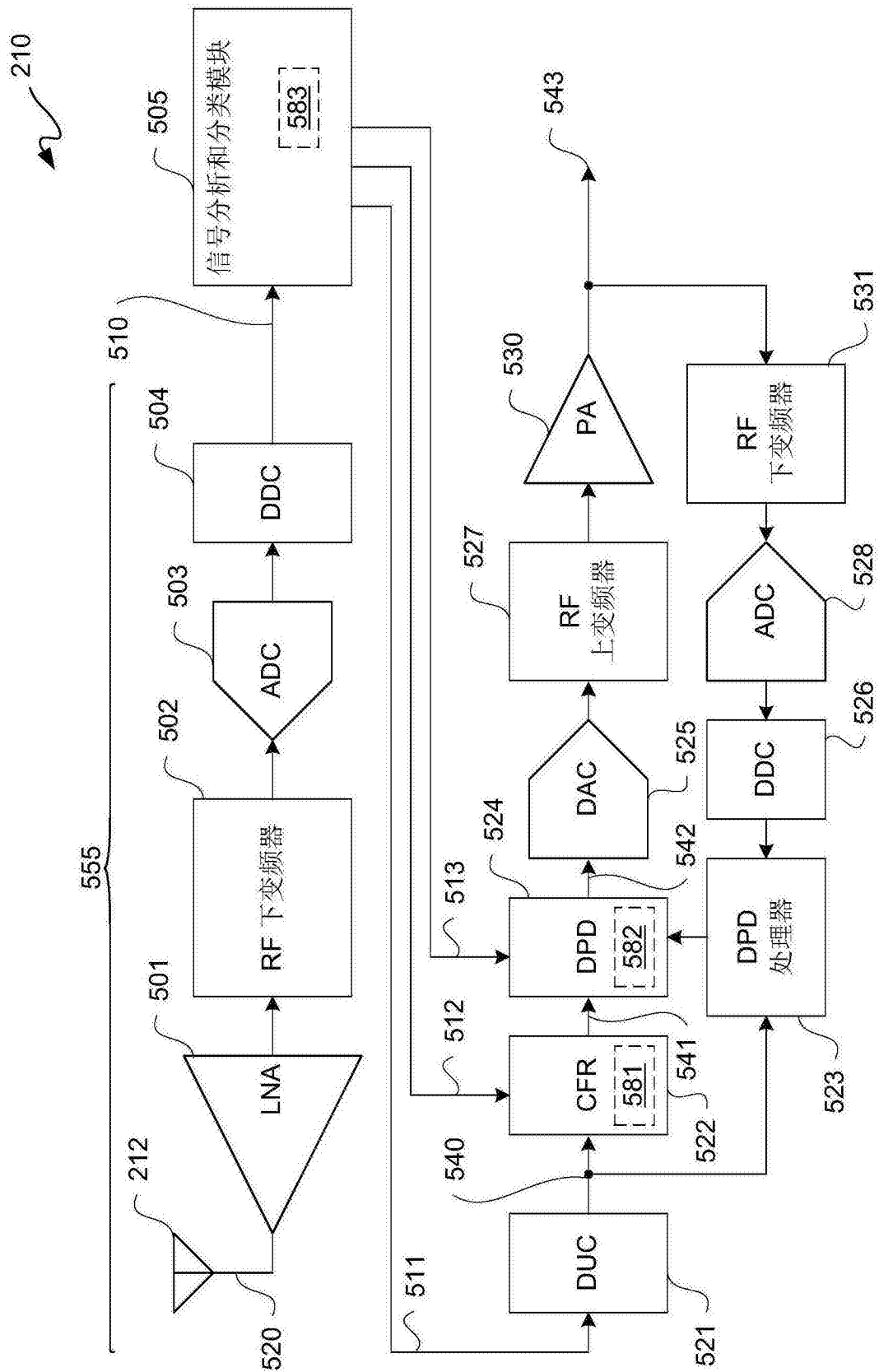


图5

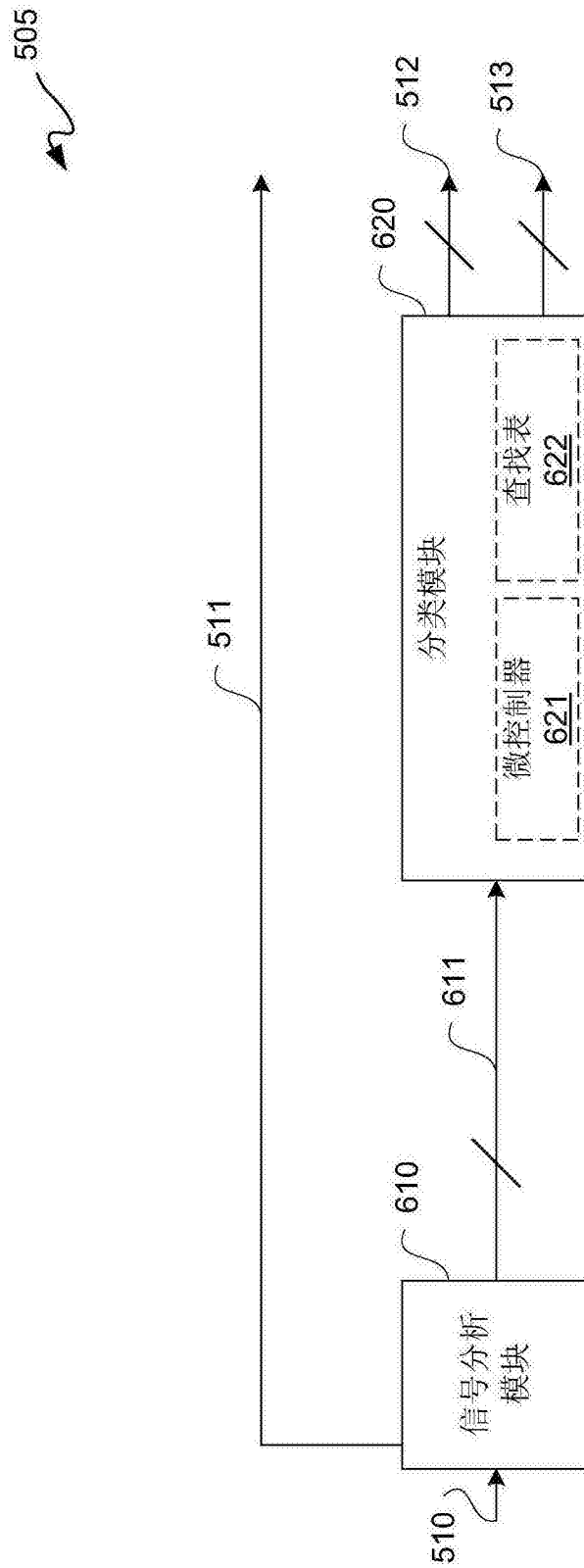


图6

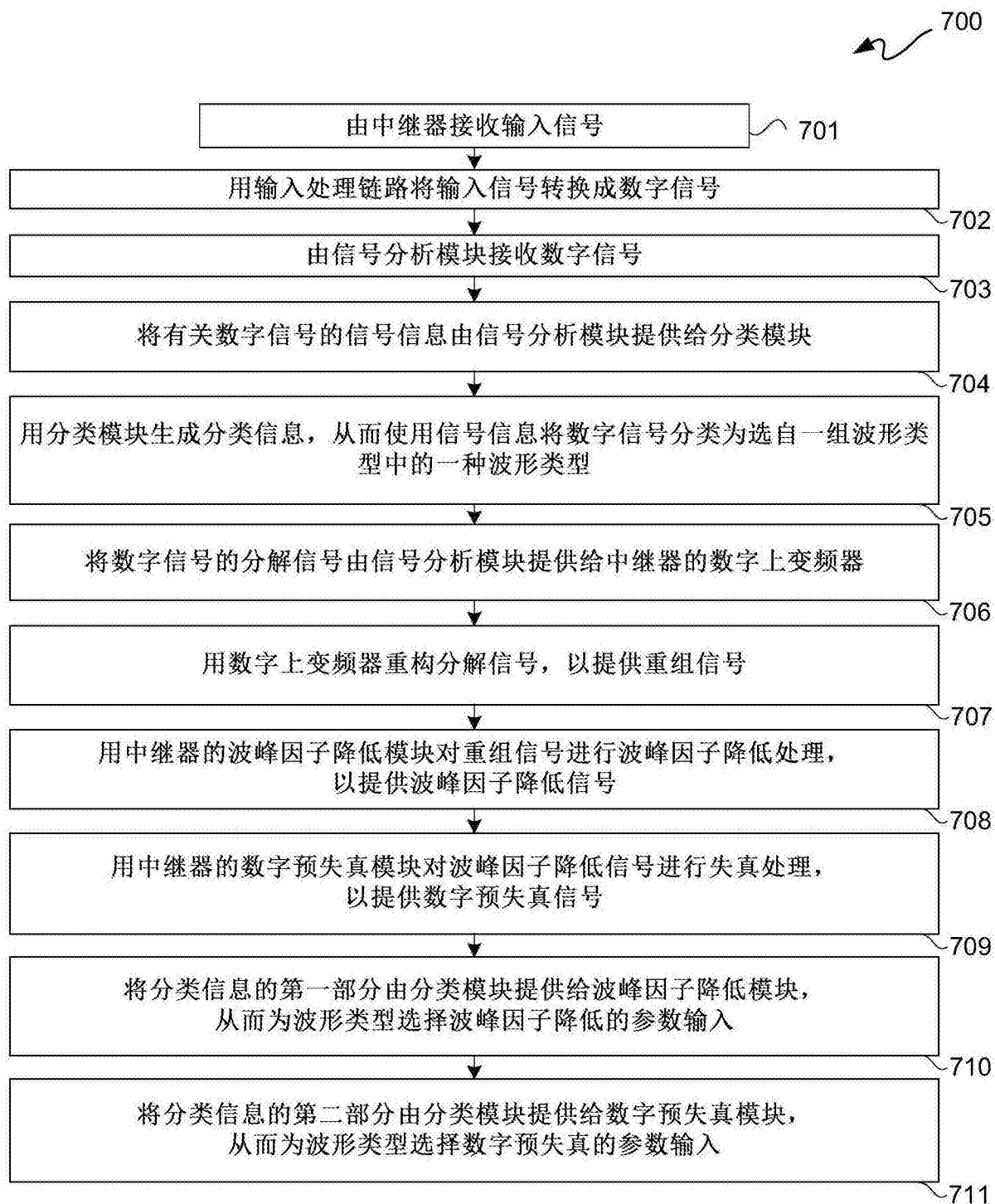


图7

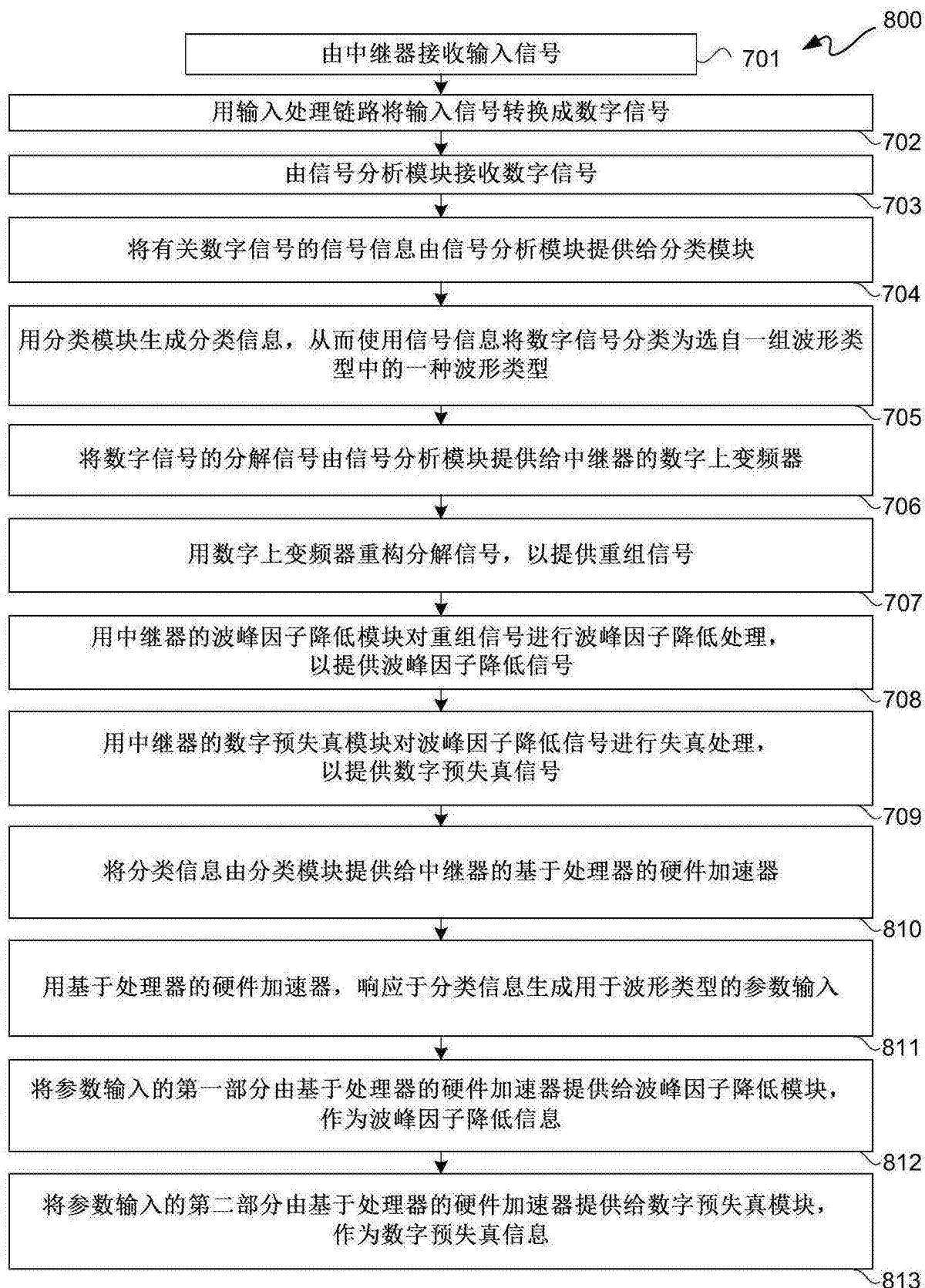


图8