(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 1815628 B
(45)授权公告日 2010.10.27

(21)申请号 200510128761.6

(22)申请日 2005.12.02

(30)优先权数据
11/003,586 2004.12.02 US

(73)专利权人 奥特拉股份有限公司
地址 美国加利福尼亚州

(72)发明人 R·卡马罗塔 I·拉希姆 B·J·昂 T·P·宗

(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 李玲

(51)Int.Cl.
*G11C 16/02*(2006.01)
*G11C 16/06*(2006.01)
*H03K 19/173*(2006.01)
*H01L 21/82*(2006.01)

(56)对比文件
US 6052309 A,2000.04.18, 全文.
US 5784313 A,1998.07.21, 全文.
US 20030020512 A1,2003.01.30, 全文.
CN 1144964 A,1997.03.12, 全文.
CN 1523510 A,2004.08.25, 全文.
CN 1462945 A,2003.12.24, 全文.
CN 1512591 A,2004.07.14, 全文.
US 6107821 A,2000.08.22, 全文.
US 6263430 B1,2001.07.17, 全文.

审查员 杨洁

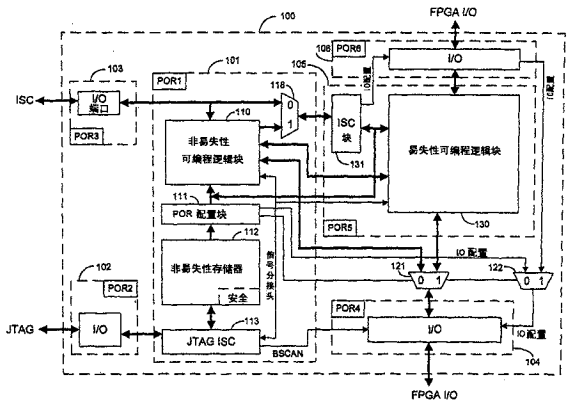
权利要求书 3 页 说明书 7 页 附图 5 页

(54)发明名称

用于配置可编程设备的方法和电路

(57)摘要

提供了用于将易失性和非易失性可编程逻辑组合入一个集成电路(IC)的技术。IC被分成两部分。第一可编程逻辑块由片载非易失性存储器中存储的比特配置。第二可编程逻辑块由非片载存储器中存储的比特配置。IC上IO存储体的功能在IC的两个逻辑块之间被多路复用。在可配置第二块中的可编程逻辑的一小部分时间中第一块中的可编程逻辑被配置且完全功能化。第一块中的可编程逻辑可配置足够块并具有足够的独立性,以帮助第二块的配置。非易失性存储器还可向用户设计提供安全特点,诸如加密。




CN 1815628 B

1. 一种集成电路，包括：

可编程逻辑块；以及

部分可编程的硬智权块，它包括可编程寄存器组和专用电路并且与所述可编程逻辑块相耦合，其中可编程寄存器组被配置成控制所述专用电路的子集的功能；

其中，所述部分可编程的硬智权块中的逻辑电路接收配置数据并将所述配置数据载入所述可编程寄存器组。

2. 如权利要求 1 所述的集成电路，其特征在于，在所述集成电路通电期间，所述逻辑电路将所述配置数据从配置随机存取存储器载入所述可编程寄存器组。

3. 如权利要求 1 所述的集成电路，其特征在于，所述逻辑电路将所述配置数据从用户模式配置控制器通过用户模式配置接口载入所述可编程寄存器组。

4. 一种集成电路设备，包括：

非易失性存储器；

第一电路，它包括可由所述非易失性存储器中存储的数据来配置的可编程逻辑；以及

第二电路，其中当配置所述第一电路的可编程逻辑时，所述第一电路协助所述第二电路的可编程逻辑的配置，其中所述第二电路的可编程逻辑的配置用来自所述集成电路设备的外部源的其它数据完成。

5. 如权利要求 4 所述的集成电路设备，其特征在于，所述第一电路包括部分可编程的硬智权块，该硬智权块包括可编程寄存器组和专用电路。

6. 如权利要求 4 所述的集成电路设备，其特征在于，所述第一电路用于通过将所述其它数据经过所述第一电路传送给所述第二电路来协助所述第二电路的可编程逻辑的配置。

7. 如权利要求 4 所述的集成电路设备，其特征在于，还包括：

第一 I/O 块；

第一多路复用器，它具有耦合到所述第一 I/O 块的第一输入端子、耦合到所述第一电路的第二输入端子、耦合到系统中配置块的输出端子以及耦合到所述第一电路的选择输入。

8. 如权利要求 7 所述的集成电路设备，其特征在于，还包括：

第二 I/O 块；以及

第二多路复用器，具有耦合到所述第二 I/O 块的输出端子、耦合到所述第一电路的第一输入端子和耦合到所述第二电路的第二输入端子。

9. 一种集成电路，包括

第一可编程逻辑块；

第一通电复位电路，它向所述第一可编程逻辑块提供第一输出信号，以指示所述第一可编程逻辑块可以开始工作；

第二可编程逻辑块；以及

第二通电复位电路，它向所述第二可编程逻辑块提供第二输出信号，以指示所述第二可编程逻辑块可以开始工作，其中，所述第一通电复位电路与所述第二通电复位电路分开，其中所述第一可编程逻辑块在所述第二可编程逻辑块之前开始工作。

10. 如权利要求 9 所述的集成电路，其特征在于，所述第一可编程逻辑块可用比所述第二可编程逻辑块更少的时间进行配置。

11. 如权利要求 9 所述的集成电路，其特征在于，所述第一可编程逻辑块小于所述第二可编程逻辑块。

12. 一种配置集成电路设备的方法，包括：

当所述集成电路设备中的第一可编程电路块处于全功率时，产生第一信号；

当所述集成电路设备中的第二可编程电路块处于全功率时，产生第二信号；

在产生所述第一信号之后，配置所述第一可编程电路块，其中所述第一可编程电路块通过从所述集成电路设备内的非易失性存储器块接收的数据进行配置；以及

在产生所述第二信号并且配置所述第一可编程电路块之后，配置所述第二可编程电路块，其中所述第二可编程电路块通过从所述集成电路设备的外部源接收的数据进行配置，并且所述第一可编程电路块用于配置所述第二可编程电路块。

13. 一种配置集成电路设备的方法，包括：

从所述集成电路设备中的非易失性存储器块取回第一数据；

用所述第一数据对所述集成电路设备中的第一可编程电路块进行配置；

从所述集成电路设备的外部源接收第二数据；以及

使用经配置的所述第一可编程电路块，用所述第二数据对所述集成电路设备中的第二可编程电路块进行配置。

14. 一种集成电路，包括：

可编程电路；以及

非易失性存储器，其中，所述非易失性存储器在第一部分中存储缺省引导模式的配置数据，并可配置为在第二部分中存储用户配置数据，其中，当未在所述第二部分中检测到有效数据时，所述缺省引导模式控制所述可编程电路的配置，并且其中当在所述第二部分中检测到有效数据时，使用所述有效数据配置所述可编程电路。

15. 一种操作集成电路的方法，包括：

确定所述集成电路中的非易失性存储器块的第一分区是否存储了有效的用户数据；

当在所述第一分区中存储了有效的用户数据时，用该有效的用户数据配置所述集成电路中的第一可编程电路块；以及

当所述第一分区中没有存储有效的用户数据时，用存储在所述非易失性存储器块的第二分区中的缺省引导模式的配置数据来配置所述第一可编程电路块。

16. 如权利要求 15 所述的方法，其特征在于，还包括：

使用所配置的第一可编程电路块来配置所述集成电路中的第二可编程电路块。

17. 一种操作集成电路的方法，包括：

在所述集成电路中非易失性存储器块的第一分区中存入提供标准功能的引导模式的配置数据；

从用户处接收用户配置数据；

在所述集成电路中非易失性存储器块的第二分区中存入所述用户配置数据；以及

用所述引导模式的配置数据和所述用户配置数据对所述集成电路中的第一可编程电路块进行配置。

18. 如权利要求 17 所述的方法，其特征在于，还包括：

使用所配置的第一可编程电路块来配置所述集成电路中的第二可编程电路块。

19. 一种集成电路，包括：

可编程逻辑；以及

部分可编程的硬智权块，它包括可编程寄存器组和专用电路，其中所述可编程寄存器组可被配置成控制所述专用电路的功能，且其中，所述可编程逻辑中的电路用于接收配置数据并将所述配置数据载入所述可编程寄存器组，其中在所述集成电路通电期间，所述配置数据被载入所述可编程寄存器组。

20. 如权利要求 19 所述的集成电路，其特征在于，用于将配置数据载入所述可编程寄存器组的在所述可编程逻辑中的电路包括用来存储所述配置数据的非易失性存储器。

21. 如权利要求 19 所述的集成电路，其特征在于，所述配置数据从所述集成电路的外部源取回。

22. 如权利要求 19 所述的集成电路，其特征在于，用于将配置数据载入所述可编程寄存器组的在所述可编程逻辑中的电路包括用户模式配置控制器，该用户模式配置控制器在所述部分可编程的硬智权块中通过用户模式配置接口传输所述配置数据。

23. 如权利要求 22 所述的集成电路，其特征在于，用于将配置数据载入所述可编程寄存器组的在所述可编程逻辑中的电路还包括配置随机存取存储器，其中，所述部分可编程的电路还包括多路复用器，用于在所述用户模式配置接口和配置随机存取存储器之间进行选择，以将配置数据载入所述可编程寄存器组。

# 用于配置可编程设备的方法和电路

[0001] 发明背景

[0002] 本发明提供了用于在集成电路 (IC) 上组合易失性和非易失性可编程逻辑的技术，尤其提供了用于提供具有由非片载存储器配置的可编程逻辑的一部分和由片载非易失性存储器配置的可编程逻辑的另一部分的 IC 技术。

[0003] 包含片载易失性存储器块的较大的现场可编程门阵列 (FPGA) 通常在加电时需要配置相当的时间量，因为配置数据要从外部存储器芯片加载到芯片上。例如，外部存储器芯片可以是串行只读存储器 (SROM)。

[0004] 诸如 Altera 的 MAX 系列 CPLD 的较小的复杂可编程逻辑装置 (CPLD) 包含片载的非易失性存储器。配置数据被存入该片载的非易失性存储器。加电时，可以快速地从片载的非易失性存储器将配置数据载入可编程逻辑。非易失性 CPLD 实际上是加电时瞬时接通的，且不需要外部配置数据。但，制造具有所有非易失性存储器的较大 FPGA 在面积方面是禁止的并会限制过程选择。

[0005] 许多较大的易失性 FPGA 具有伴随 CPLD 以配合加电和配置过程。CPLD 还可在被发送给 FPGA 前加密配置数据，以防止该配置数据被截取和复制。但，该技术更加复杂，因为它使得较大的 FPGA 成为包括 FPGA、SROM 和 CPLD 的三个装置解决方案。美国专利 US7190190 公开了一种带有芯片内非易失性用户存储器的可编程逻辑装置。

[0006] 因此，期望提供更快速的技术来配置现场可编程门阵列。还期望向用户提供在配置过程期间适当确保它们设计的方法。

## 发明内容

[0007] 本发明提供了用于将易失性和非易失性可编程逻辑组合入一个集成电路 (IC) 的技术。本发明的 IC 被分成两部分。一部分 IC 包含第一可编程逻辑块，它由片载非易失性存储器块中存储的比特配置。另一部分 IC 包含由非片载存储器装置中存储的比特配置的第二可编程逻辑块。

[0008] 在可配置易失性部分中的逻辑的一小部分时间内，IC 的非易失性部分中的逻辑可被配置和完全功能化。非易失性部分中的逻辑可配置得足够快并具有足够的独立性，以帮助 IC 的易失性部分中的配置。非易失性存储器还可向用户设计提供安全特点，诸如加密和解密。

[0009] 考虑以下的详细描述和附图，本发明的其它目的、特点和优点将变得显而易见，其中相同的标号在所有附图中表示类似元件。

## 附图说明

[0010] 图 1 示出了根据本发明第一实施例的包含由片载非易失性存储器配置的可编程逻辑块和由非片载存储器配置的可编程逻辑块的 IC。

[0011] 图 2 示出了根据本发明第二实施例的具有片载非易失性存储器块的图 1 所示 IC，该片载非易失性存储器块足以存储用户和制造商的配置数据。

[0012] 图 3A 示出了根据本发明第三实施例的具有向 HIP 块提供编程能力的可编程寄存器组的可编程逻辑 IC 上的硬智权 (intellectual property)(HIP) 块。

[0013] 图 3B 示出了根据本发明第四实施例的包含图 3A 的可编程 HIP 块和由非片载存储器配置的可编程逻辑块的 IC。

[0014] 图 4 是可与本发明的技术一起使用的可编程逻辑装置的简化框图。

[0015] 图 5 是可实现本发明实施例的电子系统的框图。

## 具体实施方式

[0016] 图 1 示出了根据本发明第一实施例设计的可编程逻辑集成电路 (IC) 的部分 100。部分 100 包括可编程逻辑的非易失性可编程逻辑块 110 和易失性可编程逻辑块 130。非易失性可编程逻辑块 110 和易失性可编程逻辑块 130 都包含可编程逻辑电路。例如，可编程逻辑电路可以是基于查找表格或基于产品项 (product term) 的逻辑单元。可编程逻辑块 110 和 130 中的可编程逻辑阵列的架构可相同或不同。可编程逻辑块 110 和 130 还可包括存储器。可编程逻辑块 110 和 130 中的存储器例如可以是诸如 SRAM 单元的易失性存储器。

[0017] 可编程逻辑块 110 中的可编程逻辑由非易失性存储器 112 中存储的配置比特进行配置。配置比特可由制造商或用户存入非易失性存储器 112。通电复位 (POR) 配置块 111 将配置比特从非易失性存储器 112 传送入可编程逻辑块 110 内的存储器。

[0018] 可编程逻辑块 130 中的可编程逻辑由外部存储装置中存储的配置比特配置。外部存储器装置例如可以是闪存装置或串行 ROM(SROM) 存储器装置。配置比特可从 I/O 端口 103 通过多路复用器 118 被载入可编程逻辑块 130 以及系统中配置 (ISC) 块 131。

[0019] 如上所述，许多大 FPGA 都需要加电时相当的配置时间。另一方面，小非易失性 CPLD 实际上是加电时瞬时接通的且不需要外部配置数据。但，需要太多管芯面积来放置足够的片载非易失性存储器于大 FPGA 上，以配置所有 FPGA 的可编程逻辑电路。

[0020] 本发明通过提供两个可编程逻辑块 (110 和 130) 解决了这些问题。在通电期间通过从非易失性存储器块 112 加载配置数据可快速配置可编程逻辑块 110 中的可编程逻辑。可编程逻辑块 110 优选包含足够的可编程逻辑以在配置可编程逻辑块 130 前执行加电阶段期间需要执行的某些重要功能。通过从外部源加载的配置数据较缓慢地配置可编程逻辑块 130。

[0021] 根据一实施例，IC 上的多数可编程逻辑驻留在易失性可编程逻辑块 130 中。该实施例中，非易失性存储器块 112 仅需要足够大，以便为可编程逻辑块 110 中的可编程逻辑存储配置数据。如果可编程逻辑块 110 相对较小，则非易失性存储器块 112 的尺寸可相对较小。该要求使 IC 上的非易失性存储器块 112 的管芯面积影响最小。例如，可编程逻辑块 130 可在加电后执行所有 FPGA 功能。

[0022] 如果非易失性存储器块 112 尺寸更小，就可展开更多实现可能。例如，用于整个 FPGA 的大非易失性存储器块需要最先进的 EEPROM 或 FLASH 工艺。仅提供用于小部分 FPGA 的配置数据的小的非易失性存储器块 112 可使用诸如多熔 (polyfuse) 阵列和磁阻 ROM 的存储器技术。

[0023] 现在讨论可编程逻辑块 110 可执行的功能的特定示例。在配置和全面功能化 FPGA 前需要控制系统复位和临界信号。大 FPGA 在其系统中起中心作用。如果 FPGA 驱动临界信

号、复位或总线，则它将在配置之前不能有效或正确地驱动信号。通电和配置之间的不活动会阻止系统适当地通电。为了解决这些问题，可编程逻辑块 110 可在通电期间控制临界信号。

[0024] 在配置 FPGA 之前和之后，可编程逻辑块 110 还可控制配置和顺序复位。可编程逻辑块 110 能在不使用外部 IO 信号的情况下直接驱动易失性 FPGA 块复位。

[0025] 作为另一示例，可编程逻辑块 110 可用于保护发送到可编程逻辑块 130 的配置数据。可编程逻辑块 110 可像 CPLD 那样被保护地读取，并可具有到达系统中配置 (ISC) 块 131 的内部旁路。可编程逻辑块 110 可执行外部引线不可达的附加数据加密 / 解密。

[0026] 例如，可编程逻辑块 110 中的逻辑可在通电时被配置，以基于非易失性存储器块 112 中存储的加密算法执行解密方案。随后，用于可编程逻辑块 130 的配置数据通过 I/O 端口 103 载入可编程逻辑块 110 并被解密。随后，解密的配置数据从可编程逻辑块 110 载入可编程逻辑块 130( 例如，直接或经过多路复用器 118)。

[0027] 可编程逻辑块 110 可为每个客户个人化加密方案，以增加安全性和舒适性。因此，客户可选择他们需要的加密方案。如果加密算法由黑客破解，则客户可通过将新算法载入非易失性存储器块 112 而容易地改变加密方案。可编程逻辑块 110 还可用于加密或解密客户选择的非配置数据流。

[0028] 当用于 FPGA 的配置数据没有从专用的 SROM 加载时，它通常从标准 FLASH 装置或处理器总线加载。在配置 FPGA 前，任一解决方案都需要通电时有效的某些逻辑。该逻辑排序并将数据从非易失性数据源传送到 FPGA 配置引线 (ISC 端口 )。该逻辑受益于 FPGA 内部的实现，因为它可容纳包括处理器的较宽范围的非易失性存储装置以及较宽范围的 FPGA 配置模式。

[0029] 参考图 1，IC 的部分 100 包括六个区域 101-106。六个区域 101-106 中的每一个都包括分开的通电复位电路 (POR1-POR6)。通电复位电路监控来自一个或多个电源轨 ( 或电源网 ) 的电源电压。通电复位电路产生输出信号，它指示来自响应电源轨的电源电压何时达到预定电平。预定电源电压电平指示 IC 的特定区域何时可安全地开始起作用。例如，通电复位电路 POR1 产生一输出信号，它指示电源电压在通电后何时增加到适合于区域 101 中的电路以开始运作的最小电压电平。

[0030] 图 1 所示的电路区域可分成两部分。第一部分包括区域 101-104。区域 101-104 与非易失性存储器块 112 和可编程逻辑块 110 相关联。区域 105-106 与可编程逻辑块 130 相关联。

[0031] POR 配置块 111 控制和监控通电复位电路 POR1-POR6。只要通电复位电路 POR1-POR4 指示电源电压已达到区域 101-104 中的可接受电平，POR 配置块 111 就将非易失性存储器块 112 中存储的配置数据传送到非易失性可编程逻辑块 110。

[0032] 因此，只要区域 101-104 中的电源已达到预定电平，POR1-POR4 就允许可编程逻辑块 110 中的可编程逻辑予以配置，而不用等待区域 105-106 通电。该实施例向通电期间可编程逻辑块 110 的配置提供了附加速度。

[0033] 一旦通电复位电路 POR5-POR6 指示电源已达到区域 105-106 中的可接受电平，则系统中配置数据可从外部源经过多路复用器 118 和 ISC 块 131 载入可编程逻辑块 130。POR 配置块 111 或可编程逻辑块 110 中的可编程逻辑可控制多路复用器 118 的选择输入。

[0034] 在图 1 所示的 FPGA 实施例中，区域 103 中的系统中配置 (ISC) I/O 端口与非易失性可编程逻辑块 110 和易失性可编程逻辑块 130 接口。

[0035] 或者，ISC 数据可被载入非易失性可编程逻辑块 110，随后载入可编程逻辑块 130。ISC 配置数据可直接从可编程逻辑块 110 或者经过多路复用器 118 和 ISC 块 131 加载到可编程逻辑块 130，如图 1 中的箭头所示。在它被载入可编程逻辑块 130 之前，可编程逻辑块 110 中的可编程逻辑可加密 ISC 配置数据，以保护客户的电路设计。

[0036] 在去电时，非易失性存储器块 112 不损失其数据模式。例如，非易失性存储器块 112 可用于保持 FPGA 配置文件和易失性 FPGA 冗余信息。非易失性存储器块 112 可按许多方式实现。例如，非易失性存储器块 112 可以是具有一次可编程存储器单元的金属熔丝存储器。非易失性存储器块 112 的其它示例包括可编程的抗熔阵列、金属或多掩模可编程阵列、闪存阵列、EEPROM 存储器阵列、LASER 编程熔丝阵列、磁阻存储器阵列 (MRAM) 和铁电存储器阵列 (FeRAM)。非易失性存储器块 112 的较小尺寸增加了其密度可能性。

[0037] 非易失性存储器块 112 可通过区域 102 中的 JTAG I/O 测试端口或者区域 103 中的 ISC 端口进行编程。如果 I/O 端口不控制可编程逻辑块 110，非易失性可编程逻辑块 110 还可通过区域 103 中的 ISC I/O 端口进行编程。非易失性可编程逻辑块 110 可存取通用 IO 的较小子集、所有 ISC IO、内部复位和时钟总线的子集以及某些通用内部路由互连线。

[0038] 区域 102 包括联合测试行动组 (JTAG) IO 端口和有关电路。区域 102 中的电路根据公知技术解码编程非易失性存储器块 112 的 JTAG 命令。区域 103 包括系统中配置 (ISC) IO 端口和有关电路，它在通电时配置易失性可编程逻辑块 130。ISCIO 端口还可用于重新配置易失性可编程逻辑块 130 配置 SRAM。此外，在定义一次可编程非易失性存储器程序前，区域 103 中的 ISC IO 端口和电路可用于编程可编程逻辑块 130 中的非易失性配置 SRAM。重要的是，编程解决方案是可用的，而在可编程逻辑块 110 或 112 的配置上没有任何先决条件。

[0039] POR 配置块 111 还控制区域 104 中的 IO 以及配置和 ISC 源多路复用器 121 和 122。POR 配置块 111 可通过多路复用器 122 将来自非易失性存储器块 112 的配置数据载入区域 104 中的 I/O 存储体，以配置区域 104 中的 IO 端口。此外，若 POR 配置块 111 允许，易失性 ISC 块 131 可对 POR4IO 块 104 进行重新配置。

[0040] POR 配置块 111 可将区域 104 中 I/O 存储体的控制交给非易失性可编程逻辑块 110。一旦可编程逻辑块 110 中的可编程逻辑已被配置，则可编程逻辑确定多路复用器 121 的控制。多路复用器 121 在区域 104 中的 I/O 端口和非易失性可编程逻辑块 110 或易失性可编程逻辑块 130 之间路由信号。因此，输入和输出信号可通过控制多路复用器 121 被路由经过区域 104 中的 I/O 端口到达可编程逻辑块 110 或 130 中的可编程逻辑。

[0041] 图 2 示出本发明的第二实施例。根据该实施例，可将两组配置数据存入非易失性存储器块 112。第一组配置数据是引导模式，它由制造商编程以便为所有客户提供 FPGA 标准功能，诸如 ASSP。该实施例的优点在于允许 FPGA 制造商通过对输出制造测试流的简单改变而随时间改变产品定义。

[0042] 一旦用户已定义一应用，则用户可将附加配置数据写入非易失性存储器块 112。例如，用户可将用于按诊断模式操作 FPGA 以测试各种信号的配置数据存入非易失性存储器块 112。

[0043] 在 OTP 型非易失性存储器中，在非易失性存储器块 112 中需要两个分区。一个分

区用于存储制造商的缺省引导配置数据，且一个分区用于存储用户配置数据，以更好地满足用户的特殊需要。图 2 中示出了用于非易失性存储器块 112 的分区。若在用户分区中检测出有效数据，则配置逻辑可跳过引导配置。

[0044] 在图 2 的实施例中，非易失性存储器块 112 具有足够的存储器，以使它能存储用于可编程逻辑块 110 的两组配置数据。根据本发明的其它实施例，非易失性存储器块 112 能存储用于可编程逻辑块 110 的超过两组配置数据。图 2 中的非易失性存储器块 112 可存储图 1 中非易失性存储器块 112 的 N 倍数据，其中 N 是配置可编程逻辑块 110 所需的配置数据组的数量。

[0045] 图 3A 示出了本发明的另一实施例。许多现今的可编程逻辑集成电路都具有硬智权 (HIP) 块。HIP 块是被硬接线以执行预定功能的专用集成电路 (ASIC) 的一部分。当大量客户需要相同功能时，制造商将 HIP 块添加到可编程逻辑 IC。在执行特殊功能时，ASIC 通常比 FPGA 更有效。但，ASIC 的灵活性远不如 FPGA，因为它们只能执行由掩模组硬接线的功能。

[0046] 通常，FPGA 客户具有对特定类型电路功能的类似（但非一致）要求。在这些实例中，期望对 FPGA 提供某些内置编程能力的 HIP 块。图 3A 所示的实施例以可编程寄存器组的形式提供了 HIP 块中的内置编程能力，这将在以下详细描述。可编程寄存器组提升了 HIP 块的灵活性。

[0047] 图 3A 示出了可编程逻辑 IC 上的 HIP 块 301 中 CRAM 初始化的寄存器组的框图。图 3A 的框图示出了可在用户模式期间被重新配置的用户模式配置接口 320，用于 FPGA 配置初始化的配置 RAM(CRAM)312，以及将模式设定输出到 IP 逻辑 335 的可编程寄存器组 330。

[0048] IP 逻辑 335 包含 HIP 块 301 中的逻辑电路，它被硬接线以执行特殊功能。可编程寄存器组 330 将某些编程能力提供给 IP 逻辑 335 执行的功能。例如，可编程寄存器组 330 可控制 IP 逻辑 335 中的多路复用器或计数器以提供逻辑功能方面的多个选项。

[0049] 可编程寄存器组 330 可在 FPGA 的用户模式期间被编程并可具有通电时的固定功能。可编程寄存器组 330 可由来自 User_Mode 信号、CRAM312 中存储的比特或来自用户模式配置接口 320 的用户模式配置数据加以编程。写入逻辑 322 经过多路复用器 325 将该用户模式配置数据发送到可编程寄存器组 330。来自 CRAM312 的配置数据也可直接通过多路复用器 325 传送到可编程寄存器组 330。

[0050] 通电时，缺省化写入逻辑 322，以使多路复用器 325 通过将 CRAM_n_Config 设定为‘1’并将 Write_En 设定为‘1’选择 CRAM 接口 312。在 FPGA 配置周期期间，加载可编程 IC CRAM 比特。在进入用户模式时，可编程 IC 核心断言 (assert)User_Mode 信号，且时钟信号开始切换 (toggle)。基于 User_Mode 信号断言的同步自计时电路可在写入逻辑 322 内实现，以保证 CRAM 值被采样入可编程寄存器组 330 作为缺省设定。

[0051] 写入逻辑 322 可通过将 CRAM_n_Config 设定为‘0’来切换多路复用器 325，以选择用户模式配置接口 320。用户模式期间，通过将来自用户模式配置控制器 310 的数据通过用户模式配置接口 320 载入可编程寄存器组 330，可编程寄存器组 330 的输出值可通过（总线协议方案的）写入周期改变。用户模式配置控制器 310（在 FPGA 核心 302 中示出）通常被实现为根据配置数据组配置的可编程逻辑块。可编程寄存器组 330 通常实现为存储器映射的寄存器。

[0052] 寄存器组 330 输出值可通过读取逻辑 321 和配置接口 320 被读回，用于监控、调试和测试的用途。对于测试用途，用户模式配置接口 320 允许可编程寄存器组 330 中存储的设定被读回以校验设定是正确的。通过使用本实施例的配置接口，可验证从 CRAM312 到 HIP 块 301 的连接，用于更好的测试覆盖。

[0053] 寄存器组 330 最好不要由 CRAM 异步初始化。如果可编程寄存器组 330 支持异步设置和异步复位，这种实现对竞态状态是灵敏的。为避免竞态状态，可添加额外的逻辑。但，与上述同步初始化方案相比，添加这种逻辑的总成本更昂贵。

[0054] 图 3A 的实施例有几项优点。例如，该实施例对从 CRAM 到寄存器组的连接提供了更好测试覆盖。与其中正确的 CRAM 设定仅通过运行 IP 功能测试矢量校验的常规 IP 功能测试方案相比，由于测试的结构性质，还减少了测试时间。但，从管芯面积成本的观点看来，该实施例不适合于非常大的寄存器组。

[0055] 根据本发明的另一实施例，可编程 HIP 块 301 可取代图 1 或图 2 中的可编程逻辑块 110。图 3B 示出了该实施例。图 3B 允许可编程 HIP 块 301 工作与易失性可编程逻辑块 310 无关。

[0056] 图 3B 还仅用少量编程最大化 HIP 块 301 的瞬时接通的能力。因为图 3B 中的 HIP 块 301 仅需要存储在非易失性存储器块 112 中的少量配置数据，所以可以用许多类型的存储器（例如，多熔、磁阻 ROM 等）实现存非易失性存储器块 112。

[0057] 图 3B 的实施例示出可编程 HIP 块 301 和 130 的架构不需要一致。可编程 HIP 块 301 和 130 的架构仅需要具有相同水平的编程能力。还期望（但非必要），可编程 HIP 块 301 需要明显少于可编程逻辑块 130 的配置比特。可编程 HIP 块 301 的面积和复杂性通常不必更小。

[0058] 图 4 是可包括本发明各方面的 PLD400 的一示例的简化部分框图。虽然主要在 PLD 和 FPGA 的环境中讨论本发明，但应理解本发明可应用于许多类型的可编程集成电路。PLD400 是其它可实现本发明的技术的可编程集成电路的示例。PLD400 包括可编程逻辑阵列块（或 LAB)402 的二维阵列，它们由变化长度和速度的行和列互连的网络相互连接。LAB402 包括多个（例如，10 个）逻辑单元（或 LE)。

[0059] LE 是提供用于用户定义的逻辑功能的有效实现的可编程逻辑块。PLD 具有许多逻辑单元，它们可配置成实现各种组合和顺序功能。逻辑单元具有通向可编程互连结构。可编程互连结构可被编程，以互连几乎任何期望配置中的逻辑单元。

[0060] PLD400 还包括分布存储器结构，它包括遍及阵列提供的可变大小的 RAM 块。例如，该 RAM 块包括 512 比特块 404、4K 块 406 和提供 512K 比特 RAM 的块 408。这些存储器块还可包括移位寄存器和 FIFO 缓冲器。

[0061] PLD400 还包括数字信号处理 (DSP) 块 410，它例如可实现具有加或减特点的乘法器。在该例中设置于装置外围附近的 I/O 元件 (IOE)412 支持许多单端和差分 I/O 标准。应理解，这里描述 PLD400 是仅为了说明目的，且本发明可在许多不同类型的 PLD、FPGA 等中实现。

[0062] 虽然图 4 所示类型的 PLD 提供了实现系统等级解决方案所需的许多资源，但本发明也有助于其中 PLD 是几个组件之一的系统。图 5 示出了其中可体现本发明的示例性数字系统 500 的框图。示例性数字系统 500 可以是编程的数字计算机系统、数字信号处理系统、

特殊数字切换网络或其它处理系统。此外，这种系统可设计用于各种应用，诸如电信系统、汽车系统、控制系统、消费电子产品、个人计算机、因特网通信和连网等。此外，示例性数字系统 500 可设置于单个板上、多个板上或多个封装内。

[0063] 示例性数字系统 500 包括通过一个或多个总线互连在一起的处理单元 502、存储器 504 和 I/O 单元 506。根据该示例性实施例，可编程逻辑装置 (PLD) 508 嵌入处理单元 502 中。PLD508 可在图 5 的系统内用于许多不同用途。PLD508 例如可以是处理单元 502 的逻辑构建块，支持其内部和外部操作。PLD508 被编程以实现在系统操作中进行其特殊作用所必需的逻辑功能。PLD508 可通过连接 510 专门耦合到存储器 504 并通过连接 512 耦合到 I/O 506。

[0064] 处理单元 502 可将数据引导到合适的系统组件用于处理或存储，执行存储器 504 中存储的程序或经由 I/O 单元 506 接收和发送数据，或其它类似功能。处理单元 502 可以是中央处理单元 (CPU)、微处理器、浮点协处理器、图形协处理器、硬件控制器、微控制器、编程用作控制器的可编程逻辑装置、网络控制器等。此外，在许多实施例中，常不需要 CPU。

[0065] 例如，一个或多个 PLD508 可代替 CPU 控制系统的逻辑操作。在一实施例中，PLD508 用作可重新配置的处理器，它可按需要被重新编程以处理特定的计算任务。或者，可编程逻辑装置 508 可自身包括嵌入的微处理器。存储器单元 504 可以是随机存取存储器 (RAM)、只读存储器 (ROM)、固定或柔性盘媒介、PC 卡闪盘存储器、磁带或任何其它存储装置，或这些存储装置的组合。

[0066] 虽然这里已参考其特殊实施例描述了本发明，但本发明中包含了修改、各种变化和替换的范围。在某些实例中，可在不相应使用其它特点的情况下采用本发明的特点，而不背离所述本发明的范围。因此，可进行许多修改以适应所揭示的特殊配置或方法，而不背离本发明的基本精神和范围。本发明旨在不限于所揭示的特殊实施例，本发明将包含属于权利要求书范围内的所有实施例和等效物。

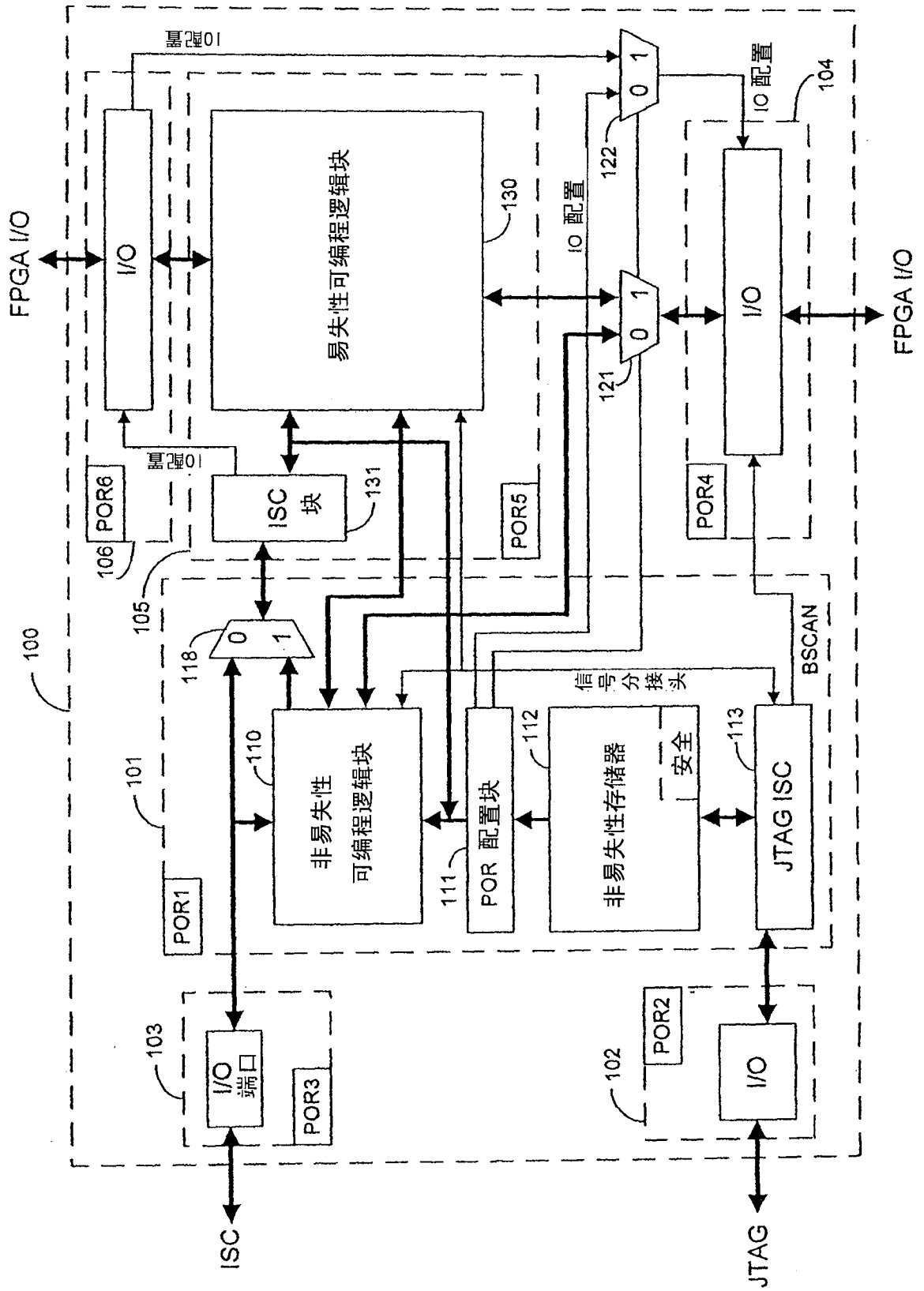

FPGA I/O
I/O
易失性可编程逻辑块
130
IO配置
122
121
0 1
IO 配置
104
I/O
FPGA I/O
POR6
106
ISC 块
131
POR5
POR4
105
100
118
0 1
BSCAN
信号分接头
101
110
非易失性
可编程逻辑块
POR 配置块
111
112
非易失性存储器
安全
113
JTAG ISC
POR1
103
I/O
端口
POR3
102
POR2
I/O
ISC
JTAG

图 1

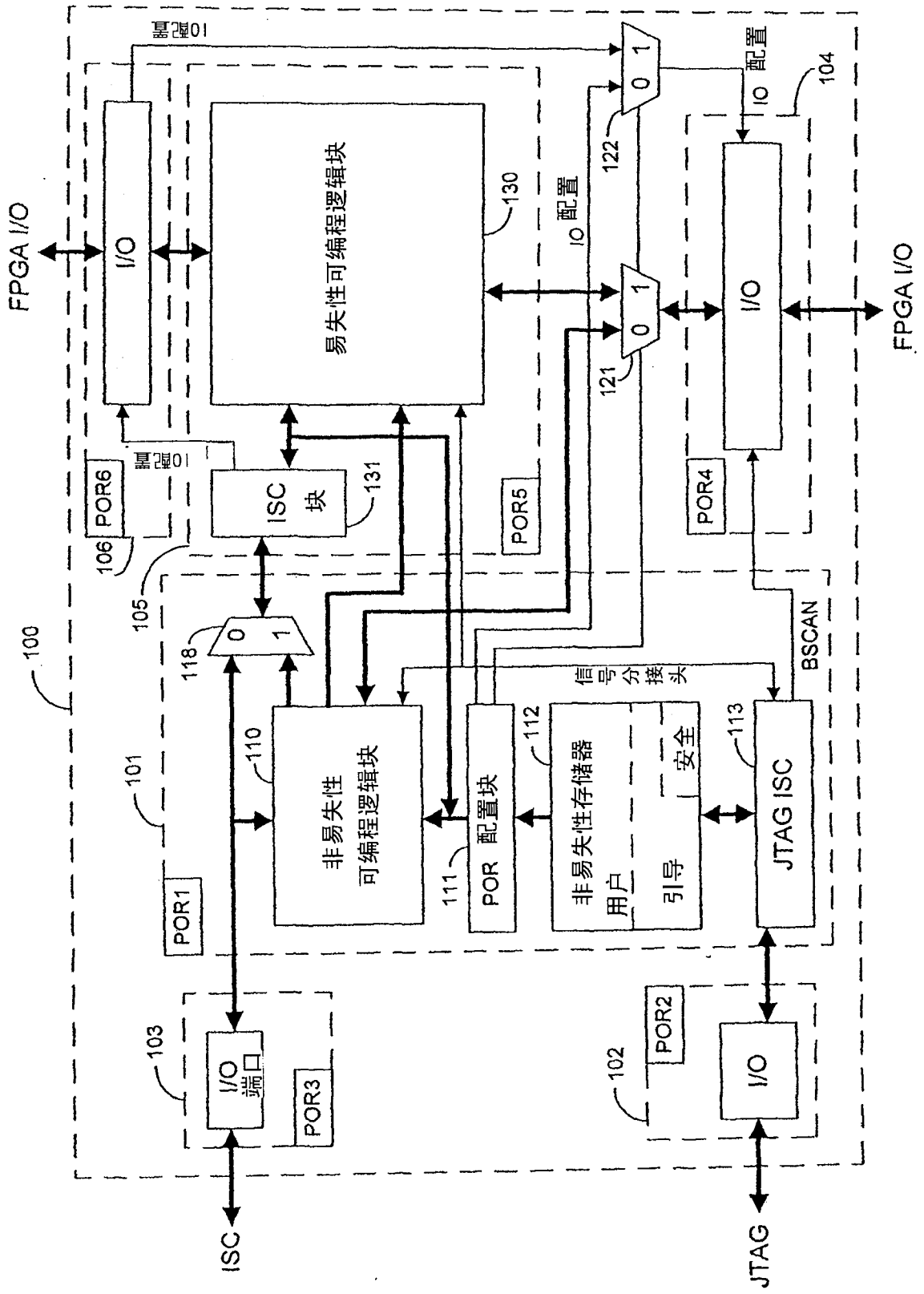

FPGA I/O
I/O
易失性可编程逻辑块
130
IO配置
122
121
104
I/O
FPGA I/O
POR6
106
ISC 块
131
POR5
POR4
105
100
118
BSCAN
信号分接头
101
110
非易失性
可编程逻辑块
POR 配置块
111
112
非易失性存储器
用户
引导
安全
113
JTAG ISC
POR1
103
I/O
端口
POR3
102
POR2
I/O
ISC
JTAG

图 2

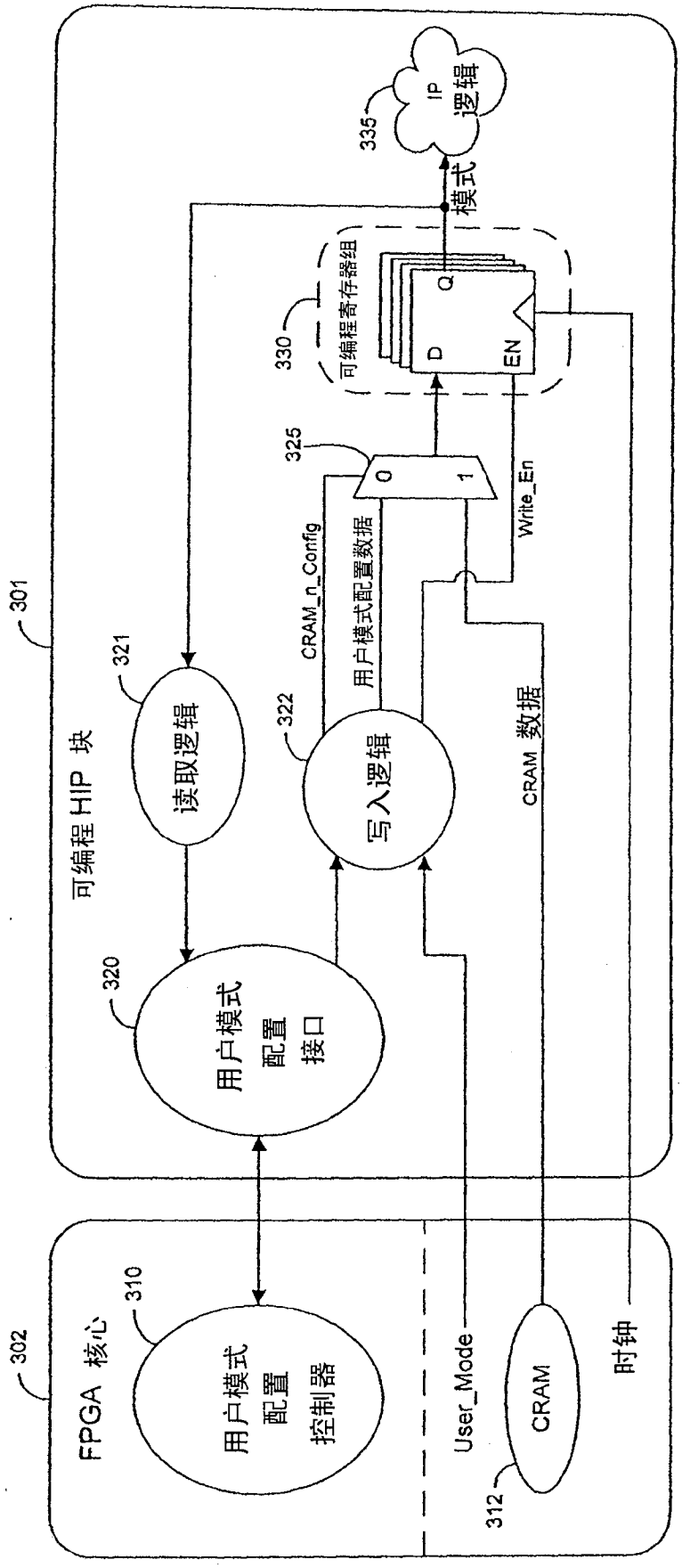

301
可编程 HIP 块
321
读取逻辑
322
写入逻辑
320
用户模式
配置
接口
CRAM_n_Config
用户模式配置数据
Write_En
CRAM 数据
325
0
1
330
可编程寄存器组
D
Q
EN
模式
335
IP
逻辑
302
FPGA 核心
310
用户模式
配置
控制器
User_Mode
312
CRAM
时钟

图 3A

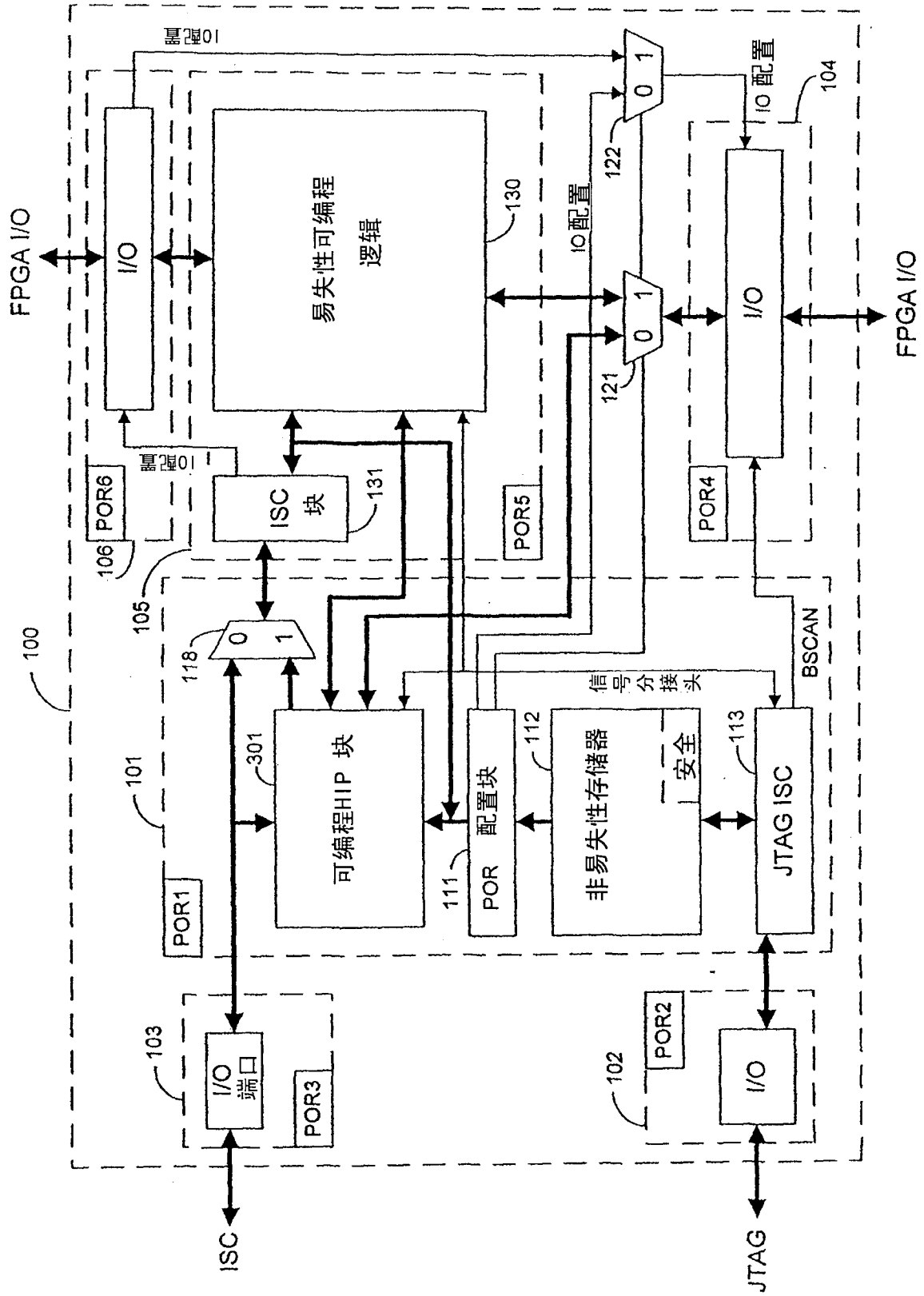

FPGA I/O
I/O
易失性可编程
逻辑
130
IO配置
122
121
0 1
IO配置
104
I/O
FPGA I/O
POR6
106
IO配置
ISC
块
131
POR5
POR4
105
100
118
0 1
BSCAN
信号分接头
101
301
可编程HIP 块
POR
配置块
111
112
非易失性存储器
安全
113
JTAG ISC
POR1
103
I/O
端口
POR3
102
POR2
I/O
ISC
JTAG

图 3B

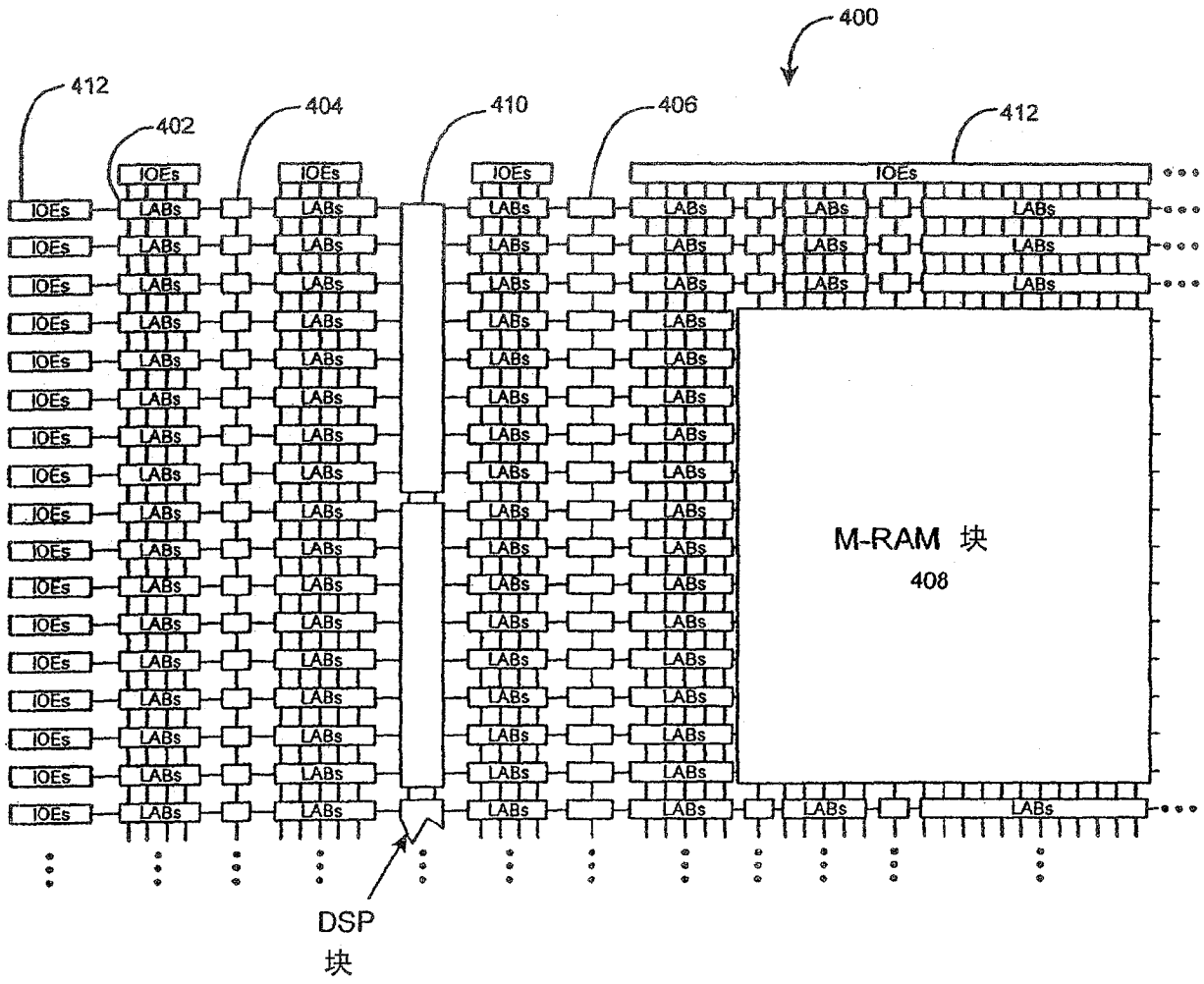

400
412
402
404
410
406
412
IOEs
LABs
M-RAM 块
408
DSP
块

图 4

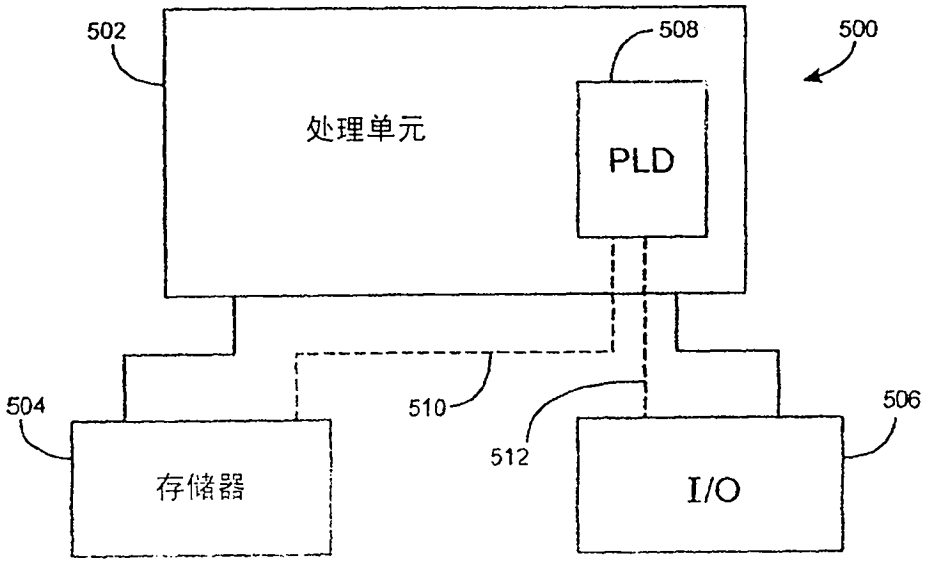

502
508
500
处理单元
PLD
504
510
512
506
存储器
I/O

图 5