

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G11C 5/14(초기공개)	(11) 공개번호 특2000-0030505
(21) 출원번호 10-2000-0010844	(43) 공개일자 2000년06월05일
(22) 출원일자 2000년03월04일	
(71) 출원인 주식회사 더즈텍 김태진	
(72) 발명자 박종욱 이현석 김태진	
	서울특별시 성북구 안암동5가 고려대학교 산학관 206-4호
	서울특별시성북구안암동5가고려대학교산학관206-4
	서울특별시노원구상계7동상계주공@6단지607동 1306호
	경기도성남시분당구수내동73푸른마을304-902
	서울특별시 서초구 방배동 487-1 무지개 아파트 5-1008호

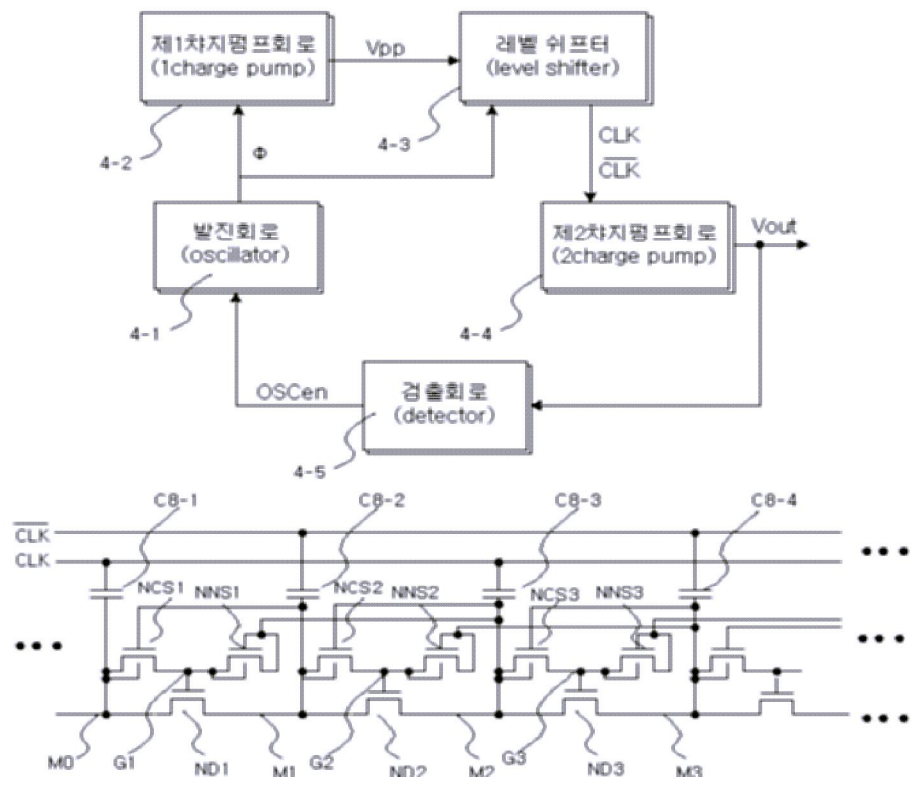
심사청구 : 있음

(54) 반도체장치의 승압회로

요약

본 발명은 반도체 장치에 있어서 외부인가 전압을 이용하여 상기 외부전압 보다 높거나, 혹은 낮은 전압을 발생시키는 내부 전압 발생 방법에 관한 것으로 효율적이며, 저 전압 동작에서 효과적인 승압 동작을 수행하는 승압 회로에 관한 것이다.

대표도



색인어

반도체, 차지펌프, 차지펌프, 펌프, 불 휘발성, 낸드플래쉬, 노어플래쉬, 낸드플래시, 노어플래시, 승압 회로, 승압, charge pump, pump, flash, memory

명세서

도면의 간단한 설명

- 도 1. 종래 기술에 의한 차지펌프 회로
- 도 2. 차지 펌프 입력신호 파형
- 도 3. 종래 기술에 의한 승압회로 구성도
- 도 4. 본 발명에 의한 승압회로 구성도의 대표적 도면
- 도 5. 본 발명에 의한 승압회로에 의한 출력 파형
- 도 6a. 도 5의 제1차지펌프의 구성의 예를 도시한 도면
- 도 6b. 도 5의 레벨 쉬프터의 구성의 예를 도시한 도면
- 도 6c. 도 5의 제2차지펌프의 구성의 예를 도시한 도면
- 도 7. 종래 기술에 의한 문턱 전압 효과 개선을 위한 차지펌프 회로도
- 도 8. 본 발명에 의한 문턱 전압 효과 개선을 위한 차지펌프 회로도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것이다. 구체적으로는 외부인가 전압 이상의 전압을 내부적으로 발생하기 위한 차지펌프(charge pump)회로에 관한 것이다.

반도체 장치는 그 제작 기술의 발달과 함께 소형화, 경량화, 고속화, 저 전력화 등에서 빠른 속도로 진보하고 있다. 특히 반도체 메모리 소자에 있어서 그 발전 속도는 비약적이며, 이러한 발전에 반해 여러 가지 기술적인 문제점들도 대두되고 있다. 특히 불 휘발성 반도체 메모리(non-volatile semiconductor memory device)의 경우 그 동작 특성상 읽기(read), 쓰기(write), 지우기(erase) 동작(operation) 등에서 외부 공급 전압 이상의 내부 고 전압이 필요하며 이러한 상기 고 전압은 내부 고 전압 발생 회로(high voltage charge pump circuit)에 의해 생성한다. 이하 기존 고 전압 발생 회로의 문제점을 제시된 도면과 함께 설명한다.

도 1 은 기존 기술에 의한 대표적인 양 고전압용(positive high voltage)차지 펌프회로로 Dickson에 의해 고안되었으며, 그 자세한 동작은 IEEE Journal of solid state circuits, Vol. 32, No. 8, august 1997의 page 1231 ~ page 1240에 설명되어 있다.

도 2 는 상기 기존 기술에 의한 대표적인 양 고전압용(positive high voltage)차지 펌프회로의 Φ 와 Φ 의 반전 신호인 $\bar{\Phi}$ 신호의 파형을 도시한 그림이다.

도 3 은 상기 도 1 을 구비하는 고전압 발생 장치의 일반적인 회로 구성을 나타내는 블록 도면이다.

이상 제시된 상기 도 1, 2, 3과 함께 기존 기술에 대한 문제점을 제시한다.

도 3 을 참조하면, 일반적인 승압 전압 발생 회로는 발진회로(3-1), 차지 펌프회로(3-2)와 검출 회로(3-3)로 구성된다. 상기의 발진 회로는 상기의 검출회로로 부터 출력되는 발진회로 활성화 신호(OSCen)에 의해 활성화되어 일정 주파수로 오실레이팅(oscillating)하는 신호인 Φ , $\bar{\Phi}$ 신호를 발생하여 상기 차지 펌프 회로로 입력된다. 상기의 차지 펌프회로는 전류 소오스 트랜지스터(N1-1)와 상기 전류 소오스 트랜지스터의 소오스 단자에 한쪽 노오드(node)가 연결되며 다른 노오드는 또다른 트랜지스터의 다른 노오드에 연결되며, 상기 트랜지스터의 게이트는 커플링 커패시턴스(capacitance)(C1-1)의 한쪽 노오드에 연결되는 트랜지스터(N1-2)와 이러한 트랜지스터가 복수개 직렬 연결된 다수의 트랜지스터(N1-3 ~ N1-7)로 구비된다. 상기의 차지펌프 회로는 직렬 연결된 복수개의 단 방향 다이오드와 상기 다이오드의 입력 노오드에 연결된 커플링 커패시턴스의 구조로 된다.

상기 차지펌프 회로에 의한 최종 출력 단의 출력전압(V_{out})은

$$V_{out} = V_{cc} - V_{th}(0) + \sum_{i=1}^N [\alpha V_{cc} - V_{th}(i)]$$

와 같이 표시된다.(1997 Symposium on VLSI Circuits Digest of Technical Papers, pp.61 ~ 62 참조) 단, V_{cc} : 외부 공급 전압, α : coupling ratio, $V_{th}(i)$: i번째 트랜지스터의 등가 문턱전압.

상기 식에서 알 수 있듯이 출력전압은 외부인가 전압이 커질수록, 커플링 계수가 커질 수록, 트랜지스터

의 문턱 전압이 낮아질수록 비례해서 높아짐을 알 수 있다.

그러나, 상기 도시한 기존의 기술에 의하면 스테이지(stage)가 증가함에 따라 상기 직렬 연결된 트랜지스터의 문턱 전압은 트랜지스터 바디효과(body effect)에 의해 점차 높아진다. 또 외부인가 전압은, 반도체 기술이 발달함에 따라 점점 낮아지는 추세이므로 따라서 낮아지고 있어, 전 전압 동작 반도체 장치에 있어서 내부 고전압 발생 회로는 점점 더 많은 문제를 야기하고 있다.

상기의 바디효과에 의한 동작 저하를 보상하기 위해 상기 차지펌프의 각각의 트랜지스터의 웰(well)을 분리하는 플로팅 웰 차지펌프회로(floating well charge pump)가 보고되고 있다.(1997 Symposium on VLSI Circuits Digest of Technical Papers, pp.61 ~ 62 참조) 그러나 이러한 기술을 구현하기 위해서는 각각의 모든 트랜지스터의 웰을 일일이 분리해서 레이아웃(lay out)해야 하므로 면적이 증대되는 문제를 야기한다. 또한 각각의 스테이지를 지나면서 야기되는 문턱전압에 의한 전압 강하 현상(Vth drop)은 막을 수가 없다.

이러한 문제를 해결하기 위해 상기 발진회로를 4개를 이용하는 4phase charge pump(Proc. IEEE 1995 Symp. VLSI Circuits, pp.75 ~ 76)도 제시되었지만 이 역시 컨트롤이 복잡한 문제를 가지고 있다.

저 전압 문제를 해결하기 위해 각각의 스테이지에서 게이트 전압을 Vth보다 더 높은 전압을 인가하는 방법이 제시되기도 했다.(IEEE journal of solid-state circuits, Vol. 33, No. 4, April 1998 pp. 592 ~ 597) 이 방법에 의한 회로의 구성을 도 7 에 도시하였다. 문턱 전압에 의한 전하 전송 효율 감소를 방지하기 위해 각각의 다이오드 트랜지스터(MD1 ~ MD4)외에 스위치 트랜지스터(MS1 ~ MS4)를 구비했으며 상기 스위치 트랜지스터의 게이트는 턴온(turn on)시에는 그 다음 스테이지의 높은 전압을, 턴오프(turn off)시에는 그 스테이지의 전압을 이용함으로써 턴온시 문턱 전압 강하 없이 전하를 전송하고 턴 오프시 전류의 역류(back flow)를 방지하기 위해 현재 스테이지의 전압을 인가하는 방식을 쓴다. 상기의 스위치 트랜지스터 게이트(gate) 컨트롤을 위해 추가의 NMOS, PMOS를 구비한다.(MN1 ~ MN4, MP1 ~ MP4) 그러나 이 방법 역시 레이아웃을 잘못하면 래치업 효과에 의한 브레이크다운(break down)이 발생할 수 있고 레이아웃면적도 커지는 문제가 있다.

발명이 이루고자하는 기술적 과제

따라서 상기한 문제점들을 해결하기 위한 본 발명은 저 전압에서 동작이 가능하며, 문턱전압에 의한 효율 감소를 방지하는 고 효율(high efficient)의 차지 펌프를 제공하는데 있다.

저 전압 동작에서 효율을 높이기 위해 별도의 차지펌프를 두어 이로부터 출력된 전압을 이용하여 커플링 커패시턴스를 구동한다. 또한 문턱전압에 의한 효율 감소를 방지하기 위해 각 스테이지의 게이트를 더 높은 전압을 이용하여 컨트롤하며, 이때 각각의 트랜지스터를 모두 동일 타입(type)으로 구성함으로써 래치업을 방지 할 수 있다.

발명의 구성 및 작용

이하 본 발명에 의한 동작의 예를 제시된 도면과 함께 설명한다. 제시된 도면은 본 발명의 효과를 설명하기 위한 예에 지나지 않으며, 본 발명의 효과가 제시된 도면에만 국한 되는 것이 아님을 밝혀 둔다.

도 4 는 본 발명에 의한 저 전압 동작에서의 차지 펌프 동작 개선을 위한, 개선된 차이지 펌프의 동작을 설명하기 위한 회로 구성도 이다.

도 4 를 참조하면, 구성은 발진회로(4-1), 제1차지 펌프회로(4-2)와 제2차지 펌프회로(4-4)와 레벨슈프터회로(4-5)로 구성된다. 상기의 발진 회로는 상기의 검출회로로부터 출력되는 발진회로 활성화 신호(OSCen)에 의해 활성화되며 일정 주파수로 오실레이팅(oscillating)하는 신호인 Φ , $\bar{\Phi}$ 신호를 발생하여 상기 제1차지 펌프 회로로 입력된다. 상기의 제1차지 펌프회로는 도 6a 에 도시하였으며, 상기 기존 기술에 의한 차지 펌프 회로로 구성하였다. 단 펌프의 단수(stage)는 제2차지 펌프회로에 비해 적은 수를 가지며 커플링 커패시턴스의 사이즈(size)를 크게 하고 트랜지스터의 사이즈를 키워 펌프의 전류 용량을 크게 하였다. 이때의 전류 용량은 제2차지펌프의 전체 커플링 커패시턴스 x Vpp로 정하여 약간의 마진(margin)을 두고 정한다. 상기의 제1차지 펌프 회로의 출력 전압 Vpp의 준위는 외부 입력 전원 전압 Vcc이상으로 상승된 전압 레벨을 가진다.

상기 Vpp는 도 4의 레벨 쉬프터(level shifter)의 전원 전압으로 공급되며, 상기 레벨쉬프터의 입력 신호는 상기 발진 회로의 출력 신호인 Φ 가 되며, 상기 0 ~ Vcc사이의 값을 가지는 Φ 신호는 상기 레벨 쉬프터 회로를 지나면서 0 ~ Vpp사이의 값으로 오실레이팅하는 신호인 CLK, \bar{CLK} 신호로 컨버전(conversion)된다. 상기의 레벨 쉬프터(level shifter)의 일반적인 회로를 도 6b에 도시하였다.

상기 CLK, \bar{CLK} 신호는 도 4 의 제2차지펌프의 커플링 커패시턴스에 연결되며, 이러한 구성을 도 6c에 도시하였다.

도 5 는 상기 도 4와 도 6a, 6b에 도시된 구성에 따라서 Φ , Vpp, CLK, \bar{CLK} 신호의 동작 파형의 예를 도시한 그림이다.

따라서 상기의 구성에 의하면 외부 공급 전원 전압이 낮은 값을 가지더라도 내부적으로 외부 전원 이상의 전압을 별도의 차지 펌프(4-2)로 발생시켜 이 전압을 메인 차지펌프(4-4)의 커플링 커패시턴스에 입력함으로써 차지펌프의 전 전압 동작 특성을 개선할 수 있다.

제 8도는 본 발명에 의한 또 다른 동작 특성을 설명하기 위한 대표적 도면으로, 각 스테이지의 문턱 전압에 의한 펌프 효율 저하를 개선하기 위한 동작 설명을 위한 도면이다.

기존의 Dickson 차지 펌프와 구분되는 대표적인 구성은 다이오드 트랜지스터(ND1 ~ND3)의 게이트 전압인가 방식이다.

Dickson 차지 펌프의 경우 게이트와 소오스 단자가 동일한 전위로 인가되어 스테이지를 거치면서 문턱 전압강하에 의한 효율 감소의 문제점이 있었다.

본 발명에 의한 차지 펌프의 경우 도 8 의 G1노오드의 경우를 예로 들면, CLK 신호 Low to High 천이시 M0 노오드는 ΔV 만큼 커플 업(couple up)된 전압이 인가되며, 이때의 스위칭 트랜지스터 NCS1은 게이트가 M1노오드에 연결되어 있어 턴 오프 된다. 반면 다음 스테이지의 높은 전압에 다이오드 형태로 연결된 또다른 스위칭 트랜지스터 NNS1은 M2노오드 보다 $V_{th}(NNS1)$ 만큼 강하된 전압을 G1노오드에 전달한다. 따라서 다이오드 트랜지스터 ND1은 M0 노오드가 드레인(drain) M1 노오드가 소오스(source)가 되며, 게이트 준위는 $\{ M0\text{노오드 초기치} + 3 \times \Delta V - V_{th}(NNS1) \}$ 의 준위까지 상승하여, $\{ 2 \times \Delta V > V_{th}(ND1) \}$ 의 조건이 만족되는 한 완전 턴 온 조건이 된다.(도 8의 타이밍도를 참조 바람) 한편, CLK 신호 High to Low 천이시 M0 노오드는 ΔV 만큼 커플 다운(couple down)된 전압 $\{V(M0)\}$ 이 인가되며, 이때의 스위칭 트랜지스터 NCS1은 게이트에 V_3 전압이 인가되며, 따라서 NCS1 트랜지스터의 V_{gs} 는 $2 \times \Delta V$ 가 되어 턴 온 되며 G1 노오드를 $V(M0) + V_{th}(NCS1)$ 만큼 높은 전압이 인가된다. 이때의 ND1 트랜지스터의 V_{th} 는 보디효과(body effect)를 감안하면 $V_{th}(NCS1)$ 의 V_{th} 보다 높아지므로 ND1 트랜지스터는 턴 오프 상태가 된다.

발명의 효과

종래 기술에 의한 반도체 장치를 이용한 고전압 발생 회로의 문제를 해결하기 위한 본 발명에 의한 효과는 크게 두 가지로 요약된다.

1. 저 전압 동작 특성 개선

종래 기술에 의한 반도체 장치를 이용한 고전압 발생 회로는 차지 펌프 회로의 커플링 커패시턴스 노드에 인가되는 전압의 변동폭이 외부인가 전압과 그라운드 전압 사이의 스윙(swing)폭을 가지므로 외부인가 전압 레벨이 낮아짐에 따라 ΔV 의 값이 감소하여 효율이 감소하였다. 본 발명에 의한 차지 펌프에서는 별도의 차지펌프를 두고 그 출력을 이용하여 커플링 커패시턴스 노드에 외부 전압 이상의 변화 값을 인가함으로써 저 전압 동작 특성을 개선할 수 있다.

2. 문턱 전압에 의한 효율 감소 개선

종래 기술에 의한 반도체 장치를 이용한 고전압 발생 회로는 차지 펌프 회로에서 문제점으로 부각된 바디 효과에 의한 문턱 전압 상승에 의한 전송 효율 감소를 위해 본 발명에서는 상기 다이오드 트랜지스터의 게이트를 상기 트랜지스터의 문턱 전압 이상의 값으로 스윙함으로써 전송 효율을 개선할 수 있다. 또한 상기 문턱 전압 이상의 값을 인가하기 위해 동일한 타입의 트랜지스터를 이용함으로써 레이아웃 작업 시 발생할 수 있는 래치업 효과를 방지할 수 있다. 뿐만 아니라 종래 기술에서 부가적으로 추가되는 트랜지스터를 제거함으로써 레이아웃 면적을 줄일 수 있어 효율적인 디자인을 할 수 있다.

(57) 청구의 범위

청구항 1

외부 공급 전원 전압을 이용하여 상기 공급 전압 준위 보다 높은 고 전압의 내부 전압(예를 들어 Vout이라 칭함)을 발생하는 반도체 장치에 있어서:

상기 고 전압 준위(Vout)를 검출하기 위한 검출 수단으로써 검출 회로를 구비하며:

상기 검출 회로의 출력을 이용하여 일정 주기로 오실레이팅하는 신호를 발생하는 발진회로를 구비하며:

상기 발진 회로의 출력 신호를 이용하여 별도의 또다른 준위의 고전압(예를 들어 Vpp라 칭함)을 발생하는 수단으로써 별도의 차지 펌프(예를 들면 제1차지 펌프)를 구비하며:

상기 제1차지 펌프의 출력을 전원 전압으로 이용하여 상기 발진 회로의 출력 신호를 입력 신호로 하여, 출력 신호(예를 들면 CLK와, 이의 반전신호 /CLK 이라 칭함)의 진폭을 접지전압 준위에서 상기 Vpp준위 사이의 값으로 변환 시킨 값으로 출력하는 레벨쉬프터(level shifter) 수단을 구비하며:

상기 고 전압(Vout) 발생을 위한 수단으로써 또다른 차지 펌프 회로(예를 들면 제2차지 펌프)를 구비하며:

상기 제1차지 펌프, 제2차지 펌프는 소스, 게이트, 드레인으로 이루어진 스위칭 트랜지스터를 구비하며, 복수개가 직렬 연결된 구조를 가지며 각각의 스위칭 트랜지스터의 소스 단자에 커패시티브 커플링(capacitive coupling)을 위한 커패시턴스를 구비하는 차지 펌프회로이며:

상기 제2차지 펌프의 상기 커플링 커패시턴스의 한쪽 노드에 상기 레벨쉬프터의 출력 신호(예를 들면 CLK)를 연결하며, 다음 스테이지의 또다른 커플링 커패시턴스의 한쪽 노드에 상기 레벨쉬프터의 출력 신호(예를 들면 CLK)와 반전된 위상을 가지는 또다른 레벨쉬프터의 출력 신호(예를 들면 /CLK)를 연결 하며, 상기의 구조가 반복되는 것을 특징으로 하는 반도체 고 전압 발생장치.

청구항 2

외부 공급 전원 전압을 이용하여 상기 공급 전압 준위 보다 높은 고 전압의 내부 전압을 발생하기 위해 복수개의 스테이지(pumping stage)를 구비한 반도체 장치에 있어서 상기 스테이지가:

게이트(gate), 소스(source), 드레인(drain) 단자를 가지는 스위칭 트랜지스터(switching transistor)를

구비하며(예를 들면 도 8의 ND1), 각각의 스테이지의 스위칭 트랜지스터들은 직렬 연결되며, 상기 각각의 스테이지들도 직렬 연결된 구조를 가지며:

상기 스위칭 트랜지스터의 게이트에 드레인 노드가 연결되며, 게이트노드는 상기 스위칭 트랜지스터의 한쪽 노드(예를 들면 도 8의 M1)에 연결되며, 소스 노드는 상기 스위칭 트랜지스터의 또 다른 한쪽 노드(예를 들면 도 8의 M0)에 연결되는 제1 컨트롤 트랜지스터(예를 들면 NCS1)와:

상기 스위칭 트랜지스터의 게이트에 소스 노드가 연결되며, 게이트 노드와 드레인 노드는 상기의 다음 스테이지의 스위칭 트랜지스터의 한쪽 노드(예를 들면 도 8의 M2)에 연결되는 제2 컨트롤 트랜지스터(예를 들면 NNS1)와:

상기 스위칭 트랜지스터의 소스에 연결된 커플링 커패시턴스(예를 들면 C8-1)를 구비하며 상기 커플링 커패시턴스의 또다른 한쪽 노드는 일정 주기로 반복하는 오실레이팅 신호(예를 들면 도 8의 pi)에 연결되며, 다음 스테이지의 또다른 커플링 커패시턴스의 또다른 한쪽 노드는 상기 오실레이팅 신호의 반대 위상을 가지는 또다른 오실레이팅 신호(예를 들면 도 8의 /pi)에 연결되는 것을 특징으로 하는 반도체 차지 펌프.

청구항 3

상기 청구항 1에 있어서 상기 CLK, /CLK신호가 상기 제2 차지 펌프의 한 스테이지 혹은 한 스테이지 이상의 복수 스테이지에 선택적으로 공급되는 것을 특징으로 하는 반도체 장치.

청구항 4

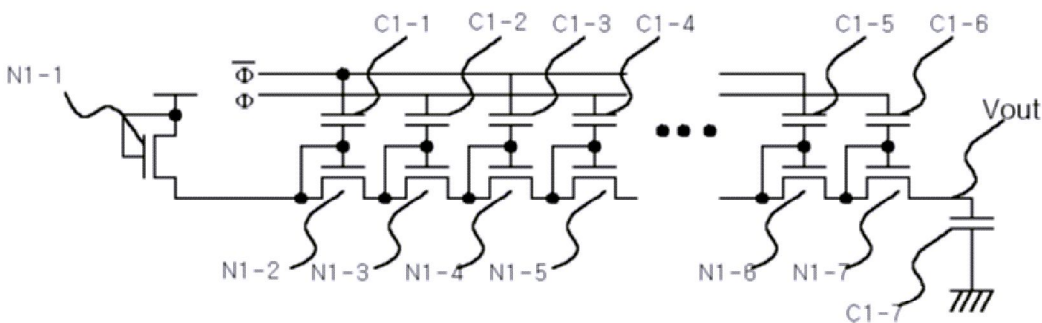
상기 청구항 1에 있어서 상기 제 1차지 펌프의 출력단(Vpp 노드)에 출력 전압의 변동폭 완화를 위해 별도의 커패시턴스를 구비함을 특징으로 하는 반도체 장치.

청구항 5

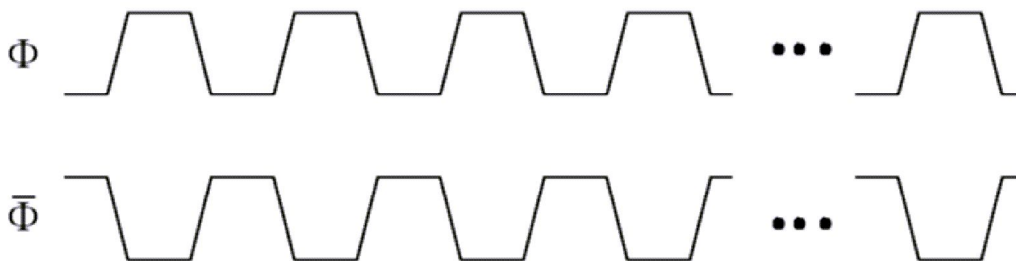
상기 청구항 2에 있어서 상기 제1, 2 컨트롤 트랜지스터의 문턱전압 효과 감소를 위해 상기 제1, 2 컨트롤 트랜지스터의 각각의 소스 노드와 벌크(bulk) 노드를 동일 전압으로 인가하는 것(각각 트랜지스터의 웰을 분리함)을 특징으로 하는 반도체 장치.

도면

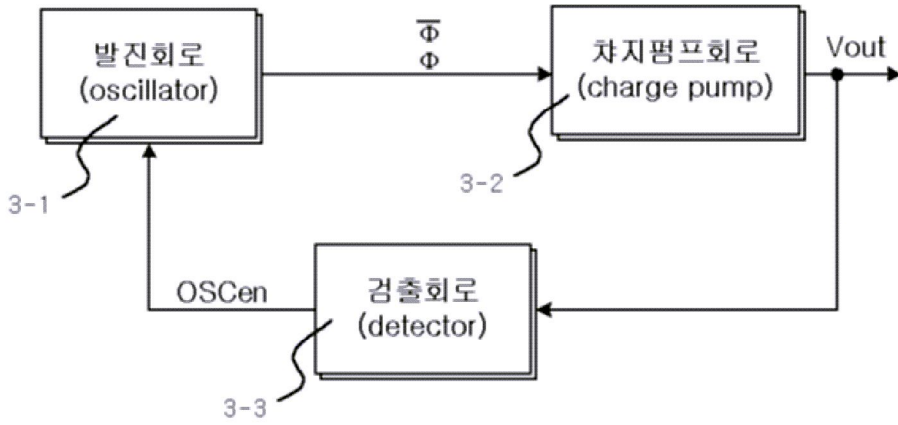
도면1



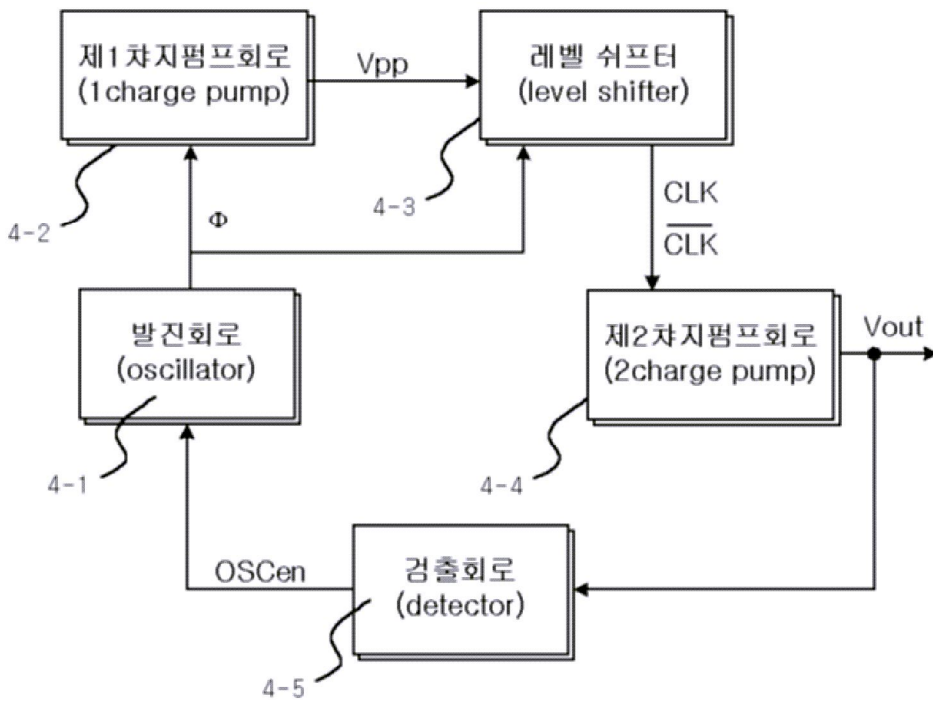
도면2



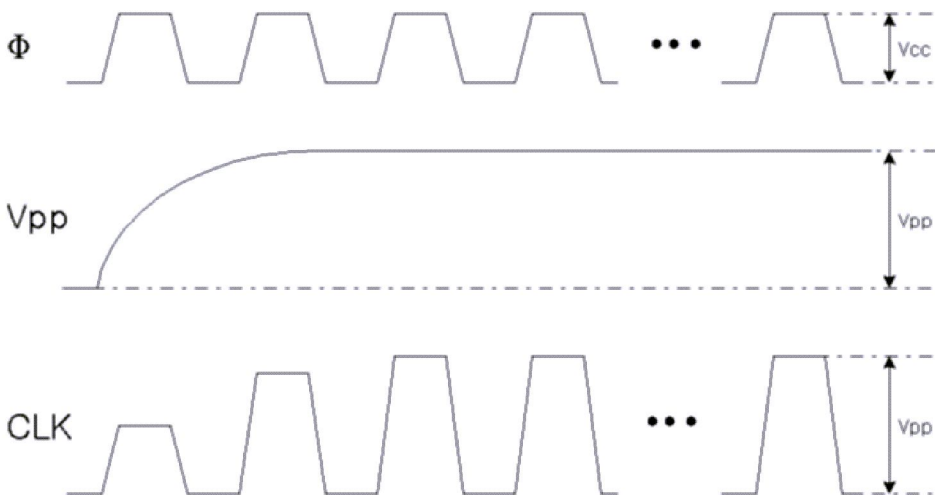
도면3



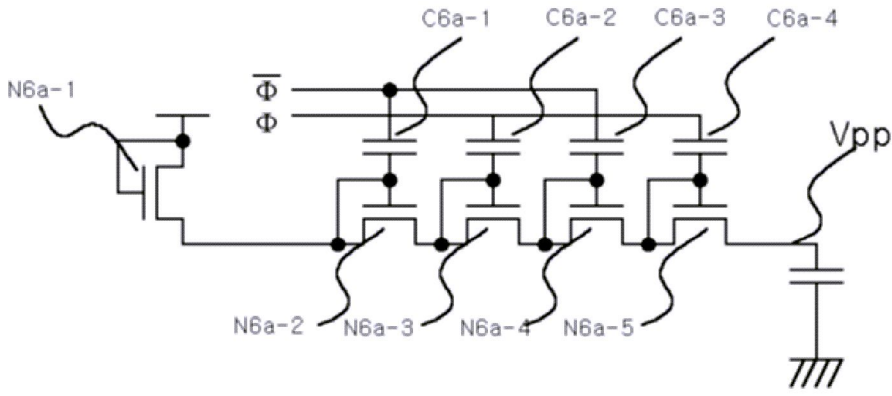
도면4



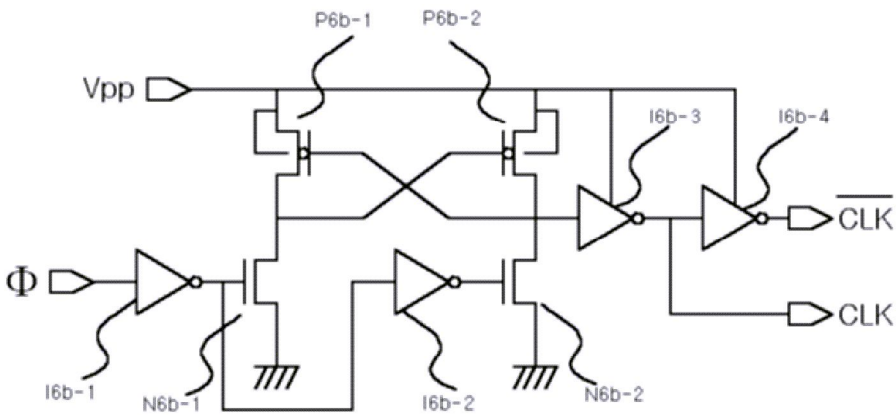
도면5



도면6a



도면6b



도면6c

