

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020년 10월 1일 (01.10.2020)



(10) 국제공개번호
WO 2020/197006 A1

(51) 국제특허분류:
G05B 19/414 (2006.01) *G05B 19/05* (2006.01)

(21) 국제출원번호: PCT/KR2019/010874

(22) 국제출원일: 2019년 8월 27일 (27.08.2019)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2019-0034940 2019년 3월 27일 (27.03.2019) KR

(71) 출원인: 엘에스일렉트릭(주) (**LS ELECTRIC CO., LTD.**) [KR/KR]; 14119 경기도 안양시 동안구 엘에스로 127 엘에스타워, Gyeonggi-do (KR).

(72) 발명자: 김석연 (**KIM, Seok-Yeon**); 14118 경기도 안양시 동안구 엘에스로 116번길 40, Gyeonggi-do (KR).

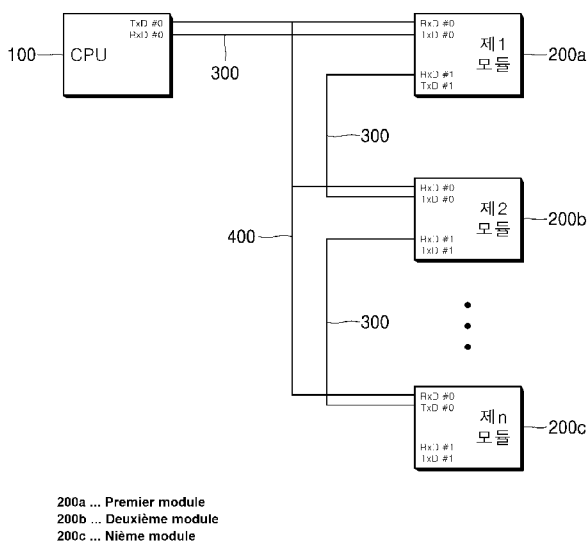
(74) 대리인: 특허법인(유한) 대아 (**DAE-A INTELLECTUAL PROPERTY CONSULTING**); 06243 서울시 강남구 역삼로 123 한양빌딩 3층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,

(54) Title: PLC EXTENSION MODULE INTERFACE METHOD USING MULTI-DROP SERIAL COMMUNICATION TECHNIQUE

(54) 발명의 명칭: 멀티 드롭 직렬통신 방식을 이용한 PLC 증설 모듈 인터페이스 방법



(57) Abstract: The present invention relates to a method for an effective extension module interface of a programmable logic controller (PLC) which manages multiple extension modules by using a new serial communication technique rather than a technique of requesting/responding. According to the present invention, a PLC extension module interface method using a multi-drop serial communication technique can reduce CPU waiting times needed to occupy and release a transmission (Tx) line to share the transmission line, which connects a reception terminal of the CPU to a transmission terminal of each of multiple modules in a PLC system controlling the multiple modules by using a serial communication technique. Accordingly, the CPU can drastically reduce delays in communication with each of the modules and consequently can reduce response time of the entire system due to effects of reducing the duration of the cycle thereof.

ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 발명은 요청/응답의 방식이 아닌 새로운 직렬통신 방식으로 여러 증설 모듈을 관리하는 PLC(Programmable logic controller)의 효과적인 증설 모듈 인터페이스 방법에 관한 것이다. 본 발명에 따른 멀티 드롭 직렬통신 방식을 이용한 PLC 증설 모듈 인터페이스 방법은 직렬 통신 방식으로 여러 모듈을 제어하는 PLC 시스템에서 각 모듈의 송신단자에서 CPU의 수신단자에 연결된 송신(Tx) 라인을 공통으로 사용함에 있어서 발생하는 송신 라인 점유 및 해제에 따르는 CPU의 대기시간을 줄일 수 있다. 이를 통해, CPU는 각 모듈과 통신을 위한 지연(delay)을 획기적으로 줄일 수 있으며, 전체 시스템의 주기를 줄이는 효과를 토대로 궁극적으로 응답시간을 단축할 수 있다.

명세서

발명의 명칭: 멀티 드롭 직렬통신 방식을 이용한 PLC 증설 모듈 인터페이스 방법

기술분야

- [1] 본 발명은 직렬통신 방식으로 여러 증설 모듈을 관리하는 PLC(Programmable logic controller)의 효과적인 증설 모듈 인터페이스 방법에 관한 것이다.

[2]

배경기술

- [3] PLC(Programmable logic controller)는 증설 모듈과 통신을 함에 있어 주기적으로 최신의 데이터를 주고받는 주기 통신과 파라미터 설정 등 특별한 이슈가 있는 경우에만 수행하는 비 주기 통신으로 나뉜다.

- [4] 직렬통신 방식을 사용하는 PLC 시스템은 모든 요청 프레임에 대해 각각의 응답 프레임을 수신하기 위해 대기해야 한다. 즉, 1개의 증설 모듈과 통신을 하기 위해 소요되는 시간이 1ms라면 10개의 증설 모듈과 통신하는 데에는 10ms가 필요하다. 증설 모듈 통신 시간은 시스템의 주기와 연관이 있으며, 시스템 주기는 응답시간과 관계가 있으므로 증설 모듈 통신 시간을 줄여야 할 필요가 있다.

- [5] 그러나, 기존의 요청 및 응답의 방식은 증설 모듈과 통신을 하면 응답을 기다리는 시간으로 인해 지연이 발생하는 문제점이 있다.

- [6] 도 1은 종래의 증설 모듈 통신 방식의 통신 연결방식을 도식화한 도면이다.

- [7] 도 1을 참조하여 설명하면, CPU(10)는 PLC의 핵심 요소이며 사용자가 구성한 프로그램을 처리한다. CPU(10)는 장착된 증설 모듈(20a)(20b)(20c)에 필요한 데이터를 송/수신한다. 이때, 모듈(20a)(20b)(20c)은 CPU(10)에 여러 대 장착이 가능하며, 통상 CPU(10)의 송신단자(TxD #0)에서 송신한 데이터는 멀티 드롭(Multi drop) 방식으로 모든 모듈(20a)(20b)(20c)의 수신단자(RxD #0)를 통해서 수신될 수 있다.

- [8] 그리고 모든 모듈(20a)(20b)(20c)의 송신단자(TxD #0)는 각 모듈(20a)(20b)(20c)에서 제어하는 스위치(S1)(S2)(S3)에 의해 연결된다. 해당 모듈(20a)(20b)(20c)의 송신단자(TxD #0)가 CPU(10)의 수신단자(RxD #0)에 연결된 송신 라인을 점유하고자 할 때에는 스위치(S1)(S2)(S3)를 온(On)시키고, 해당 모듈(20a)(20b)(20c)의 송신단자(TxD #0)를 통해 송신 라인에 데이터를 송신한다.

- [9] 모듈(20a)(20b)(20c) 측에서 송신 라인을 점유하는 시간은 상호 배타적이어야 한다. 이를 위해 CPU(10)와 모듈(20a)(20b)(20c) 간의 통신 시에 CPU(10)는 어느 모듈(20a)(20b)(20c)에 보내는 프레임인지 정보를 송신하여야 한다. 그리고 모듈(20a)(20b)(20c)은 자신에게 요청된 프레임이 아닌 경우에는 송신 라인의

스위치(S1)(S2)(S3)를 오프(Off)하고 있어야 한다.

- [10] 송신 라인 점유의 상호 배타적 관계를 유지하기 위해, CPU(10)와 모듈(20a)(20b)(20c) 간의 통신은 요청/응답의 방식이 되어야 한다. 그리고 CPU(10)는 매번 모듈(20a)(20b)(20c)의 응답 프레임이 수신될 때까지 대기를 해야 한다. 왜냐하면 CPU(10)가 여러 대의 모듈(20a)(20b)(20c)에 요청 프레임을 전송하면, 송신 라인은 요청 받은 여러 대의 모듈(20a)(20b)(20c)에 의해 서로 점유를 하기 위해 송신 라인의 스위치(S1)(S2)(S3)를 온(On)시킬 것이고, 이때 송신 라인은 충돌되어 프레임을 CPU(10)로 송신할 수 없게 되기 때문이다.
- [11] 도 2는 종래의 증설 모듈 통신방식의 통신 시퀀스를 나타낸 흐름도이다.
- [12] 도 2를 참조하여 설명하면, CPU(10)는 각 모듈(20a)(20b)(20c)에 요청 프레임을 보내고 요청 프레임을 받은 모듈(20a)(20b)(20c)은 CPU(10)의 요청에 대한 회신을 한다.
- [13] 이때, 만일 n개의 모듈(20a)(20b)(20c)이 장착된 시스템인 경우는 CPU(10)에서 n회의 요청/대기/수신이 필요하다. 그러나 각 모듈(20a)(20b)(20c)은 자신에게 보내어진 출력 데이터를 바로 출력에 반영(ex. 디지털 출력 접점)하므로 각 모듈(20a)(20b)(20c)의 출력값이 반영되는 데에는 큰 시차가 존재하게 된다.
- [14] 이처럼, 각 모듈의 송신 라인을 점유하는 시간을 상호 배타적으로 운영하기 위해 CPU는 각 모듈로부터 수신할 데이터를 모두 수신할 때까지 대기를 해야 하므로, 지연이 발생하게 된다. 이러한 지연시간은 증설 모듈의 개수와 비례하여 늘어나며 통상 수십 대의 모듈을 관리하는 PLC 시스템에서는 제어 주기에 직접적인 영향을 끼치는 부분이다.
- [15] 또한, 파라미터 설정 등 비 주기 통신 시에도 모듈로부터 프레임을 수신할 때까지 CPU는 다른 모듈에 프레임을 전송할 수 없다. 예를 들어, 도 1에서 CPU(10)는 제1 모듈(20a)에 요청 프레임을 전송하고, 제1 모듈(20a)로부터 응답을 받기 전에 제2 모듈(20b)에 요청 프레임을 전송한다면, 송신 라인은 제1 모듈(20a)과 제2 모듈(20b)에 의해 동시에 점유가 시도될 수 있어 정상적인 통신이 이루어질 수 없게 된다.
- [16] 이처럼, PLC 시스템에서 다수의 모듈을 운영함에 있어, 기존의 요청 및 응답방식을 이용한 증설 모듈과의 통신은 모듈의 개수에 비례적으로 CPU(10)에서 응답을 기다리는 처리시간이 늘어나게 되는 한계가 발생하는 문제점이 있다.

[17]

발명의 상세한 설명

기술적 과제

- [18] 본 발명의 목적은 요청/응답의 방식이 아닌 새로운 직렬통신 방식으로 여러 증설 모듈을 관리하는 PLC(Programmable logic controller)의 효과적인 증설 모듈 인터페이스 방법을 제공하는 것이다.

- [19] 또한 본 발명의 목적은 증설 모듈 통신 시간을 획기적으로 줄임으로써 PLC 시스템의 주기를 줄여 최종적으로 PLC 시스템의 응답시간을 빠르게 하는 PLC 증설 모듈 인터페이스 방법을 제공하는 것이다.
- [20] 또한 본 발명의 목적은 PLC 시스템에서 각 모듈의 송신단자에서 CPU의 수신단자에 연결된 송신 라인을 점유하는데 있어 모듈 별로 상호 배타성을 유지하기 위해 CPU에서 매 프레임 전송 시 요청한 모듈로부터 응답을 기다려야 하는 한계를 극복하기 위해 각 모듈의 송신 라인이 독점 가능한 증설 모듈 인터페이스 방법을 제공하는 것이다.
- [21] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

[22]

과제 해결 수단

- [23] 본 발명에 따른 멀티 드롭 직렬통신 방식을 이용한 PLC 증설 모듈 인터페이스 방법은 CPU에서 모든 모듈에 전송할 출력 데이터를 1개의 주기통신 프레임에 삽입하여 각 모듈로 전송하는 단계; 각 모듈에서 수신된 주기통신 프레임에 삽입된 출력 데이터 중 자신이 필요한 데이터를 발취하여 읽는 단계; PLC 시스템에 장착된 증설 모듈들 중 맨 끝에 장착된 제n 모듈에서 바로 앞 단에 장착된 제n-1 모듈로 제1 입력 데이터를 포함하는 주기통신 프레임을 전송하는 단계; PLC 시스템에 장착된 증설모듈 중 맨 뒤 단에 장착된 모듈로부터 상기 CPU에서 전송된 상기 주기통신 프레임에 자신의 입력 데이터를 추가하여 앞 단에 장착된 모듈로 전송하는 단계; 및 PLC 시스템에 장착된 증설모듈 중 가장 앞 단에 장착된 모듈에서 상기 PLC 시스템에 장착된 모든 증설 모듈의 입력 데이터를 취합하여 하나의 주기통신 프레임으로 CPU에 전송하는 단계를 포함할 수 있다.
- [24] 이때, 상기 CPU에 전송되는 주기통신 프레임은 상기 CPU 처리 주기의 1/2 이하의 주기로 전송할 수 있다.
- [25] 이때, 상기 모듈은 송신 라인으로 연결되는 적어도 2개 이상의 모듈로 구성되고, 2개의 직렬통신 채널을 보유하며, 상기 직렬통신 채널 중 제1 채널(Ch#0)은 송신단자 및 수신단자 모두 사용하고, 다른 제2 채널(Ch#1)은 수신단자만 사용할 수 있다.
- [26] 이때, 상기 제1 채널(Ch#0)의 수신단자는 상기 CPU의 송신단자(TxD #0)와 직접 연결되며, 멀티 드롭(Multi drop) 방식으로 상기 CPU에서 전송하는 프레임을 모든 모듈에 전달하고, 상기 제1 채널(Ch#0)의 송신단자 바로 앞 모듈의 제2 채널(Ch#1) 수신단자(RxD #1)와 1대1로 연결되며, 상기 CPU에

연결된 제1 모듈의 제1 채널(Ch#0) 송신단자(TXD #0)는 CPU의 수신단자(RxD #0)에 연결될 수 있다.

- [27] 이때, 비 주기 통신(Mailbox) 데이터가 발생하면, 상기 CPU에서 적어도 하나 이상의 제2 모듈과 비 주기 통신을 하기 위한 비 주기 통신 데이터를 주기통신 프레임에 추가하여 전송하는 단계; 상기 제2 모듈에서 수신된 주기통신 프레임에 삽입된 비 주기 통신 데이터를 발췌하여 상기 비 주기 통신 데이터에 대한 처리를 완료하는 단계; 상기 비 주기 통신 데이터에 대한 처리 완료 이후 다음에 전송되는 상기 입력 데이터의 주기통신 프레임에 비 주기 통신 데이터 요청에 대한 응답을 전송하는 단계; 및 상기 CPU에서 모든 증설 모듈의 입력 데이터를 취합한 하나의 주기통신 프레임을 수신하고, 수신된 주기통신 프레임에 포함된 적어도 하나 이상의 상기 제2 모듈에서 전달된 비 주기 통신 데이터의 응답을 수신하여 요청한 제2 모듈에 대한 비 주기 통신을 완료하는 단계를 더 포함할 수 있다.

[28]

발명의 효과

- [29] 본 발명에 따른 멀티 드롭 직렬통신 방식을 이용한 PLC 증설 모듈 인터페이스 방법은 직렬 통신 방식으로 여러 모듈을 제어하는 PLC 시스템에서 각 모듈의 송신단자에서 CPU의 수신단자에 연결된 송신(Tx) 라인을 공통으로 사용함에 있어서 발생하는 송신 라인 점유 및 해제에 따르는 CPU의 대기시간을 줄일 수 있다. 이를 통해, CPU는 각 모듈과 통신을 위한 지연(delay)을 획기적으로 줄일 수 있으며, 전체 시스템의 주기를 줄이는 효과를 토대로 궁극적으로 응답시간을 단축할 수 있다.

- [30] 또한, 기존의 요청 및 응답 구조에서는 각 모듈의 출력이 반영되는 데 비교적 큰 시차가 존재한다. 하지만, 본 발명에 따른 멀티 드롭 직렬통신 방식을 이용한 PLC 증설 모듈 인터페이스 방법은 각 모듈이 출력 데이터를 반영하는 데에는 CPU로부터 송신된 프레임이 각 모듈에 도착하는 시차만 존재하므로 각 모듈의 출력이 거의 동시에 이루어질 수 있다. 이로써 보다 정밀한 제어가 가능하여 기존 PLC 대비 보다 정밀한 제어를 요구하는 분야까지 적용가능 영역을 확대할 수 있다.

- [31] 상술한 효과와 더불어 본 발명의 구체적인 효과는 이하 발명을 실시하기 위한 구체적인 사항을 설명하면서 함께 기술한다.

[32]

도면의 간단한 설명

- [33] 도 1은 종래의 증설 모듈 통신 방식의 통신 연결방식을 도식화한 도면이다.
 [34] 도 2는 종래의 증설 모듈 통신방식의 통신 시퀀스를 나타낸 흐름도이다.
 [35] 도 3은 본 발명의 실시예에 따른 증설 모듈 통신 방식의 통신 연결방식을 도식화한 도면이다.

[36] 도 4 내지 도 6은 본 발명의 실시예에 따른 증설 모듈 통신방식의 통신 시퀀스를 나타낸 흐름도이다.

[37]

발명의 실시를 위한 형태

[38] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.

[39] 이하에서 어떤 구성요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 상기 구성요소들은 서로 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성요소 사이에 다른 구성요소가 "개재"되거나, 각 구성요소가 다른 구성요소를 통해 "연결", "결합" 또는 "접속"될 수도 있는 것으로 이해되어야 할 것이다.

[40] 이하에서는, 본 발명의 몇몇 실시예에 따른 멀티 드롭 직렬통신 방식을 이용한 PLC 증설 모듈 인터페이스 방법을 설명하도록 한다.

[41] 도 3은 본 발명의 실시예에 따른 증설 모듈 통신 방식의 통신 연결방식을 도식화한 도면이다.

[42] 도 3을 참조하여 설명하면, CPU(100)는 PLC의 핵심 요소이며 사용자가 구성한 프로그램을 처리한다. CPU(100)는 PLC 시스템에 장착된 증설 모듈(200a)(200b)(200c)에 필요한 데이터를 송/수신한다.

[43] 그리고 모듈(200a)(200b)(200c)은 CPU(100)에 여러 대 장착이 가능하며, 2개의 직렬통신 채널을 보유하고 있다. 이 중 1개의 제1 채널(Ch#0)은 송신단자(Tx)/수신단자(Rx) 모두 사용하고, 남은 1개의 제2 채널(Ch#1)은 수신단자(Rx)만 사용한다.

[44] 모든 모듈(200a)(200b)(200c)의 제1 채널(Ch#0)의 수신단자(Rx)는 CPU(100)의 송신단자(TxD #0)와 직접 연결이 되어 있으며, 멀티 드롭(Multi drop) 방식으로 CPU(100)에서 전송하는 주기통신 프레임은 모든 모듈(200a)(200b)(200c)에서 수신할 수 있다.

[45] 그리고 CPU(100)에 바로 연결된 제1 모듈(200a)을 제외한 모든 모듈(200b)(200c)의 제1 채널(Ch#0)의 송신단자(TxD #0)는 바로 앞 모듈의 제2 채널(Ch#1) 수신단자(RxD #1)와 1대1로 연결되어 있다. CPU(100)에 바로 연결된 제1 모듈(200a)의 제1 채널(Ch#0) 송신단자(TxD #0)는 CPU(100)의 수신단자(RxD #0)에 연결된다.

[46] 이 회로 구성에서 모든 모듈(200a)(200b)(200c)의 제1 채널(Ch#0)의

송신단자(TxD #0)를 통해 바로 앞 모듈의 제2 채널(Ch#1)의 수신단자(RxD #1) 또는 CPU(100)의 수신단자(RxD #0)에 연결된 송신 라인(300)을 점유하기 위한 스위치는 존재하지 않으므로, 송신 라인(300)을 점유하기 위한 스위치 버퍼 등은 필요하지 않다.

- [47] 이러한 구성을 통해, 각 모듈(200a)(200b)(200c)은 별도의 송신 라인(300) 점유를 위한 시퀀스가 필요 없으므로 원하는 시기에 송신 라인(300)으로 데이터를 송신할 수 있다. 그리고 모듈(200a)(200b)(200c)의 송신 라인(300)은 궁극적으로 CPU(100)에 연결되도록 구성하여, CPU(100)는 모든 모듈(200a)(200b)(200c)의 송신 라인(300)에서 전송된 데이터를 수집할 수 있도록 한다.

[48]

- [49] 도 4 내지 도 6은 본 발명의 실시예에 따른 증설 모듈 통신방식의 통신 시퀀스를 나타낸 흐름도이다. 도 4는 본 발명의 실시예에 따른 시스템의 CPU에서 각 모듈로 전송하는 주기 통신의 시퀀스를 나타낸 흐름도이고, 도 5는 본 발명의 실시예에 따른 시스템의 각 모듈에서 CPU로 전송하는 주기 통신의 시퀀스를 나타낸 흐름도이다. 또한, 도 6은 본 발명의 실시예에 따른 시스템의 비주기 통신에 대한 동작 시퀀스를 나타낸 흐름도이다. 이때, 주기적으로 최신의 데이터를 주고받는 주기 통신과, 파라미터 설정 등 특별한 이슈가 있는 경우에만 수행하는 비 주기 통신으로 나눈다.

- [50] 먼저, 도 4를 참조하여 CPU(100)에서 각 모듈(200a)(200b)(200c)로 전송하는 주기 통신의 시퀀스를 설명하면 다음과 같다.

- [51] CPU(100)는 CPU(100)의 송신단자(TxD #0)을 통해 모든 모듈(200a)(200b)(200c)의 제1 채널(Ch#0) 수신단자(Rx)에 전송할 출력 데이터(OUT_1+OUT_2+...+OUT_n)를 전송한다. 이때 CPU(100)는 1개의 주기통신 프레임에 모든 모듈(200a)(200b)(200c)에 전송할 출력 데이터를 삽입한다.

- [52] 각 모듈(200a)(200b)(200c)은 수신한 주기통신 프레임에서 자신이 필요한 부분만 발췌하여 읽어온다. 예를 들어, CPU(100)가 각 모듈(200a)(200b)(200c)의 출력 데이터(OUT_1+OUT_2+...+OUT_n)를 송신하는 경우라면, 각 모듈(200a)(200b)(200c) 별로 출력 데이터(OUT_1+OUT_2+...+OUT_n)가 반영되는 시차는 주기통신 프레임이 전송되는 시차만 존재하게 되며 이는 극히 짧은 시간 이내로 한정된다.

[53]

- [54] 다음으로, 도 5를 참조하여 각 모듈(200a)(200b)(200c)에서 CPU(100)로 전송하는 주기통신의 시퀀스를 설명하면 다음과 같다.

- [55] 먼저, PLC 시스템에 장착된 증설 모듈들(200a)(200b)(200c) 중 맨 끝에 장착된 제n 모듈(200c)은 CPU(100)로 제1 입력 데이터(IN_n) 송신을 시작한다. 이때, 제1 입력 데이터(IN_n)는 바로 CPU(100)로 전달되지 않고 제n 모듈(200c)의 바로 앞

단에 장착된 제 $n-1$ 모듈로 전달된다. 즉, 제1 입력 데이터(IN $_n$)는 제 n 모듈(200c)의 제1 채널 송신단자(TxD #0)를 통해 바로 앞 모듈인 제 $n-1$ 모듈(미도시)의 제2 채널 수신단자(RxD #1)로 전달된다.

[56] 그리고 제 $n-1$ 모듈은 제 n 모듈(200c)로부터 전송받은 주기통신 프레임에 자신의 제2 입력 데이터를 추가하여 다시 앞 단에 장착된 제 $n-2$ 모듈로 전달한다. 예로서, 제 $n-1$ 모듈은 CPU(100)로 송신하기 위한 제2 입력 데이터를 뒤 단에 장착된 제 n 모듈(200c)에서 전달된 제1 입력 데이터(IN $_n$)를 포함하는 주기통신 프레임에 취합한다. 그리고 제 $n-1$ 모듈은 제1 입력 데이터 및 제2 입력 데이터가 취합된 주기통신 프레임을 바로 앞 단에 장착된 제 $n-2$ 모듈로 전달한다.

[57] 그리로 CPU(100)와 연결된 제1 모듈(200a)은 모든 모듈(200a)(200b)(200c)의 입력 데이터(IN $_1$ +IN $_2$ +IN $_3$ +...+IN $_n$)가 취합된 하나의 주기통신 프레임을 CPU(100)에 전송한다. 예로서, CPU(100)에 바로 연결된 제1 모듈(200a)은 뒤 단에 장착된 모든 모듈(200b)(200c)들의 각 입력 데이터(IN $_2$ +IN $_3$ +...+IN $_n$)가 취합된 주기통신 프레임을 수신하게 된다. 그리고 제1 모듈(200a)은 수신된 주기통신 프레임에 자신이 CPU(100)로 송신하기 위한 입력 데이터(IN $_1$)를 취합한 하나의 주기통신 프레임을 CPU(100)로 전달한다.

[58] 이러한 전달을 통해, CPU(100)는 모든 모듈(200a)(200b)(200c)로부터의 입력 데이터(IN $_1$ +IN $_2$ +IN $_3$ +...+IN $_n$) 수신을 위해 별도로 대기를 하지 않고 가장 최근에 입력된 데이터를 사용한다.

[59] 이때, 모든 모듈(200a)(200b)(200c)의 입력 데이터(IN $_1$ +IN $_2$ +IN $_3$ +...+IN $_n$)가 취합된 주기통신 프레임은 CPU(100)의 1주기 이내에 최소 1회 이상 갱신될 수 있도록 CPU(100) 처리 주기의 1/2 이하의 주기로 전송될 수 있다.

[60] 이처럼, CPU(100)와 모듈(200a)(200b)(200c) 간의 통신에는 요청/응답의 관계가 아닌 단지 전송에 의한 지연 만이 존재하게 된다. 그리고 이 방법으로 여러 대의 모듈(200a)(200b)(200c)을 운영하는 시스템에서 제어주기에는 중설 모듈(200a)(200b)(200c)이 추가됨에 따라 늘어나는 데이터에 의한 전송 시간만이 존재하게 된다.

[61] 따라서 수십 대의 모듈을 운영하는 시스템에서도 안정적인 제어주기를 유지할 수 있게 되며 궁극적으로 시스템 응답속도를 높여 생산성을 향상시킬 수 있게 된다.

[62]

[63] 한편, 도 6을 참조하여 각 모듈(200a)(200b)(200c) 별로 고유 수신 라인을 보유한 시스템의 비 주기 통신(Mailbox)에 대한 동작 시퀀스를 설명하면 다음과 같다. 이때, 비 주기 통신은 파라미터 설정 등 특별한 이슈가 있는 경우에 수행하는 통신을 말한다.

[64] 먼저, 비 주기 통신(Mailbox) 데이터가 발생하면, CPU(100)는 특정 모듈과 비 주기 통신을 하기 위한 비 주기 통신 데이터(M $_1$)를

입력데이터(OUT_1+OUT_2+...+OUT_n)의 주기통신 프레임에 추가하여 전송한다. 도 6은 제2 모듈(200b)에 비 주기 통신 데이터를 송신하는 경우를 가정한 것이다.

- [65] 그리고 PLC 시스템에 장착된 증설 모듈들(200a)(200b)(200c) 중 맨 끝에 장착된 제n 모듈(200c)은 CPU(100)로 제1 입력 데이터(IN_n) 송신을 시작한다. 이때, 제1 입력 데이터(IN_n)는 바로 CPU(100)로 전달되지 않고 제n 모듈(200c)의 바로 앞 단에 장착된 제n-1 모듈로 전달된다. 즉, 제1 입력 데이터(IN_n)는 제n 모듈(200c)의 제1 채널 송신단자(TxD #0)를 통해 바로 앞 모듈인 제n-1 모듈(미도시)의 제2 채널 수신단자(RxD #1)로 전달된다.
- [66] 그리고 제n-1 모듈은 제n 모듈(200c)로부터 전송받은 주기통신 프레임에 자신의 제2 입력 데이터를 추가하여 다시 앞 단에 장착된 제n-2 모듈로 전달한다. 예로서, 제n-1 모듈은 CPU(100)로 송신하기 위한 제2 입력 데이터를 뒤 단에 장착된 제n 모듈(200c)에서 전달된 제1 입력 데이터(IN_n)를 포함하는 주기통신 프레임에 취합한다. 그리고 제n-1 모듈은 제1 입력 데이터 및 제2 입력 데이터가 취합된 주기통신 프레임을 바로 앞 단에 장착된 제n-2 모듈로 전달한다.
- [67] 제2 모듈(200b)은 수신한 비 주기 통신 데이터(M_1)에 대한 처리를 완료한다. 그리고 제2 모듈(200b)은 처리 완료 이후 다음에 전송되는 입력 데이터(OUT_2+OUT_3+...+OUT_n)의 주기통신 프레임에 비 주기 통신 데이터 요청에 대한 응답(A_1)을 전송한다.
- [68] 예로서, 비 주기 통신 데이터가 읽기(Read)에 대한 요청이라면, 제2 모듈(200b)은 해당 데이터를 주기통신 프레임에 추가하고, 쓰기에 대한 요청이라면 쓰기를 정상 완료했다는 응답을 주기통신 프레임에 추가한다.
- [69] CPU(100)가 제2 모듈(200b)에서 전달된 비 주기 통신 데이터의 응답(A_1)을 수신함으로써, CPU(100)는 요청한 제2 모듈(200b)에 대한 비 주기 통신을 완료한다.
- [70] 만일 2개 이상의 모듈과 비 주기 통신을 해야 할 경우에도 CPU(100)는 하나의 주기통신 프레임에 2개 이상의 비 주기 통신 데이터에 대한 요청 데이터를 전송할 수 있으므로, 효과적으로 비 주기 통신을 수행할 수 있다.
- [71] 예로서, 각 모듈(200a)(200b)(200c)은 입력 데이터를 CPU(100)로 바로 전달하지 않고 바로 앞에 장착된 모듈로 전달하여, 입력 데이터가 취합되어 하나의 주기통신 프레임으로 전송되게 한다. 이로 인해 CPU(100)와 연결된 제1 모듈(200a)은 모든 모듈(200b)(200c)의 입력 데이터가 취합된 하나의 주기통신 프레임을 CPU(100)에 전송하게 된다. 따라서, 2개 이상의 모듈에서 전송하는 비 주기 통신 데이터에 대한 응답 데이터는 하나의 주기통신 프레임으로 CPU(100)에 전송될 수 있다.
- [72] 이러한 구성을 통해, 각 모듈(200a)(200b)(200c)의 수신 라인(300)은 항상 독점되고 있으므로 CPU(100)에서는 전송한 비 주기 통신 데이터의 요청에 의한 응답이 오기 전에 새로운 주기통신 프레임을 생성하여 전송할 수 있다. 따라서

CPU(100)가 모듈(200a)(200b)(200c)로부터의 비 주기 통신 데이터에 대한 응답을 대기하는 시간 또한 없다.

[73]

[74] 본 명세서에 개시된 모든 방법 및 절차들은 하나 이상의 컴퓨터 프로그램 또는 컴포넌트를 사용하여 적어도 부분적으로 구현될 수 있다. 이들 구성요소는 RAM, ROM, 플래시 메모리, 자기 또는 광 디스크, 광 메모리 또는 다른 저장 장치와 같은 휘발성 및 비 휘발성 메모리를 포함하는 임의의 종래의 컴퓨터 관독 가능 매체 또는 머신 관독 가능 매체상의 일련의 컴퓨터 명령으로서 제공 될 수 있다. 명령어는 소프트웨어 또는 펌웨어로서 제공 될 수 있고, ASIC, FPGA, DSP 또는 다른 유사한 장치와 같은 하드웨어 구성 요소에 전체적으로 또는 부분적으로 구현 될 수 있다. 명령어는 일련의 컴퓨터 명령어를 실행할 때 개시된 방법 및 절차의 전부 또는 일부의 성능을 수행하거나 용이하게 하는 하나 이상의 프로세서 또는 다른 하드웨어 구성 요소에 의해 실행되도록 구성 될 수 있다.

[75] 이상과 같이 본 발명에 대해서 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시 예와 도면에 의해 본 발명이 한정되는 것은 아니며, 본 발명의 기술사상의 범위 내에서 통상의 기술자에 의해 다양한 변형이 이루어질 수 있음은 자명하다. 아울러 앞서 본 발명의 실시 예를 설명하면서 본 발명의 구성에 따른 작용 효과를 명시적으로 기재하여 설명하지 않았을 지라도, 해당 구성에 의해 예측 가능한 효과 또한 인정되어야 함은 당연하다.

[76]

[77]

청구범위

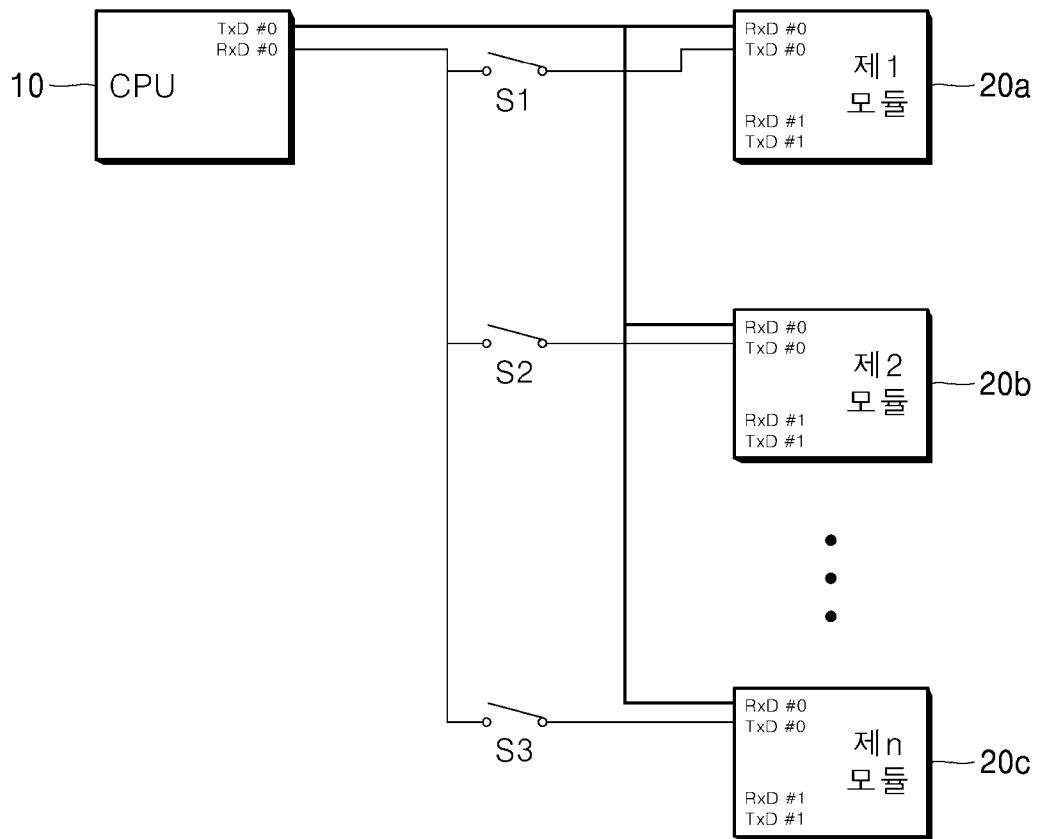
- [청구항 1] CPU에서 모든 모듈에 전송할 출력 데이터를 1개의 주기통신 프레임에 삽입하여 각 모듈로 전송하는 단계;
 각 모듈에서 수신된 주기통신 프레임에 삽입된 출력 데이터 중 자신이 필요한 데이터를 발취하여 읽는 단계;
 PLC 시스템에 장착된 증설 모듈들 중 맨 끝에 장착된 제n 모듈에서 바로 앞 단에 장착된 제n-1 모듈로 제1 입력 데이터를 포함하는 주기통신 프레임을 전송하는 단계;
 PLC 시스템에 장착된 증설모듈 중 맨 뒤 단에 장착된 모듈로부터 상기 CPU에서 전송된 상기 주기통신 프레임에 자신의 입력 데이터를 추가하여 앞 단에 장착된 모듈로 전송하는 단계; 및
 PLC 시스템에 장착된 증설모듈 중 가장 앞 단에 장착된 모듈에서 상기 PLC 시스템에 장착된 모든 증설 모듈의 입력 데이터를 취합하여 하나의 주기통신 프레임으로 CPU에 전송하는 단계를 포함하는 PLC 증설 모듈 인터페이스 방법.
- [청구항 2] 제1 항에 있어서,
 상기 CPU에 전송되는 주기통신 프레임은 상기 CPU 처리 주기의 1/2 이하의 주기로 전송하는 PLC 증설 모듈 인터페이스 방법.
- [청구항 3] 제1 항에 있어서,
 상기 모듈은 송신 라인으로 연결되는 적어도 2개 이상의 모듈로 구성되고, 2개의 직렬통신 채널을 보유하며,
 상기 직렬통신 채널 중 제1 채널(Ch#0)은 송신단자 및 수신단자 모두 사용하고, 다른 제2 채널(Ch#1)은 수신단자만 사용하는 PLC 증설 모듈 인터페이스 방법.
- [청구항 4] 제3 항에 있어서,
 상기 제1 채널(Ch#0)의 수신단자는 상기 CPU의 송신단자(TxD #0)와 직접 연결되며, 멀티 드롭(Multi drop) 방식으로 상기 CPU에서 전송하는 프레임을 모든 모듈에 전달하고,
 상기 제1 채널(Ch#0)의 송신단자는 바로 앞 모듈의 제2 채널(Ch#1) 수신단자(RxD #1)와 1대1로 연결되며, 상기 CPU에 연결된 제1 모듈의 제1 채널(Ch#0) 송신단자(TXD #0)는 CPU의 수신단자(RxD #0)에 연결되는 PLC 증설 모듈 인터페이스 방법.
- [청구항 5] 제1 항에 있어서,
 비 주기 통신(Mailbox) 데이터가 발생하면, 상기 CPU에서 적어도 하나 이상의 제2 모듈과 비 주기 통신을 하기 위한 비 주기 통신 데이터를 주기통신 프레임에 추가하여 전송하는 단계;
 상기 제2 모듈에서 수신된 주기통신 프레임에 삽입된 비 주기 통신

데이터를 발췌하여 상기 비 주기 통신 데이터에 대한 처리를 완료하는 단계;

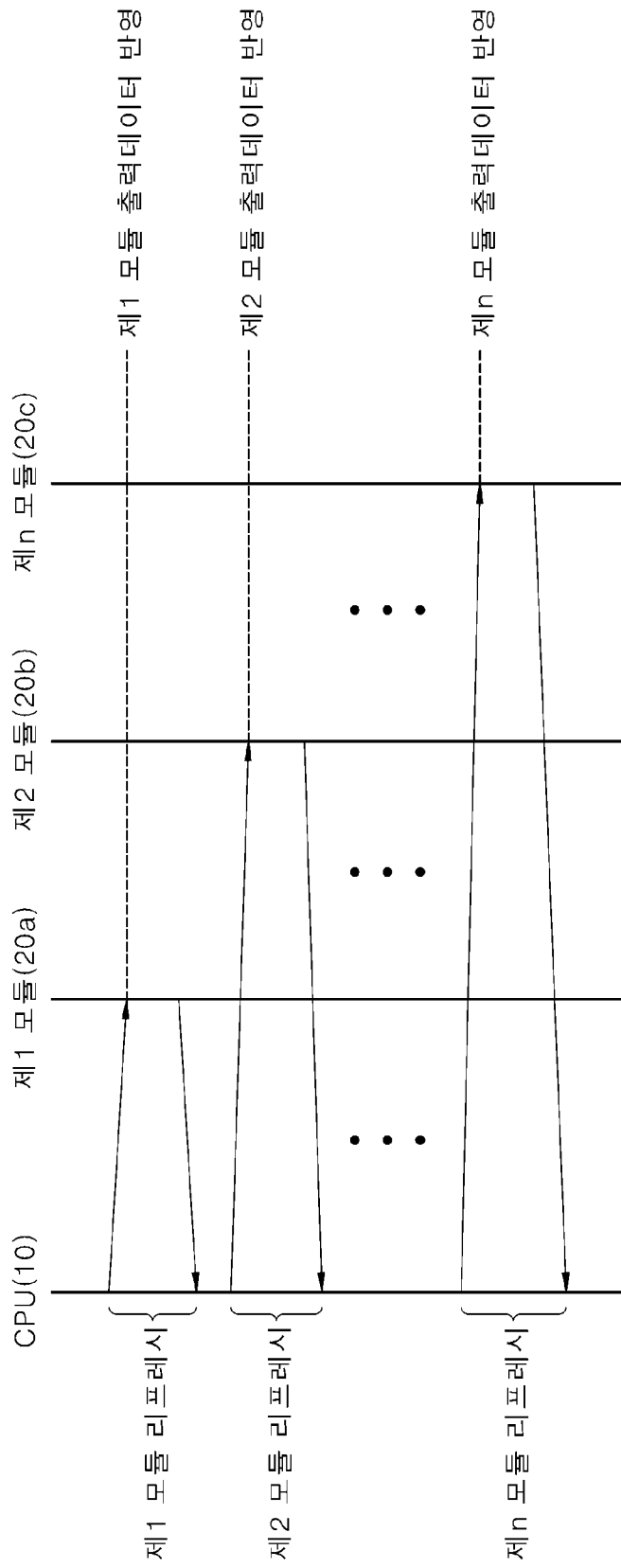
상기 비 주기 통신 데이터에 대한 처리 완료 이후 다음에 전송되는 상기 입력 데이터의 주기통신 프레임에 비 주기 통신 데이터 요청에 대한 응답을 전송하는 단계; 및

상기 CPU에서 모든 증설 모듈의 입력 데이터를 취합한 하나의 주기통신 프레임을 수신하고, 수신된 주기통신 프레임에 포함된 적어도 하나 이상의 상기 제2 모듈에서 전달된 비 주기 통신 데이터의 응답을 수신하여 요청한 제2 모듈에 대한 비 주기 통신을 완료하는 단계를 더 포함하는 PLC 증설 모듈 인터페이스 방법.

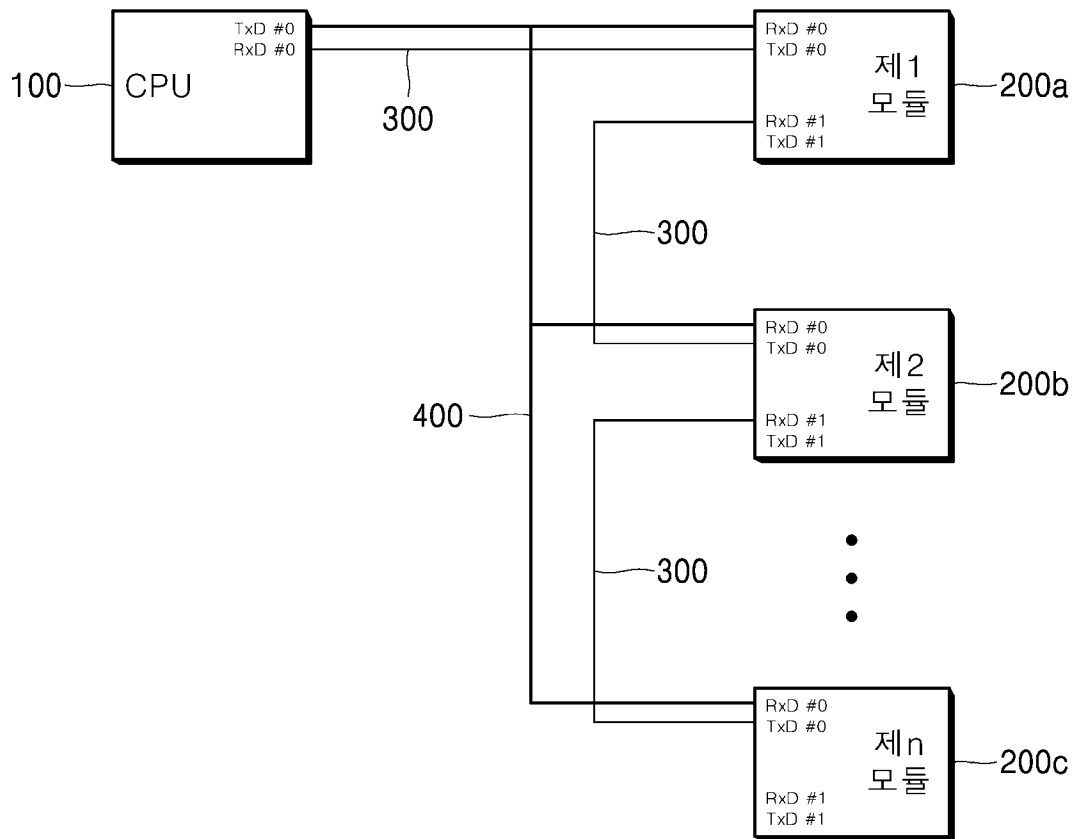
[도1]



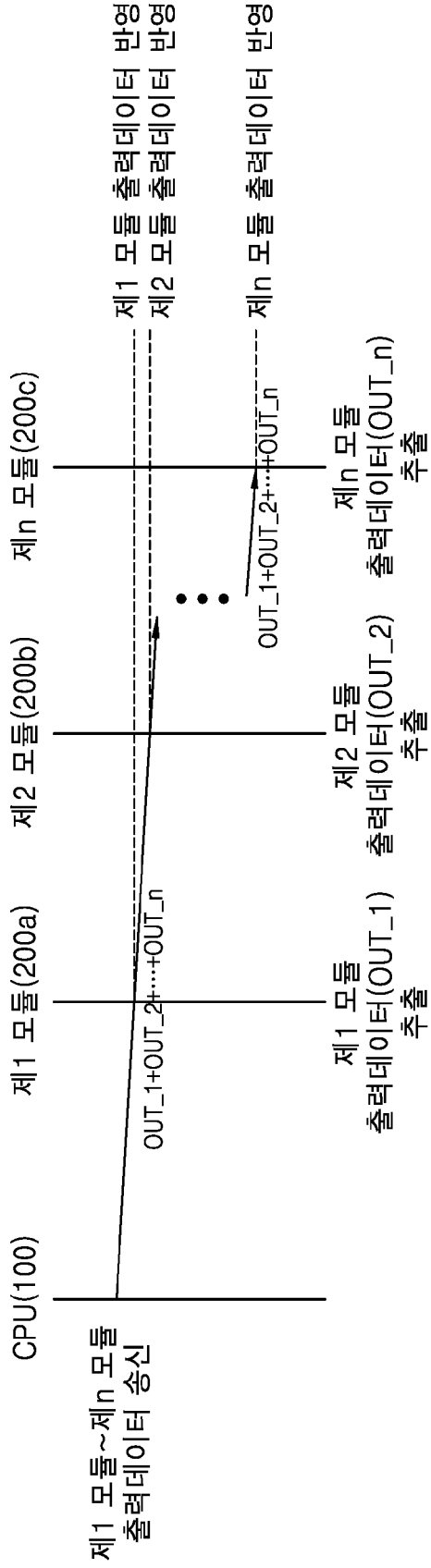
[도2]



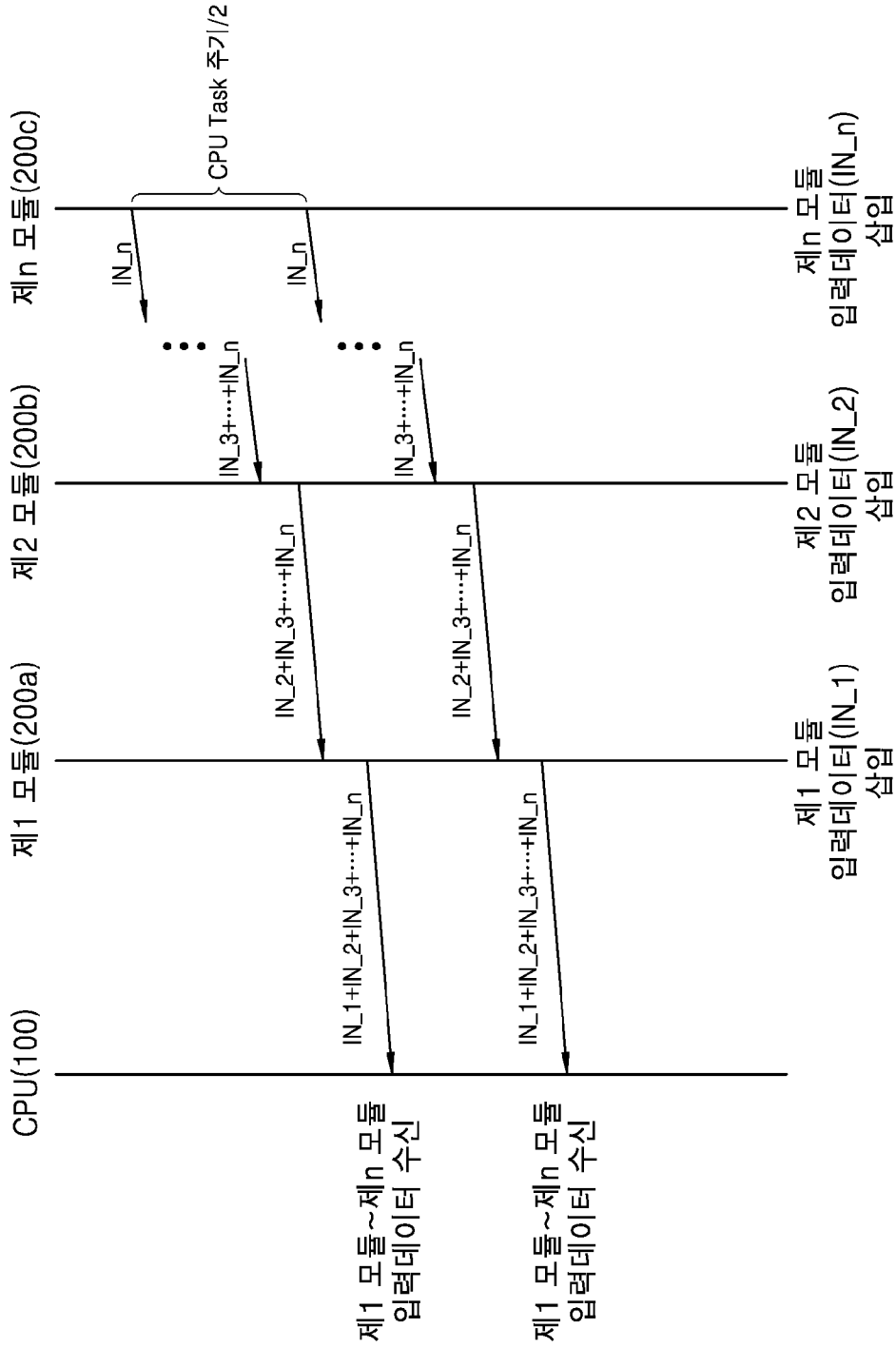
[도3]



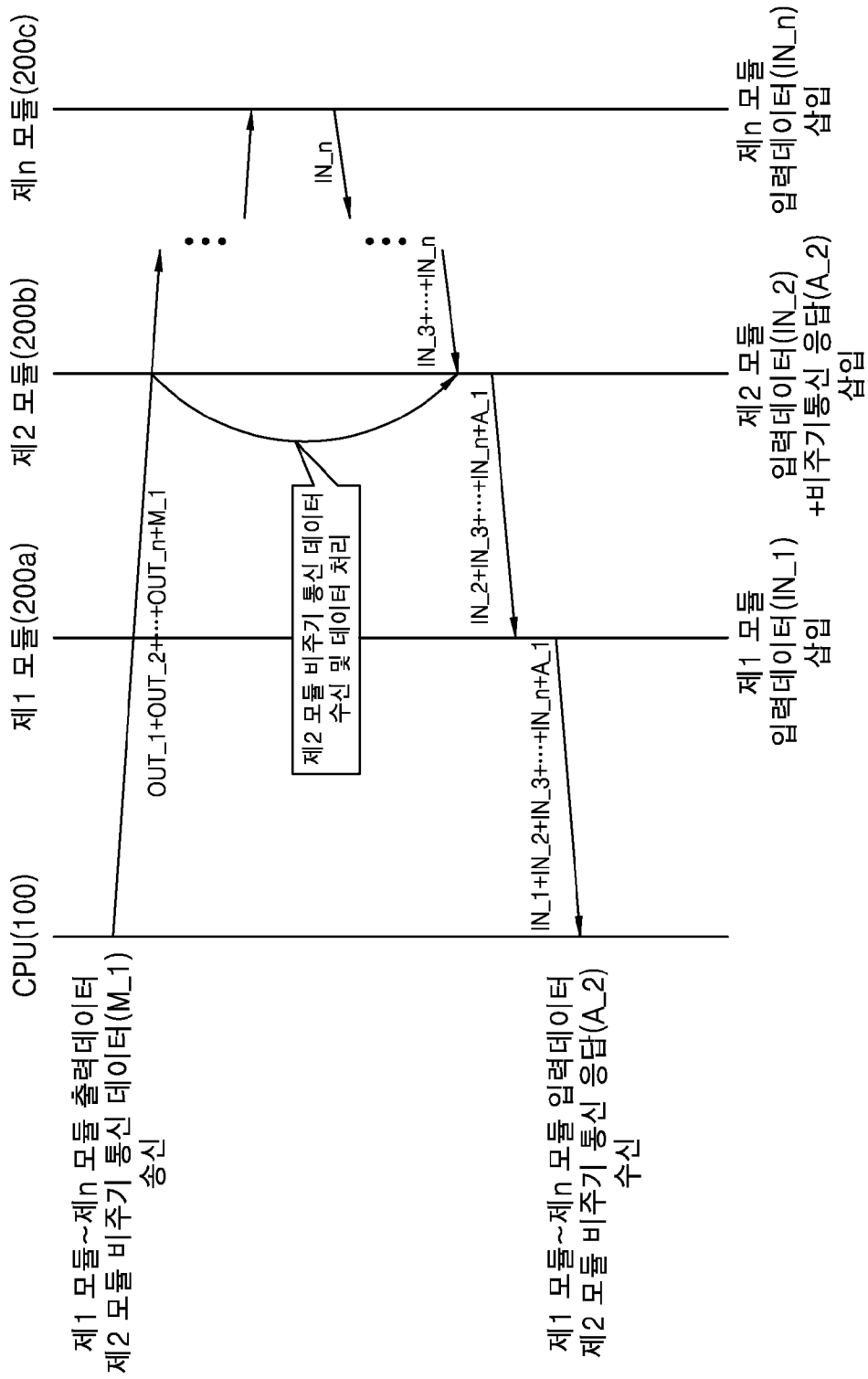
[도4]



[도5]



[도 6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/010874**A. CLASSIFICATION OF SUBJECT MATTER****G05B 19/414(2006.01)i, G05B 19/05(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05B 19/414; G05B 19/048; G05B 19/05; G06K 9/00; G09G 5/00; H04L 12/28; H04N 5/225

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: PLC(programmable logic controller), extension module, frame, data, integration

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2006-0003139 A (LS INDUSTRIAL SYSTEMS CO., LTD.) 10 January 2006 See paragraphs [0033]-[0040] and figures 1-2.	1-5
Y	KR 10-2010-0001758 A (LS INDUSTRIAL SYSTEMS CO., LTD.) 06 January 2010 See paragraphs [0027]-[0030], [0044]-[0046] and figure 3.	1-5
Y	US 2017-0111556 A1 (HYUNDAI INFRACORE, INC.) 20 April 2017 See paragraphs [0036]-[0052] and figures 1-2.	1-5
A	JP 2001-282312 A (FUJI ELECTRIC CO., LTD. et al.) 12 October 2001 See claims 1-2 and figures 1-5.	1-5
A	JP 2004-157631 A (YASKAWA ELECTRIC CORP.) 03 June 2004 See claim 1 and figures 1-4.	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 JANUARY 2020 (06.01.2020)

Date of mailing of the international search report

06 JANUARY 2020 (06.01.2020)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/010874

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2006-0003139 A	10/01/2006	None	
KR 10-2010-0001758 A	06/01/2010	None	
US 2017-0111556 A1	20/04/2017	US 9838580 B2	05/12/2017
JP 2001-282312 A	12/10/2001	JP 3659481 B2	15/06/2005
JP 2004-157631 A	03/06/2004	None	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G05B 19/414(2006.01)i, G05B 19/05(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G05B 19/414; G05B 19/048; G05B 19/05; G06K 9/00; G09G 5/00; H04L 12/28; H04N 5/225

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: PLC(programmable logic controller), 증설 모듈(extension module), 프레임(frame), 데이터(data), 취합(integration)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2006-0003139 A (엘에스산전 주식회사) 2006.01.10 단락 [0033]-[0040] 및 도면 1-2 참조.	1-5
Y	KR 10-2010-0001758 A (엘에스산전 주식회사) 2010.01.06 단락 [0027]-[0030], [0044]-[0046] 및 도면 3 참조.	1-5
Y	US 2017-0111556 A1 (HYUNDAI INFRACORE, INC.) 2017.04.20 단락 [0036]-[0052] 및 도면 1-2 참조.	1-5
A	JP 2001-282312 A (FUJI ELECTRIC CO., LTD. 등) 2001.10.12 청구항 1-2 및 도면 1-5 참조.	1-5
A	JP 2004-157631 A (YASKAWA ELECTRIC CORP) 2004.06.03 청구항 1 및 도면 1-4 참조.	1-5

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X”에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2020년 01월 06일 (06.01.2020)

국제조사보고서 발송일

2020년 01월 06일 (06.01.2020)

ISA/KR의 명칭 및 우편주소



대한민국 특허청

(35208) 대전광역시 서구 청사로 189,

4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

변성철

전화번호 +82-42-481-8262



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2006-0003139 A	2006/01/10	없음	
KR 10-2010-0001758 A	2010/01/06	없음	
US 2017-0111556 A1	2017/04/20	US 9838580 B2	2017/12/05
JP 2001-282312 A	2001/10/12	JP 3659481 B2	2005/06/15
JP 2004-157631 A	2004/06/03	없음	