



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

(45) 공고일자

2007년06월04일

(11) 등록번호

10-0724074

(24) 등록일자

2007년05월25일

(21) 출원번호 10-2006-0045494

(65) 공개번호

(22) 출원일자 2006년05월22일

(43) 공개일자

심사청구일자 2006년05월22일

(73) 특허권자

삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자

김근남
경기 수원시 영통구 영통동 신나무실5단지아파트 532동 1504호요시다 마코토
경기 수원시 영통구 영통동 967-3 풍림아파트 602동 401호박동건
경기 성남시 분당구 수내동 양지마을금호1단지아파트 102-903호양원석
경기 수원시 영통구 망포동 동수원엘지빌리지2차 203-1403

(74) 대리인

박영우

(56) 선행기술조사문헌

KR1020050041704 A

심사관 : 김주식

전체 청구항 수 : 총 20 항

(54) 펀 전계 효과 트랜지스터 및 이의 형성 방법**(57) 요약**

펀 전계 효과 트랜지스터 및 이의 형성 방법에서, 펀 전계 효과 트랜지스터는, 상부 표면에 제1 깊이의 제1 트렌치를 갖는 액티브 펀을 포함하는 기판과, 상기 액티브 펀의 양측의 기판 상에 구비되고, 상기 제1 트렌치로부터 연장되는 부위에 상기 제1 깊이보다 깊은 제2 깊이를 갖는 제2 트렌치가 구비되어 상기 액티브 펀의 측벽 일부를 노출하도록 형성된 소자 분리막과, 상기 액티브 펀의 표면에 형성된 게이트 산화막과, 상기 제1 및 제2 트렌치 내부에 매립되면서 상기 제2 깊이보다는 낮거나 같은 높이를 갖는 게이트 구조물 및 상기 게이트 구조물 양측의 액티브 펀 표면 아래에 구비되는 제1 및 제2 불순물 영역을 포함한다. 상기 펀 전계효과 트랜지스터는 게이트 구조물이 상기 제1 및 제2 트렌치 내부에 매립되어 있어 트렌치와 게이트 구조물 간의 미스얼라인 불량이 발생되지 않는다.

대표도

도 2

특허청구의 범위

청구항 1.

상부 표면에 제1 깊이의 제1 트렌치를 갖는 액티브 핀을 포함하는 기판;

상기 액티브 핀의 양측의 기판 상에 구비되고, 상기 제1 트렌치로부터 연장되는 부위에 상기 제1 깊이보다 깊은 제2 깊이를 갖는 제2 트렌치가 구비되어 상기 액티브 핀의 측벽 일부를 노출하도록 형성된 소자 분리막;

상기 액티브 핀의 표면에 형성된 게이트 산화막;

상기 제1 및 제2 트렌치 내부에 매립되면서 상기 제2 깊이보다는 낮거나 같은 높이를 갖는 게이트 구조물; 및

상기 게이트 구조물 양측의 액티브 핀 표면 아래에 구비되는 제1 및 제2 불순물 영역을 포함하는 것을 특징으로 하는 트랜지스터.

청구항 2.

제1항에 있어서, 상기 제1 트렌치는 상기 액티브 핀의 길이 방향과 수직하는 제1 방향으로 상기 액티브 핀의 양측 가장자리까지 연장된 형상을 갖는 것을 특징으로 하는 트랜지스터.

청구항 3.

제1항에 있어서, 상기 소자 분리막에서 상부 평탄면은 상기 액티브 핀의 상부 평탄면과 동일한 평면 상에 위치하는 것을 특징으로 하는 트랜지스터.

청구항 4.

제1항에 있어서, 상기 게이트 구조물의 상부면은 상기 액티브 핀의 상부 평탄면과 동일한 평면 상에 위치하거나 또는 상기 액티브 핀의 상부 평탄면보다 낮게 위치하는 것을 특징으로 하는 트랜지스터.

청구항 5.

제1항에 있어서, 상기 게이트 구조물은 도전막 패턴 및 하드 마스크 패턴이 적층된 형상을 갖는 것을 특징으로 하는 트랜지스터.

청구항 6.

제1항에 있어서,

상기 기판 상에 게이트 구조물을 덮는 층간 절연막; 및

상기 제1 및 제2 불순물 영역들과 전기적으로 연결되는 콘택 플러그들을 더 포함하는 것을 특징으로 하는 트랜지스터.

청구항 7.

제6항에 있어서, 상기 제1 불순물 영역과 연결되는 콘택 플러그와, 상기 제2 불순물 영역과 연결되는 콘택 플러그는 서로 다른 높이를 갖는 것을 특징으로 하는 트랜지스터.

청구항 8.

제1항에 있어서, 상기 액티브 핀 표면에는 복수의 제1 트렌치가 포함되고 각 제1 트렌치 내에는 매립된 형태의 게이트 전극 구조물이 형성된 것을 특징으로 하는 트랜지스터.

청구항 9.

베어 실리콘 기판의 상부 표면에 제1 깊이의 제1 트렌치를 갖는 액티브 핀을 형성하는 단계;

상기 액티브 핀의 양측에 위치하고, 상기 제1 트렌치로부터 연장되는 부위에 상기 제1 깊이보다 깊은 제2 깊이의 제2 트렌치가 구비되어 상기 액티브 핀의 측벽 일부를 노출시키는 소자 분리막을 형성하는 단계;

상기 액티브 핀의 표면에 게이트 산화막을 형성하는 단계;

상기 제1 및 제2 트렌치 내부를 매립하면서 상기 제2 깊이보다는 낮거나 같은 높이를 갖도록 게이트 구조물을 형성하는 단계; 및

상기 게이트 구조물 양측의 액티브 핀 표면 아래에 제1 및 제2 불순물 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 10.

제9항에 있어서, 상기 소자 분리막을 형성하는 단계는,

베어 실리콘 기판에 액티브 영역 및 소자 분리 영역을 구분하기 위한 예비 소자 분리막을 형성하는 단계;

상기 게이트 구조물이 형성되기 위한 영역을 선택적으로 노출하는 마스크 패턴을 형성하는 단계; 및

상기 마스크 패턴을 사용하여 상기 노출된 예비 소자 분리막을 식각함으로서 제2 트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 11.

제10항에 있어서, 상기 마스크 패턴은 사진 공정에 의해 형성되는 포토레지스트 패턴을 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 12.

제10항에 있어서, 상기 예비 소자 분리막을 형성하는 단계는,

기판에 소자 분리 영역을 선택적으로 덮는 제1 하드 마스크 패턴을 형성하는 단계;

상기 제1 하드 마스크 패턴을 식각 마스크로 사용하여 상기 기판을 식각함으로서 소자 분리용 트렌치를 형성하는 단계;
상기 소자 분리용 트렌치 내부에 절연 물질을 매립하여 예비 소자 분리막을 형성하는 단계를 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 13.

제12항에 있어서, 상기 액티브 핀을 형성하는 단계는,

상기 제2 트렌치를 형성하기 위한 마스크 패턴을 동일하게 사용하여 제1 하드 마스크 패턴을 선택적으로 식각함으로서 제2 하드 마스크 패턴을 형성하는 단계; 및

상기 제2 하드 마스크 패턴을 식각 마스크로 사용하여 상기 노출된 기판을 식각하여 제1 트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 14.

제9항에 있어서, 상기 게이트 구조물을 형성하는 단계는,

상기 제1 및 제2 트렌치 내부를 완전히 채우면서 상기 기판 상에 제1 도전막을 형성하는 단계;

상기 제1 및 제2 트렌치 내부에만 상기 제1 도전막이 남도록 상기 제1 도전막의 일부를 제거하여 상기 제1 및 제2 트렌치를 부분적으로 채우는 제1 도전막 패턴을 형성하는 단계;

상기 제1 및 제2 트렌치 내부를 완전히 채우면서 상기 제1 도전막 패턴 및 기판 상에 하드 마스크막을 형성하는 단계; 및

상기 제1 및 제2 트렌치 내부에만 상기 하드 마스크막이 남도록 상기 하드 마스크막의 일부를 제거하여 제3 하드 마스크 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 15.

제14항에 있어서, 상기 제1 도전막 패턴을 형성하는 단계는,

상기 액티브 핀 및 소자 분리막의 상부 평탄면 상에 위치한 제1 도전막이 제거되도록 상기 제1 도전막을 연마하는 단계; 및

상기 연마된 제1 도전막의 상부 일부분을 제거하는 단계를 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 16.

제14항에 있어서, 상기 제3 하드 마스크 패턴을 형성하는 단계는 화학 기계적 연마 공정을 통해 이루어지는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 17.

제9항에 있어서,

상기 게이트 구조물, 제1 및 제2 불순물 영역이 형성된 기판 상에 상기 게이트 구조물을 덮는 층간 절연막을 형성하는 단계;

상기 층간 절연막을 부분적으로 식각하여 상기 제1 및 제2 불순물 영역 표면을 노출하는 콘택홀을 형성하는 단계; 및
상기 콘택홀 내부에 도전물질을 매립시켜 상기 제1 및 제2 불순물 영역과 전기적으로 연결되는 콘택 플러그들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 18.

제17항에 있어서, 상기 게이트 구조물, 제1 및 제2 불순물 영역이 형성된 기판과 상기 층간 절연막 사이의 계면에 식각 저지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 19.

제9항에 있어서,

상기 게이트 구조물, 제1 및 제2 불순물 영역이 형성된 기판 상에 상기 게이트 구조물을 덮는 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막을 부분적으로 식각하여 상기 제1 불순물 영역 표면을 노출하는 제1 콘택홀을 형성하는 단계;

상기 제1 콘택홀 내부에 도전물질을 매립시켜 상기 제1 불순물 영역과 전기적으로 연결되는 제1 콘택 플러그를 형성하는 단계;

상기 제1 층간 절연막 및 상기 제1 콘택 플러그 상에 제2 층간 절연막을 형성하는 단계;

상기 제2 층간 절연막을 부분적으로 식각하여 상기 제2 불순물 영역 표면을 노출하는 제2 콘택홀을 형성하는 단계;

상기 제2 콘택홀 내부에 도전물질을 매립시켜 상기 제2 불순물 영역과 전기적으로 연결되는 제2 콘택 플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 20.

제9항에 있어서, 상기 게이트 산화막을 형성하기 이전에, 상기 액티브 핀의 표면을 식각하여 상기 액티브 핀의 폭을 감소시키는 단계를 더 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 트랜지스터 및 이를 형성하는 방법에 관한 것이다. 보다 상세하게는, 핀 전계 효과 트랜지스터 및 이를 형성하는 방법에 관한 것이다.

최근의 반도체 장치는 저전압에서 고속 동작을 할 수 있는 방향으로 발전하고 있다. 또한, 반도체 장치의 제조 공정은 집적도가 향상되는 방향으로 발전되고 있다.

상기 반도체 장치로 사용되는 전계 효과 모오스 트랜지스터(이하, MOSFET)의 경우, 고속 동작 및 집적도의 향상을 위해 상기 MOSFET의 채널 길이가 감소되고 있다. 그러나, 일반적인 플레너(Planer) 타입의 MOSFET의 경우, 상기 채널 길이가 감소됨에 따라 드레인 전압에 의한 일렉트릭 필드(electric field) 영향성이 증가되고 게이트 전극에 의한 채널 구동 능력이 열화되어 쇼트 채널 효과(short channel effect)가 발생된다. 또한, 채널 농도 증가에 따라 캐리어의 이동도 및 전류 구동력이 감소되며, 소오스/드레인 접합 깊이(junction depth)의 감소에 따른 접합 누설 전류(Junction leakage current)가 증가되고 있다.

상기 전계 효과 트랜지스터의 한계를 극복하기 위해, 벌크 실리콘, 인슐레이터 및 상부 실리콘의 적층 구조를 갖는 SOI (Silicon on insulator) 기판 상에 소자를 형성하거나 또는 3차원의 공간 구조로 채널이 형성되는 편 전계 효과 트랜지스터 등을 개발하고 있다.

상기 SOI 기판에 반도체 소자를 형성하는 경우, 접합 용량의 감소, 집적도의 증가, 구동 전류의 증가 등의 장점을 갖고 있지만, 한편으로는, 상부 실리콘층의 막 두께 불균일성에 의한 문턱 전압 변화, 부동 채널 효과 및 기판 하부면과의 절연에 의해 자체 히팅(self-heating) 효과에 의한 구동 전류의 열화 등의 단점을 갖고 있다. 또한, 트랜지스터에 백 바이어스(back bias)를 가해줄 수 없어 메모리 장치를 구현하는데는 문제가 있다.

다른 형태로, 벌크 실리콘 기판으로부터 돌출된 액티브 펈을 구현하고 상기 액티브 펈에 게이트 및 소오스 드레인을 형성함으로서 편 전계 효과 트랜지스터를 구현할 수도 있다. 그러나, 상기한 편 전계 효과 트랜지스터의 경우, 소오스/드레인간의 간격이 감소됨으로서 오프 전류가 과도하게 흐르는 문제가 발생한다. 또한, 상기 소오스/드레인과 게이트가 서로 인접하게 위치하게 됨으로서 상기 게이트와 드레인 간에 강한 전계가 발생하게 되고, 이로 인해 게이트 유도 드레인 누설(Gate-Induced Drain Leakage: 이하 GIDL)이 증가되는 문제가 있다.

상기 오프 전류가 흐르는 문제를 감소시키기 위한 편 전계 효과 트랜지스터가 대한민국 공개 특허 2005-79270호에 개시되어 있다. 상기 편 전계 효과 트랜지스터는 표면에 일정 깊이의 리세스(recess)를 갖는 액티브 펈과, 상기 리세스 내부로부터 돌출되는 형태를 갖는 게이트 전극 및 상기 게이트 전극 양측에 소오스/드레인으로 구성된다.

그런데, 상기 전계 효과 트랜지스터의 경우 게이트 전극을 패터닝할 시에 미스 얼라인이 발생되는 경우, 상기 리세스 내부에 게이트 전극이 완전히 채워지지 않게된다.

도 1은 게이트 전극과 리세스가 미스 얼라인된 전계 효과 트랜지스터의 단면도이다.

도 1에 도시된 것과 같이, 게이트 전극과 리세스가 미스 얼라인이 발생되면, 상기 게이트 전극(12)이 리세스(10) 내부에서 어느 한쪽으로 치우쳐져 형성된다. 이 경우, 상기 전계 효과 트랜지스터는 경우 동작 불량이 발생하게 된다.

또한, 후속 공정으로 상기 게이트 전극(12) 사이에 콘택이 형성되는데 상기 게이트 전극(12) 사이의 갭이 매우 협소하여 콘택 저항이 매우 높아지는 문제가 있다. 통상적으로 셀프 얼라인 방식에 의해 콘택을 형성하므로 상기 게이트 전극 양측에 스페이서(14)가 구비되어야 하며, 이로 인해 콘택 면적은 더욱 감소된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 제1 목적은 게이트 전극의 미스 얼라인에 따른 동작 불량이 감소되고, 콘택 면적이 충분히 확보되는 트랜지스터를 제공하는데 있다.

본 발명의 제2 목적은 상기한 트랜지스터의 형성 방법을 제공하는데 있다.

발명의 구성

상기 제1 목적을 달성하기 위한 본 발명의 일 실시예에 따른 트랜지스터는, 상부 표면에 제1 깊이의 제1 트렌치를 갖는 액티브 펈을 포함하는 기판과, 상기 액티브 펈의 양측의 기판 상에 구비되고, 상기 제1 트렌치로부터 연장되는 부위에 상기 제1 깊이보다 깊은 제2 깊이를 갖는 제2 트렌치가 구비되어 상기 액티브 펈의 측벽 일부를 노출하도록 형성된 소자 분리막

과, 상기 액티브 핀의 표면에 형성된 게이트 산화막과, 상기 제1 및 제2 트렌치 내부에 매립되면서 상기 제2 깊이보다는 낮거나 같은 높이를 갖는 게이트 구조물 및 상기 게이트 구조물 양측의 액티브 핀 표면 아래에 구비되는 제1 및 제2 불순물 영역을 포함한다.

상기 제1 트렌치는 상기 액티브 핀의 길이 방향과 수직하는 제1 방향으로 상기 액티브 핀의 양측 가장자리까지 연장된 형상을 갖는다.

상기 소자 분리막에서 상부 평탄면은 상기 액티브 핀의 상부 평탄면과 동일한 평면 상에 위치한다.

상기 게이트 구조물의 상부면은 상기 액티브 핀의 상부 평탄면과 동일한 평면 상에 위치하거나 또는 상기 액티브 핀의 상부 평탄면보다 낮게 위치한다.

상기 게이트 구조물은 도전막 패턴 및 하드 마스크 패턴이 적층된 형상을 갖는다.

또한, 상기 기판 상에 게이트 구조물을 덮는 층간 절연막 및 상기 제1 및 제2 불순물 영역들과 전기적으로 연결되는 콘택 플러그들을 더 포함할 수 있다.

상기 제1 불순물 영역과 연결되는 콘택 플러그와 상기 제2 불순물 영역과 연결되는 콘택 플러그는 서로 다른 높이를 가질 수도 있다.

상기 액티브 핀 표면에는 복수의 제1 트렌치가 포함되고 각 제1 트렌치 내에는 매립된 형태의 게이트 전극 구조물이 형성될 수 있다.

상기 제2 목적을 달성하기 위한 본 발명의 일 실시예에 따른 트랜지스터의 형성 방법으로, 베어 실리콘 기판의 상부 표면에 제1 깊이의 제1 트렌치를 갖는 액티브 핀을 형성한다. 상기 액티브 핀의 양측에 위치하고, 상기 제1 트렌치로부터 연장되는 부위에 상기 제1 깊이보다 깊은 제2 깊이의 제2 트렌치가 구비되어 상기 액티브 핀의 측벽 일부를 노출시키는 소자 분리막을 형성한다. 상기 액티브 핀의 표면에 게이트 산화막을 형성한다. 상기 제1 및 제2 트렌치 내부를 매립하면서 상기 제2 깊이보다는 낮거나 같은 높이를 갖도록 게이트 구조물을 형성한다. 다음에, 상기 게이트 구조물 양측의 액티브 핀 표면 아래에 제1 및 제2 불순물 영역을 형성한다.

상기 소자 분리막을 형성하기 위하여, 베어 실리콘 기판에 액티브 영역 및 소자 분리 영역을 구분하기 위한 예비 소자 분리 막을 형성한다. 상기 게이트 구조물이 형성되기 위한 영역을 선택적으로 노출하는 마스크 패턴을 형성한다. 이 후, 상기 마스크 패턴을 사용하여 상기 노출된 예비 소자 분리막을 식각함으로서 제2 트렌치를 형성한다.

상기 소자 분리막을 형성하기 위한 마스크 패턴은 사진 공정에 의해 형성되는 포토레지스트 패턴을 포함한다.

상기 예비 소자 분리막을 형성하기 위하여, 기판에 소자 분리 영역을 선택적으로 덮는 제1 하드 마스크 패턴을 형성한다. 상기 제1 하드 마스크 패턴을 식각 마스크로 사용하여 상기 기판을 식각함으로서 소자 분리용 트렌치를 형성한다. 다음에, 상기 소자 분리용 트렌치 내부에 절연 물질을 매립하여 예비 소자 분리막을 형성한다.

상기 액티브 핀을 형성하기 위하여, 상기 제2 트렌치를 형성하기 위한 마스크 패턴을 동일하게 사용하여 제1 하드 마스크 패턴을 선택적으로 식각함으로서 제2 하드 마스크 패턴을 형성한다. 다음에, 상기 제2 하드 마스크 패턴을 식각 마스크로 사용하여 상기 노출된 기판을 식각하여 제1 트렌치를 형성한다.

상기 게이트 구조물을 형성하기 위하여, 상기 제1 및 제2 트렌치 내부를 완전히 채우면서 상기 기판 상에 제1 도전막을 형성한다. 상기 제1 및 제2 트렌치 내부에만 상기 제1 도전막이 남도록 상기 제1 도전막의 일부를 제거하여 상기 제1 및 제2 트렌치를 부분적으로 채우는 제1 도전막 패턴을 형성한다. 상기 제1 및 제2 트렌치 내부를 완전히 채우면서 상기 제1 도전막 패턴 및 기판 상에 하드 마스크막을 형성한다. 다음에, 상기 제1 및 제2 트렌치 내부에만 상기 하드 마스크막이 남도록 상기 하드 마스크막의 일부를 제거하여 제3 하드 마스크 패턴을 형성한다.

상기 제1 도전막 패턴을 형성하기 위하여, 상기 액티브 핀 및 소자 분리막의 상부 평탄면 상에 위치한 제1 도전막이 제거되도록 상기 제1 도전막을 연마한다. 다음에, 상기 연마된 제1 도전막의 상부 일부분을 제거한다.

상기 제3 하드 마스크 패턴을 형성하기 위한 제거 공정은 화학 기계적 연마 공정을 통해 이루어질 수 있다.

상기 액티브 핀 표면 아래에 제1 및 제2 불순물 영역을 형성한 후, 상기 게이트 구조물을 덮는 층간 절연막을 형성하는 공정과, 상기 층간 절연막을 부분적으로 식각하여 상기 제1 및 제2 불순물 영역 표면을 노출하는 콘택홀을 형성하는 공정 및 상기 콘택홀 내부에 도전물질을 매립시켜 상기 제1 및 제2 불순물 영역과 전기적으로 연결되는 콘택 플러그들을 형성하는 공정을 더 수행할 수 있다.

또한, 상기 게이트 구조물, 제1 및 제2 불순물 영역이 형성된 기판과 상기 층간 절연막 사이의 계면에 식각 저지막을 형성하는 공정을 더 포함할 수 있다.

다른 방법으로, 상기 액티브 핀 표면 아래에 제1 및 제2 불순물 영역을 형성한 후, 상기 게이트 구조물, 제1 및 제2 불순물 영역이 형성된 기판 상에 상기 게이트 구조물을 덮는 제1 층간 절연막을 형성하는 공정과, 상기 제1 층간 절연막을 부분적으로 식각하여 상기 제1 불순물 영역 표면을 노출하는 제1 콘택홀을 형성하는 공정과, 상기 제1 콘택홀 내부에 도전물질을 매립시켜 상기 제1 불순물 영역과 전기적으로 연결되는 제1 콘택 플러그를 형성하는 공정과, 상기 제1 층간 절연막 및 상기 제1 콘택 플러그 상에 제2 층간 절연막을 형성하는 공정과, 상기 제2 층간 절연막을 부분적으로 식각하여 상기 제2 불순물 영역 표면을 노출하는 제2 콘택홀을 형성하는 공정과, 상기 제2 콘택홀 내부에 도전물질을 매립시켜 상기 제2 불순물 영역과 전기적으로 연결되는 제2 콘택 플러그를 형성하는 공정을 더 포함할 수 있다.

또한, 상기 게이트 산화막을 형성하기 이 전에, 상기 액티브 핀의 표면을 식각하여 상기 액티브 핀의 폭을 감소시키는 단계를 더 포함할 수 있다.

본 발명의 일 실시예에 따른 트랜지스터는 액티브 핀에 구비되는 제1 트렌치 및 소자 분리막에 구비되는 제2 트렌치 내부에 매립된 형태를 갖는 게이트 구조물을 갖는다. 때문에, 상기 게이트 구조물을 형성하기 위한 별도의 패터닝 공정이 요구되지 않고, 이로 인해 상기 게이트 구조물과 상기 제1 트렌치가 서로 미스 얼라인되는 불량이 발생되지 않는다.

더구나, 상기 게이트 구조물이 액티브 핀으로부터 돌출된 형태를 갖지 않기 때문에 게이트 구조물 양측에 스페이서를 형성할 수 없다. 그러므로, 종래의 스페이서를 포함하는 구조에 비해 상기 게이트 구조물 양측에 노출되는 액티브 핀의 면적이 증가하게 되어 콘택 저항을 감소시킬 수 있다.

그리고, 상기 게이트 구조물 양측의 액티브 핀을 노출하는 콘택홀을 형성할 시에 다소 미스얼라인이 발생되더라도 상기 게이트 구조물 상부의 하드 마스크 패턴을 노출시키기 때문에 게이트 전극과 상기 콘택이 서로 쇼트되는 등의 불량은 발생되지 않는다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

실시예 1

도 2는 본 발명의 실시예 1에 따른 핀 전계 효과 트랜지스터를 나타내는 사시도이다.

도 2를 참조하면, 소자 분리용 트렌치가 형성됨에 따라 주변부에 비해 돌출된 형태를 갖는 액티브 핀(128)을 포함하는 기핀(100)이 구비된다. 상기 액티브 핀(128)의 상부 표면에는 제1 깊이의 제1 트렌치(124)가 형성되어 있다. 상기 제1 트렌치(124)는 상기 액티브 핀(128)의 길이 방향과 수직한 방향으로 상기 액티브 핀(128)의 양측 가장자리까지 연장되는 형상을 갖는다.

상기 소자 분리용 트렌치 내부를 매립하면서 상기 액티브 핀의 양측 기판 상에는 소자 분리막(130)이 구비된다. 상기 소자 분리막(130)에는 상기 제1 트렌치(124)로부터 연장되는 부위에 상기 제1 깊이보다 깊은 제2 깊이를 갖는 제2 트렌치(120a)가 구비되어 있다.

상기 액티브 핀(128)의 상부 평탄면과 상기 소자 분리막(130)의 상부 평탄면은 동일한 평면상에 위치한다.

그러므로, 상기 제1 트렌치(124) 및 제2 트렌치(120a)는 서로 연통하며 상기 액티브 핀(128)의 길이 방향과 수직한 방향으로 연장되는 형상을 갖는다. 또한, 상기 제2 트렌치(120a)의 저면은 상기 제1 트렌치(124)의 저면에 비해 낮게 위치하게 된다.

따라서, 상기 제2 트렌치(120a)의 측벽에는 상기 액티브 핀(128)의 측벽 일부가 노출된다.

상기 액티브 핀(128)의 표면에는 게이트 산화막(도시안됨)이 구비된다. 상기 게이트 산화막은 적어도 상기 제1 트렌치(124)의 내부 및 상기 제2 트렌치(120a)에 의해 노출되는 액티브 핀(128)의 표면 부위에 구비된다.

상기 게이트 산화막은 실리콘 산화물로 이루어지거나 고유전율을 갖는 금속 산화물로 이루어질 수 있다.

상기 고유전율을 갖는 금속 산화물은 알루미늄 산화물(Al_2O_3), 티타늄 산화물(TiO_2), 탄탈륨 산화물(Ta_2O_5), 지르코늄 산화물(ZrO_2), 하프늄 산화물(HfO_2) 등을 들 수 있다. 이들은 단독 또는 혼합하여 사용할 수 있다.

상기 제1 및 제2 트렌치(124, 120a) 내부를 매립하는 형상의 게이트 구조물(140)이 구비된다. 상기 게이트 구조물(140)은 상기 제2 트렌치(120a)의 깊이인 제2 깊이보다는 낮은 높이를 갖는다.

즉, 상기 게이트 구조물(140)의 상부면은 상기 액티브 핀(128)의 상부 평탄면과 동일한 평면 상에 위치하거나 또는 상기 액티브 핀(128)의 상부 평탄면보다 낮게 위치한다. 그러므로, 상기 게이트 구조물(140)은 상기 액티브 핀(128) 및 소자 분리막(130)의 상부 평탄면 위로 돌출되는 형상을 갖지 않는다.

상기 게이트 구조물(140)은 게이트 전극으로 사용되는 도전막 패턴(134a)과 상기 도전막 패턴(134a)을 마스킹하기 위한 하드 마스크 패턴(136a)이 적층된 형상을 갖는다.

이 때, 상기 도전막 패턴(134a)은 상기 제1 및 제2 트렌치(124, 120a) 내부를 일부 채우면서 연장되는 라인 형상을 가져야 한다. 즉, 상기 제2 트렌치(120a) 내부에만 형성되어 고립된 형상을 가져서는 안된다. 또한, 상기 도전막 패턴(134a)의 상부면은 평탄한 형상을 갖는 것이 바람직하다.

상기 도전막 패턴(134a)은 도핑된 폴리실리콘과 같은 실리콘 물질, 금속 물질 또는 금속 실리사이드 물질로 이루어질 수 있다. 이들은 단독 또는 혼합하여 사용할 수 있다. 사용할 수 있는 상기 금속 물질의 예로는 텅스텐, 티타늄 질화물, 탄탈륨 질화물 등을 들 수 있다.

상기 하드 마스크 패턴(136a)은 실리콘 질화물로 이루어질 수 있다.

상기 게이트 구조물(140) 양측의 액티브 핀(128) 상부 표면 아래에는 제1 및 제2 불순물 영역(도시안됨)이 구비된다. 상기 제1 및 제2 불순물 영역은 적어도 상기 액티브 핀(128) 표면으로부터 상기 게이트 구조물(140)의 도전막 패턴(134a)의 상부까지 연장된다.

본 실시예의 트랜지스터는 상기 제1 및 제2 트렌치(124, 120a) 내부에 매립된 형태를 갖는 게이트 구조물(140)을 포함한다. 그러므로, 상기 게이트 구조물(140)과 상기 제1 및 제2 트렌치(124, 120a)와의 미스얼라인이 발생되지 않는다. 때문에, 상기 게이트 구조물(140)과 상기 제1 트렌치(124)와의 미스얼라인에 따른 동작 불량을 방지할 수 있다.

도 3a 내지 도 12c는 도 2에 도시된 핀 전계 효과 트랜지스터의 형성 방법을 설명하는 단면도들이다.

각 a도는 도 2의 I-I' 부위를 절단하여 보여지는 단면도들이고, 각 b도는 도 2의 II-II' 부위를 절단하여 보여지는 단면도들이고, 각 c도는 도 2의 III-III' 부위를 절단하여 보여지는 단면도들이다.

도 3a 내지 도 3c를 참조하면, 기판(100)에 패드 산화막(102)을 형성한다. 상기 패드 산화막(102) 상에, 소자 분리용 트렌치를 형성하기 위한 식각 마스크로 사용되는 제1 하드 마스크 패턴(104)을 형성한다. 상기 제1 하드 마스크 패턴(104)은 실리콘 질화물을 증착하고 이를 사진 식각함으로서 형성될 수 있다.

상기 제1 하드 마스크 패턴(104)을 식각 마스크로 사용하여 소자 분리 영역에 위치하는 패드 산화막(102) 및 기판(100)을 선택적으로 식각함으로서 소자 분리용 트렌치를 형성한다. 본 실시예에서 상기 소자 분리용 트렌치는 2500 내지 4000Å의 깊이로 형성된다.

상기 소자 분리용 트렌치의 측면 및 저면에 노출된 실리콘을 열산화시켜 트렌치 내벽 산화막(108)을 형성한다. 그리고, 상기 트렌치 내벽 산화막(108) 및 상기 제1 하드 마스크 패턴(104)의 표면에 질화막 라이너(110)를 형성한다. 이 후, 상기 제1 트렌치 내부를 매립하면서 상기 제1 하드 마스크 패턴(104)을 덮도록 실리콘 산화막을 증착한다. 상기 실리콘 산화막의 예로는 HDP 산화막, TEOS막, USG막 등을 들 수 있다.

상기 제1 하드 마스크 패턴(104)이 노출되도록 상기 실리콘 산화막을 화학 기계적으로 연마하여 상기 소자 분리용 트렌치 내부를 채우는 예비 소자 분리막(112)을 형성한다. 상기 예비 소자 분리막(112)을 형성함으로서 상기 기판에서 소자 분리 영역 및 액티브 영역이 각각 구분된다.

도 4a 내지 도 4c를 참조하면, 상기 제1 하드 마스크 패턴(104) 및 상기 예비 소자 분리막(112) 상에 유기 반사 방지막(114)을 형성한다. 상기 유기 반사 방지막(114) 상에는 제1 포토레지스트막(도시안됨)을 코팅한다.

상기 제1 포토레지스트막을 노광 및 현상하여 게이트 구조물이 형성되기 위한 영역을 선택적으로 노출하는 제1 포토레지스트 패턴(116)을 형성한다. 즉, 상기 제1 포토레지스트 패턴(116)은 상기 액티브 펈의 길이 방향과 수직한 방향으로 연장되는 개구(118)를 갖는다.

도 5a 내지 도 5c를 참조하면, 상기 제1 포토레지스트 패턴(116)에 의해 노출되는 유기 반사 방지막(114)을 식각하여 유기 반사 방지막 패턴(114a)을 형성한다. 이 후, 노출된 예비 소자 분리막(112)을 선택적으로 식각함으로서 상기 게이트 구조물이 형성될 영역을 정의하기 위한 예비 제2 트렌치(120)를 형성한다. 상기 예비 제2 트렌치(120)는 액티브 펈의 측벽을 노출시키기 위하여 형성되는 것이므로, 다소 깊게 형성되는 것이 바람직하다. 구체적으로, 상기 예비 제2 트렌치(120)는 상기 소자 분리용 트렌치보다는 얇게 형성되고, 후속 공정에서 형성되는 액티브 펈의 제1 트렌치보다는 더 깊게 형성되어야 한다. 본 실시예에서는 상기 예비 제2 트렌치(120)를 1000 내지 2000 Å의 깊이로 형성한다.

상기 예비 제2 트렌치(120)를 형성하는 식각 공정에서, 상기 제1 하드 마스크 패턴(104)도 식각 선택비에 따라 다소 식각되어 개구가 형성될 수 있다.

도 13은 예비 제2 트렌치(120)가 형성된 상태의 사시도이다. 도 13에서 제1 포토레지스트 패턴은 생략하였다.

도 6a 내지 도 6c를 참조하면, 상기 제1 포토레지스트 패턴(116)에 의해 노출된 제1 하드 마스크 패턴(104)을 선택적으로 이방성 식각함으로서 제2 하드 마스크 패턴(122)을 형성한다. 상기 제2 하드 마스크 패턴(122)은 후속 공정에서 액티브 펈의 표면에 제1 트렌치를 형성하기 위한 마스크 패턴으로 사용된다.

이 후, 상기 제2 하드 마스크 패턴(122) 아래에 위치하는 패드 산화막(102)을 이방성 식각하여 상기 기판(100)을 노출시킨다. 상기 패드 산화막(102)을 식각하는 공정에서, 노출된 상기 예비 소자 분리막(112a)도 다소 식각되므로, 상기 예비 제2 트렌치(120)의 깊이가 더 깊어지게 된다.

도 7a 내지 도 7c를 참조하면, 상기 제1 포토레지스트 패턴(116) 및 유기 반사 방지막 패턴(114a)을 애싱 및 스트립 공정을 통해 제거한다.

다음에, 상기 제2 하드 마스크 패턴(122)을 식각 마스크로 사용하여 상기 노출된 기판(100) 표면을 이방성으로 식각함으로서 제1 트렌치(124)를 갖는 액티브 펈(128)을 형성한다. 상기 제1 트렌치(124)는 기 형성된 예비 제2 트렌치(120)에 비해 얇은 깊이로 형성되어야 한다.

한편, 상기 제1 트렌치(124)의 폭은 상기 예비 제2 트렌치(120)와 동일하거나 또는 다르게 형성할 수 있다. 상기 제1 트렌치(124)의 폭을 상기 예비 제2 트렌치(120)와 다르게 형성하는 경우에는, 상기 기판을 식각하기 이 전에 제2 하드 마스크 패턴(122)의 개구 폭을 변경하는 공정을 더 수행하여야 한다.

도시하지는 않았지만, 상기 제1 트렌치(124)의 폭을 상기 예비 제2 트렌치(120)의 폭보다 더 크게 형성하기 위해서는 상기 기판을 식각하기 이 전에 상기 제2 하드 마스크 패턴(122)의 측벽 부위를 다소 식각하는 공정을 더 수행한다. 반면에, 상기 제1 트렌치(124)의 폭을 상기 예비 제2 트렌치(120)의 폭보다 더 작게 형성하기 위해서는 상기 기판을 식각하기 이 전에 상기 제2 하드 마스크 패턴(122)의 측벽 부위에 스페이서를 형성하는 공정을 더 수행한다.

도 8a 내지 도 8c를 참조하면, 상기 제2 하드 마스크 패턴(122) 및 상기 패드 산화막(102)을 순차적으로 제거함으로서 상기 액티브 핀(128)의 표면을 부분적으로 노출시킨다. 구체적으로, 상기 제1 트렌치(124)를 포함하는 액티브 핀(128)의 상부면과 상기 제2 트렌치(120a)의 측벽 부위의 액티브 핀(128) 부위가 노출된다.

상기 패드 산화막(102)을 제거하는 공정에서, 상기 예비 소자 분리막(112a)도 다소 식각됨으로서 제2 트렌치(120a)를 갖는 소자 분리막(130)이 완성된다. 상기 제2 트렌치(120a)는 상기 예비 제2 트렌치(120)에 비해 넓은 내부폭을 가질 수 있다.

도 14는 상기 공정들을 수행하여 형성된 구조물의 사시도이다.

상기 공정을 수행함으로서, 도 14에 도시된 것과 같이, 게이트 전극 구조물을 성형(mold)하기 위한 제1 트렌치(124)를 포함하는 액티브 핀(128) 및 제2 트렌치(120a)를 포함하는 소자 분리막(130)이 완성된다.

도시하지는 않았지만, 선택적으로 상기 액티브 핀(128)의 노출된 표면의 일부분을 식각하는 액티브 핀 트리밍 공정을 수행할 수 있다. 상기와 같이 액티브 핀의 노출된 표면을 식각하면, 액티브 핀(128)이 폭이 더욱 얇아지게 된다.

도 9a 내지 도 9c를 참조하면, 상기 액티브 핀(128)의 노출된 표면에 게이트 산화막(132)을 형성한다.

상기 게이트 산화막(132)은 기판을 열산화시켜 형성할 수 있다. 이 경우, 도시된 것과 같이 게이트 산화막(132)은 액티브 핀(128)의 노출된 표면에만 형성된다.

또는, 상기 게이트 산화막(132)은 고유전율을 갖는 금속 산화물을 원자층 적층 방법 또는 화학 기상 증착 방법을 통해 증착시켜 형성할 수 있다. 상기 금속 산화물을 증착시켜 게이트 산화막(132)을 형성하는 경우, 상기 게이트 산화막(132)은 액티브 핀의 노출된 표면 뿐 아니라 소자 분리막(130) 상에도 형성된다.

상기 고유전율을 갖는 금속 산화물은 알루미늄 산화물(Al_2O_3), 티타늄 산화물(TiO_2), 탄탈륨 산화물(Ta_2O_5), 지르코늄 산화물(ZrO_2), 하프늄 산화물(HfO_2) 등을 들 수 있다. 이들은 단독 또는 혼합하여 사용할 수 있다.

상기 게이트 산화막(132) 상에 게이트 전극용 도전막(134)을 형성한다. 상기 도전막(134)은 상기 제1 및 제2 트렌치(124, 120a) 내부를 완전히 매립하면서 상기 소자 분리막(130)을 덮도록 형성한다.

상기 도전막(134)은 도핑된 폴리실리콘과 같은 반도체 물질, 금속 실리사이드 물질 또는 금속 물질을 사용하여 형성할 수 있다. 이들은 단독 또는 혼합하여 사용할 수 있다. 사용할 수 있는 금속 물질의 예로는 텅스텐, 티타늄 질화물, 탄탈륨 질화물 등을 들 수 있다. 본 실시예에서는 상기 도전막(134)으로 금속 물질을 사용한다.

도 10a 내지 도 10c를 참조하면, 상기 제1 및 제2 트렌치(124, 120a) 내부에만 상기 도전막(134)이 남아있도록 상기 소자 분리막(130) 상에 형성되어 있는 상기 도전막(134)을 화학 기계적 연마 공정을 통해 제거한다.

이 후에, 습식 식각 공정 또는 건식 식각 공정을 통해 상기 도전막(134)을 일부 식각함으로서 도전막 패턴(134a)을 형성한다. 이 때, 상기 도전막 패턴(134a)은 상기 제1 및 제2 트렌치(124, 120a) 내부를 부분적으로 채우면서 라인 형상을 갖도록 연장되도록 형성되어야 한다. 즉, 상기 도전막 패턴(134a)은 상기 제2 트렌치(120a) 내부에만 고립된 형태로 형성되지 않도록 형성하여야 한다.

상기 식각 공정을 수행하기 이 전에 연마 공정을 수행하였으므로, 상기 도전막 패턴(134a)의 상부면은 평탄한 형상을 갖게 된다.

도 11a 내지 도 11c를 참조하면, 상기 도전막 패턴(134a) 상에 상기 제1 및 제2 트렌치(124, 120a) 내부를 완전히 매립하면서 상기 소자 분리막(130)을 덮도록 제3 하드 마스크막(136)을 형성한다. 상기 제3 하드 마스크막(136)은 화학 기상 증착 공정에 의해 실리콘 질화물을 증착시켜 형성될 수 있다.

도 12a 내지 도 12c를 참조하면, 상기 제1 및 제2 트렌치(124, 120a) 내부에만 상기 제3 하드 마스크막(136)이 남아있도록 화학 기계적 연마 공정을 통해 상기 제3 하드 마스크막(136)의 일부를 제거한다.

상기 연마 공정을 수행하면, 상기 제1 및 제2 트렌치(124, 120a) 내부에는 도전막 패턴(134a) 및 제3 하드 마스크 패턴(136a)이 적층된 게이트 구조물(140)이 완성된다. 상기 제3 하드 마스크 패턴(136a)은 게이트 전극으로 제공되는 도전막 패턴(134a)을 보호한다.

상기 게이트 구조물(140)은 상기 제1 및 제2 트렌치(124, 120a) 내부에 매립되는 형상을 갖는다. 또한, 상기 게이트 구조물(140)은 통상적인 사진 및 식각 공정을 통해 패터닝된 것이 아니라, 상기 제1 및 제2 트렌치(124, 120a)를 주형 패턴으로 이용한 다마신 방식으로 패터닝되었다. 때문에, 종래에 빈번하게 발생되었던 제1 및 제2 트렌치(124, 120a)와 상기 게이트 구조물(140)이 미스얼라인되는 등의 불량이 발생되지 않는다.

이 후에 선택적으로, 습식 식각 공정 또는 건식 식각 공정을 통해 상기 제3 하드 마스크 패턴(136a)의 상부를 다소 식각할 수 있다.

다음에, 이온 주입 공정을 통해 상기 액티브 핀(128)의 표면 아래로 불순물을 주입함으로서 소오스 및 드레인 영역(142)을 형성한다. 이 때, 상기 게이트 구조물(140)의 제3 하드 마스크 패턴(136a)이 이온주입 마스크로 사용되어 상기 게이트 구조물(140)의 양측의 액티브 핀(128) 표면 아래에 소오스/드레인 영역(142)이 형성된다.

실시예 2

도 15는 본 발명의 실시예 2에 따른 디램 장치를 나타내는 단면도이다. 본 실시예에서 설명하는 디램 장치는 핀 전계 효과 트랜지스터를 포함한다.

도 15를 참조하면, 실리콘으로 이루어지는 기판(200)이 구비된다. 상기 기판은 소자 분리용 트렌치(202)가 형성됨으로서, 주변부에 비해 돌출된 액티브 핀들과 소자 분리 영역으로 구분된다.

상기 액티브 핀의 상부 표면에는 상기 액티브 핀의 평탄면으로부터 제1 깊이를 갖는 제1 트렌치(208)가 구비된다. 상기 제1 트렌치(208)는 상기 액티브 핀에서 게이트 전극 구조물 형성 영역에 위치한다.

상기 액티브 핀들은 고립된 섬 형상을 가지며 규칙적으로 배열되어 있다. 구체적으로, 상기 각각의 액티브 핀은 게이트 전극 구조물(220)이 연장되는 방향과 수직하는 방향인 제2 방향이 길이 방향이 되도록 배치된다. 또한, 도시된 것과 같이, 제1 열에 위치하는 액티브 핀들은 상기 제2 방향으로 일정 간격을 가지면서 나란하게 배치되고, 상기 제1 열 다음의 제2 열에 위치하는 액티브 핀들은 상기 제1 열에서 액티브 핀들 사이 부위에 나란하게 배치된다.

상기 소자 분리용 트렌치 내부를 매립하는 소자 분리막(230)이 형성되어 있다. 상기 소자 분리막(230)은 상기 제1 트렌치(208)와 연통하고 상기 액티브 핀의 양측 표면 일부를 노출시키기 위한 제2 트렌치(228)가 구비된다. 상기 제2 트렌치(228)는 상기 제1 깊이보다 더 깊은 제2 깊이를 갖는다.

여기서, 상기 제1 및 제2 트렌치(208, 228)는 상기 게이트 구조물(220)을 형성하기 위한 영역으로 제공된다. 상기 액티브 핀은 적어도 측벽 일부분이 소자 분리막(230)에 의해 노출되는 형상을 갖는다. 구체적으로, 상기 액티브 핀에서 트랜지스터의 채널 영역으로 제공되기 위한 측벽 부위는 상기 소자 분리막(230)에 의해 노출된다.

본 실시예에서 고립된 하나의 액티브 핀에는 2개의 트랜지스터가 형성되어 있다.

상기 고립된 하나의 액티브 핀의 표면에는 2개의 제1 트렌치(208)가 형성되어 있다. 상기 제1 트렌치(208)들 사이에는 콘택이 형성될 수 있을 정도의 평탄면을 갖는다.

상기 소자 분리막(230)이 형성되는 제1 트렌치(208)의 내벽에는 내벽 산화막(도시안됨) 및 질화막 라이너(도시안됨)가 형성되어 있다.

상기 각 제1 트렌치(208) 내부 표면에 게이트 산화막(204)이 구비된다. 상기 게이트 산화막(204)은 실리콘 산화물로 이루어지거나 고유전율을 갖는 금속 산화물로 이루어질 수 있다. 상기 고유전율을 갖는 금속 산화물은 알루미늄 산화물(Al_2O_3), 티타늄 산화물(TiO_2), 탄탈륨 산화물(Ta_2O_5), 지르코늄 산화물(ZrO_2), 하프늄 산화물(HfO_2) 등을 들 수 있다. 이들은 단독 또는 혼합하여 사용할 수 있다.

상기 제1 및 제2 트렌치(208, 228) 내부에는 게이트 구조물(220)이 구비된다. 상기 게이트 구조물(220)은 도전막 패턴(222) 및 하드 마스크 패턴(224)이 적층된 형상을 갖는다. 상기 도전막 패턴(222)은 상기 제1 및 제2 트렌치(208, 228) 내부를 부분적으로 채우는 라인 형상을 갖는다.

그러므로, 게이트 전극으로 제공되는 도전막 패턴(222)은 액티브 핀 상부면, 액티브 핀 측벽 및 소자 분리막 상부면을 따라 연장된다. 본 실시예에서, 하나의 단위 액티브 핀 상에는 2개의 게이트 구조물(220)이 형성되어 있다.

상기 게이트 구조물(220) 양측의 액티브 핀 표면 아래로 소오스/드레인(226a, 226b)이 구비된다.

상기 소자 분리막(230) 및 게이트 구조물(220) 상에 식각 저지막(232)이 구비된다. 상기 식각 저지막(232)은 실리콘 질화물로 이루어질 수 있다.

상기 식각 저지막(232) 상에는 제1 층간 절연막(234)이 구비된다. 상기 제1 층간 절연막(234)은 실리콘 산화물로 이루어질 수 있다. 구체적으로, 사용할 수 있는 상기 층간 절연막은 HDP 산화막, TEOS막, USG막 등을 들 수 있다.

상기 제1 층간 절연막(234) 및 식각 저지막(232)에는 상기 게이트 구조물(220) 사이의 액티브 핀을 노출시키는 콘택홀이 형성되어 있다. 상기 콘택홀 내부에는 상기 소오스/드레인 영역(226a, 226b)과 전기적으로 접속하는 콘택 플러그(238a, 238b)가 구비된다. 여기서, 상기 소오스(226a)와 접속하는 콘택 플러그를 제1 콘택 플러그(238a)라 하고, 상기 드레인 영역(226b)과 접속하는 플러그를 제2 콘택 플러그(238b)라 한다.

상기 콘택 플러그(238a, 238b) 및 제1 층간 절연막(234) 상에는 제2 층간 절연막(240)이 구비된다. 상기 제2 층간 절연막(240)에는 상기 제1 콘택 플러그(238a)와 전기적으로 접속하는 비트 라인 콘택이 구비된다.

상기 제2 층간 절연막(240) 상에는 상기 비트 라인 콘택과 전기적으로 접속하는 비트 라인(242)이 구비된다.

상기 제2 층간 절연막(240) 상에 상기 비트 라인(242)을 완전히 매몰하는 제3 층간 절연막(246)이 구비된다.

상기 제3 층간 절연막(246)에는 상기 제2 콘택 플러그(238b)와 전기적으로 접속하는 스토리지 노드 콘택(248)이 구비된다.

상기 제3 층간 절연막(246) 상에는 상기 스토리지 노드 콘택(248)과 접속하는 실린더형의 커페시터(250)가 구비된다.

본 실시예에 따른 디램 장치에서는 게이트 구조물의 양측에 스페이서가 구비되지 않으므로, 소오스/드레인 영역과 접속하는 콘택 플러그의 접촉 면적이 증가된다. 이로 인해, 상기 콘택 플러그의 접촉 저항을 감소시킬 수 있다.

도 16 및 도 17은 도 15에 도시된 디램 장치에 포함되는 핀 전계 효과 트랜지스터의 형성 방법을 설명하기 위한 사시도이다.

도 18 내지 도 21은 도 15에 도시된 디램 장치의 형성 방법을 설명하기 위한 단면도들이다. 각 단면도들은 비트 라인과 평행하게 절단하였을 때 보여지는 단면도이다.

도 16 및 도 17을 참조하면, 실리콘 기판(200)에 패드 산화막(도시안됨)을 형성한다. 이 후, 소자 분리용 트렌치를 형성할 시에 식각 마스크로 사용되는 하드 마스크 패턴(도시안됨)을 형성한다.

상기 하드 마스크 패턴을 식각 마스크로 사용하여 소자 분리 영역에 위치하는 패드 산화막 및 기판을 선택적으로 식각함으로서 소자 분리용 트렌치(202)를 형성한다. 상기 소자 분리용 트렌치(202)가 형성됨으로서 액티브 핀 형성 영역이 정의된다.

본 실시예에서, 액티브 핀(210)은 고립된 섬 형상을 가지며 규칙적으로 배열되어야 한다. 구체적으로, 상기 각각의 액티브 핀(210)은 게이트 전극이 연장되는 방향과 수직하는 방향인 제2 방향이 길이 방향이 되도록 배치된다. 또한, 제1 열에 위치하는 액티브 핀(210)들은 상기 제2 방향으로 일정 간격을 가지면서 나란하게 배치되고, 상기 제1 열 다음의 제2 열에 위치하는 액티브 핀(210)들은 상기 제1 열에서 액티브 핀(210)들 사이 부위에 나란하게 배치된다.

이 후, 도 3a 내지 도 12c를 참조로 설명한 것과 동일한 공정을 수행하여 단위 액티브 핀(210)에 게이트 구조물(220)이 매립되어 있는 구조를 갖는 2개의 편형 전계효과 트랜지스터를 형성한다.

구체적으로, 실리콘 기판(200)의 상부 표면에 제1 깊이의 제1 트렌치(208)를 갖는 액티브 핀(210)을 형성한다. 상기 액티브 핀(210)의 양측의 기판 상에, 상기 제1 트렌치(208)로부터 연장되는 부위에 상기 제1 깊이보다 깊은 제2 깊이의 제2 트렌치(228)가 구비되어 상기 액티브 핀의 측벽 일부를 노출시키는 소자 분리막(230)을 형성한다.

다음에, 도 17에 도시된 것과 같이, 상기 액티브 핀(210)의 표면에 게이트 산화막(204)을 형성한다 상기 제1 및 제2 트렌치(208, 228) 내부를 매립하면서 상기 제2 깊이보다는 낮거나 같은 높이를 갖도록 게이트 구조물(220)을 형성한다. 이 후, 상기 게이트 구조물(220) 양측의 액티브 핀(210) 표면 아래에 소오스/드레인(도시안됨)을 형성한다.

여기서, 상기 소오스/드레인을 형성하는 공정은 추후에 수행될 수도 있다.

도 18을 참조하면, 상기 소자 분리막(230)과 게이트 산화막(204) 및 게이트 구조물(220) 상에 식각 저지막(232)을 형성한다. 상기 식각 저지막(232)은 화학 기상 증착법으로 실리콘 질화물을 증착함으로서 형성할 수 있다

상기 식각 저지막(232) 상에 제1 충간 절연막(234)를 형성한다.

상기 제1 충간 절연막(234) 상에 포토레지스트막을 코팅하고, 이를 노광 및 현상함으로서 포토레지스트 패턴(236)을 형성한다. 상기 포토레지스트 패턴(236)은 상기 게이트 구조물(220) 양측의 액티브 핀(210) 부위를 선택적으로 노출하도록 형성된다.

도 19를 참조하면, 상기 포토레지스트 패턴(236)을 식각 마스크로 상기 제1 충간 절연막(234) 및 식각 저지막(232)을 순차적으로 식각함으로서 액티브 핀(210) 표면을 노출하는 콘택홀을 형성한다.

상기 게이트 구조물(220)의 측벽에 스페이서가 형성되어 있지 않으므로, 상기 게이트 구조물들 사이의 간격이 종래에 비해 매우 넓어지게 된다. 따라서, 사진 식각 공정 시에 미스 얼라인 마진이 증가되어 용이하게 콘택홀을 형성할 수 있다.

이 전의 공정에서 상기 게이트 구조물 양측에 소오스/드레인을 형성하지 않은 경우에는, 상기 콘택홀을 형성한 이 후에 상기 소오스/드레인을 형성하기 위한 이온 주입 공정을 수행한다.

다음에, 상기 콘택홀 내에 도전막을 증착하고 이를 연마함으로서 상기 소오스/드레인과 접속하는 콘택 플러그를 완성한다. 이하에서, 상기 소오스와 접속하는 콘택 플러그를 제1 콘택 플러그(238a)라 하고, 상기 드레인과 접속하는 콘택 플러그를 제2 콘택 플러그(238b)라 한다.

상기 콘택 플러그(238a, 238b)는 스페이서와 충간 절연막 간의 식각 선택비를 이용하여 형성되는 종래의 셀프 얼라인 콘택에 비해 접촉 면적이 증가된다. 때문에, 콘택 저항을 감소시킬 수 있다.

또한, 상기 콘택 플러그(238a, 238b) 형성 시에 다소 미스얼라인이 발생되더라도 상기 게이트 구조물 상부의 하드 마스크 패턴(224)과 접촉하게 되므로, 게이트 전극과 콘택 플러그 간이 서로 쇼트되는 불량은 발생되지 않는다.

도 20을 참조하면, 상기 제1 충간 절연막(234) 상에 제2 충간 절연막(240)을 형성한다. 상기 제2 충간 절연막(240)을 사진 및 식각 공정을 통해 부분적으로 제거함으로서, 상기 제1 콘택 플러그(238a)를 노출하는 비트 라인 콘택홀을 형성한다.

이 후, 상기 비트 라인 콘택홀을 충분히 채우면서 상기 제2 충간 절연막(240) 상에 비트 라인용 도전막 및 제2 하드 마스크 패턴(244)을 형성한다. 상기 제2 하드 마스크 패턴(244)을 식각 마스크로 사용하여 상기 비트 라인용 도전막을 패터닝함으로서 비트 라인 콘택 및 비트 라인(242)을 동시에 형성한다.

도시되지는 않았지만, 상기 비트 라인(242) 및 제2 하드 마스크 패턴(244)의 측벽에는 비트 라인 측벽 스페이서를 형성한다.

도 21을 참조하면, 상기 제2 하드 마스크 패턴(244)을 충분히 매몰하도록 제3 층간 절연막(246)을 형성한다. 이 후, 상기 제3 층간 절연막(246) 및 제2 층간 절연막(240)의 일부분을 식각함으로서 상기 제2 콘택 플러그(238b)를 노출하는 스토리지 노드 콘택홀을 형성한다.

상기 스토리지 노드 콘택홀의 형성은 상기 층간 절연막들과 상기 비트 라인 스페이서와의 식각 선택비를 이용하는 셀프 얼라인 방식으로 이루어질 수 있다.

이 후, 상기 스토리지 노드 콘택홀 내부를 충분히 채우면서 상기 제3 층간 절연막(246) 상에 도전막을 형성한다. 상기 도전막의 일부분을 화학 기계적 연마 공정에 의해 제거하여, 상기 스토리지 노드 콘택홀 내부에 도전 물질이 채워진 스토리지 노드 콘택(248)을 형성한다.

다음에, 상기 스토리지 노드 콘택(248)와 접속하도록 실린더형의 커패시터(250, 도 15)를 형성함으로서, 도 15에 도시된 것과 같이, 매립된 게이트를 갖는 편형 트랜지스터를 선택 트랜지스터로 사용하는 디램 장치를 완성할 수 있다.

실시예 3

도 22는 본 발명의 실시예 3에 따른 디램 장치를 나타내는 단면도이다.

본 실시예에서 설명하는 디램 장치는 비트 라인 콘택 및 스토리지 노드 콘택과 접속하는 콘택 플러그가 구비되지 않는 것을 제외하고는 실시예 2의 디램 장치와 동일한 형상을 갖는다.

도 23 내지 도 26은 도22에 도시된 디램 장치의 형성 방법을 설명하기 위한 단면도들이다. 각 단면도들은 비트 라인과 평행하게 절단하였을 때 보여지는 단면도이다.

도 23을 참조하면, 상기 도 16 내지 도 17을 참조로 하여 설명한 공정을 동일하게 수행함으로서, 액티브 핀에 게이트 구조물(220)이 매립되어 있는 구조를 갖는 편형 전계 효과 트랜지스터를 형성한다. 상기 게이트 구조물(220) 양측의 액티브 핀(210) 표면 아래에는 소오스/드레인(도시안됨)을 형성된다.

이 후, 상기 소자 분리막(230)과 게이트 산화막(204) 및 게이트 구조물(220) 상에 식각 저지막(232)을 형성한다. 상기 식각 저지막(232)은 화학 기상 증착법으로 실리콘 질화물을 증착함으로서 형성할 수 있다.

상기 식각 저지막(232) 상에 제1 층간 절연막(260)를 형성한다.

상기 제1 층간 절연막(260) 상에 포토레지스트막을 코팅하고, 이를 노광 및 현상함으로서 포토레지스트 패턴(도시안됨)을 형성한다. 상기 포토레지스트 패턴(2은 상기 소오스 영역의 상부를 선택적으로 노출하도록 형성된다.

다음에, 상기 포토레지스트 패턴을 식각 마스크로 상기 제1 층간 절연막(260) 및 식각 저지막(232)을 식각함으로서 상기 소오스 영역의 액티브 핀(210) 표면을 노출하는 비트 라인 콘택홀(262)을 형성한다.

상기 게이트 구조물(220)의 측벽에 스페이서가 형성되어 있지 않으므로, 상기 게이트 구조물(220)들 사이의 간격이 종래에 비해 매우 넓어지게 된다. 따라서, 콘택 형성 시의 미스 얼라인 마진이 증가되어 용이하게 상기 비트 라인 콘택홀(262)을 형성할 수 있다.

도 24를 참조하면, 상기 비트 라인 콘택홀(262)을 충분히 채우면서 제1 층간 절연막(260) 상에 비트 라인용 도전막 및 하드 마스크 패턴(266)을 형성한다. 상기 하드 마스크 패턴(266)을 식각 마스크로 사용하여 상기 비트 라인용 도전막을 패터닝함으로서 비트 라인 콘택 및 비트 라인(264)을 동시에 형성한다.

도시되지는 않았지만, 상기 비트 라인(264) 및 하드 마스크 패턴(266)의 측벽에는 비트 라인 측벽 스페이서를 형성한다.

도 25를 참조하면, 상기 하드 마스크 패턴(266)을 충분히 매몰하도록 제2 층간 절연막(268)을 형성한다. 이 후, 상기 제2 층간 절연막(268), 제1 층간 절연막 (260) 및 식각 저지막(232)의 일부분을 사진 식각함으로서 기판의 드레인 영역을 노출하는 스토리지 노드 콘택홀(270)을 형성한다.

상기 스토리지 노드 콘택홀(270)의 형성은 상기 제2 층간 절연막(268)과 상기 비트 라인 스페이서와의 식각 선택비를 이용하는 셀프 얼라인 방식으로 이루어질 수 있다.

도 26을 참조하면, 상기 스토리지 노드 콘택홀(270) 내부를 충분히 채우면서 상기 제2 층간 절연막(268) 상에 도전막을 형성한다. 상기 도전막의 일부분을 화학 기계적 연마 공정에 의해 제거하여, 상기 스토리지 노드 콘택홀(270) 내부에 도전 물질이 채워진 스토리지 노드 콘택(272)을 형성한다.

상기 게이트 전극 구조물(220)이 매립된 형상을 갖고 있으므로, 소오스/드레인과 접속하는 비트 라인 콘택 및 상기 스토리지 노드 콘택(272)의 접촉 면적이 증가되고 콘택의 높이가 감소된다. 그러므로, 별도의 패드 콘택 플러그를 구비하지 않고도 상기 비트 라인 콘택 및 스토리지 노드 콘택(272)을 불량없이 형성할 수 있다. 때문에, 상기 콘택 플러그를 형성하는 공정을 생략하여 공정 단계를 감소시킬 수 있다.

도 22를 참조하면, 상기 스토리지 노드 콘택(272)와 접속하도록 실린더형의 커패시터(280)를 형성한다.

이로써, 매립된 게이트를 갖는 핀형 트랜지스터를 선택 트랜지스터로 사용하는 디램 장치를 완성할 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 의한 핀형 트랜지스터는 게이트 구조물과 액티브 핀에 형성된 트렌치 간의 미스얼라인이 발생되지 않는다. 또한, 상기 액티브 핀과 접속하는 콘택 저면의 면적이 증가됨으로서 콘택 저항을 감소시킬 수 있다. 그러므로, 상기 핀형 트랜지스터는 동작 특성이 우수하다. 또한, 상기 핀형 트랜지스터의 형성 시에 불량 발생도 감소시킬 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 게이트 전극과 리세스가 미스 얼라인된 전계 효과 트랜지스터의 단면도이다.

도 2는 본 발명의 실시예 1에 따른 핀 전계 효과 트랜지스터를 나타내는 사시도이다.

도 3a 내지 도 12c는 도 2에 도시된 핀 전계 효과 트랜지스터의 형성 방법을 설명하는 단면도들이다.

도 13은 도 5a 내지 도 5c에 대한 사시도이다.

도 14는 도 8a 내지 도 8c에 대한 사시도이다.

도 15는 본 발명의 실시예 2에 따른 디램 장치를 나타내는 단면도이다.

도 16 및 도 17은 도 15에 도시된 디램 장치에 포함되는 핀 전계 효과 트랜지스터의 형성 방법을 설명하기 위한 사시도이다.

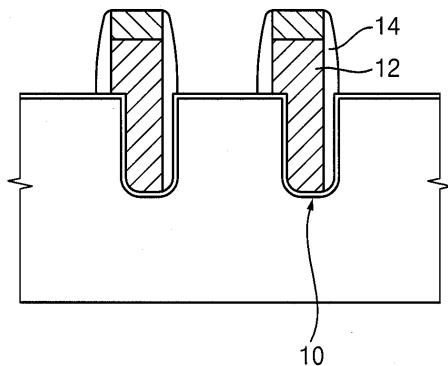
도 18 내지 도 21은 도 15에 도시된 디램 장치의 형성 방법을 설명하기 위한 단면도들이다.

도 22는 본 발명의 실시예 3에 따른 디램 장치를 나타내는 단면도이다.

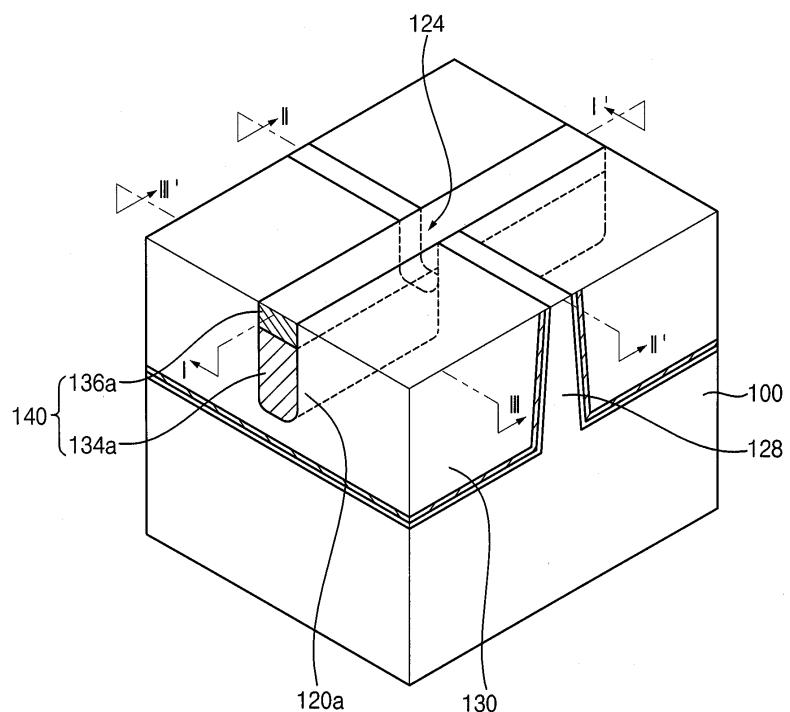
도 23 내지 도 26은 도 22에 도시된 디램 장치의 형성 방법을 설명하기 위한 단면도들이다.

도면

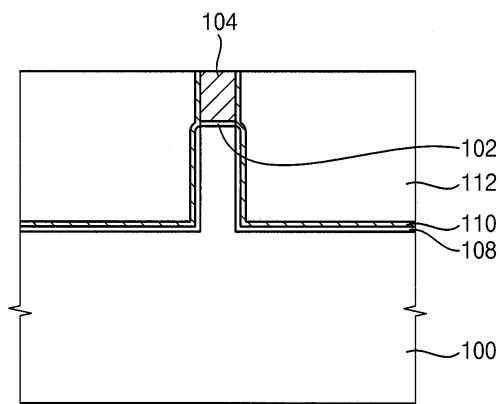
도면1



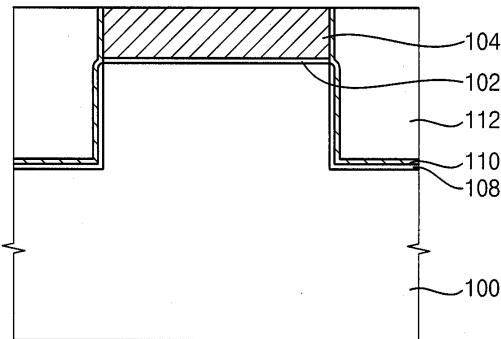
도면2



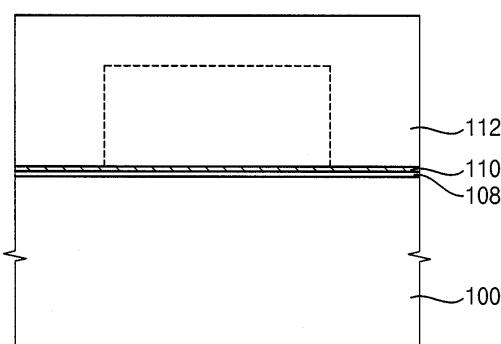
도면3a



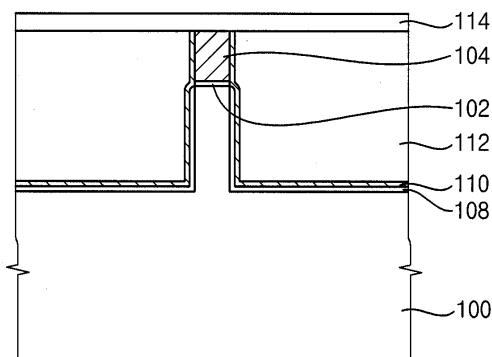
도면3b



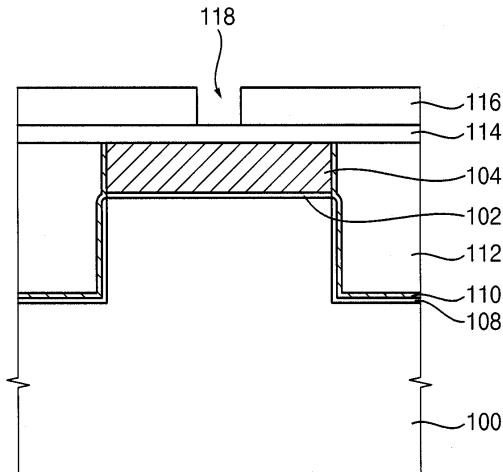
도면3c



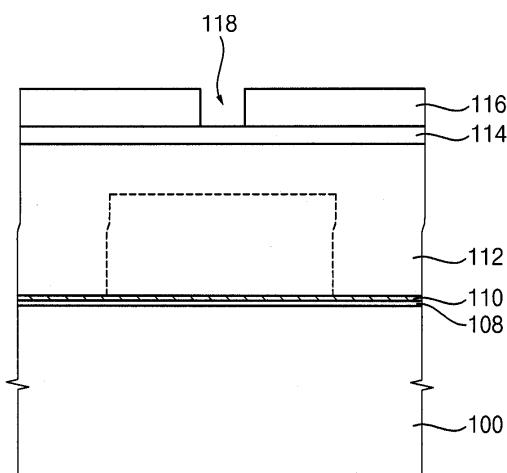
도면4a



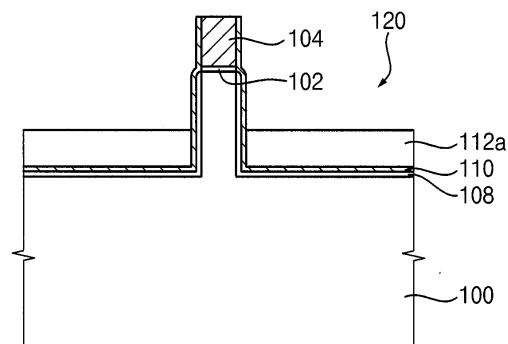
도면4b



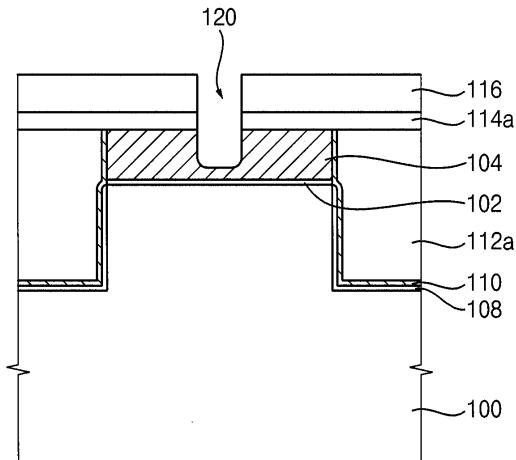
도면4c



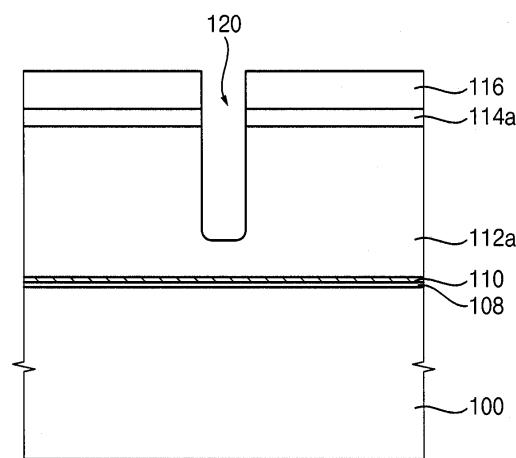
도면5a



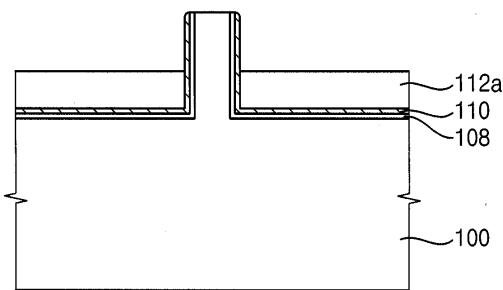
도면5b



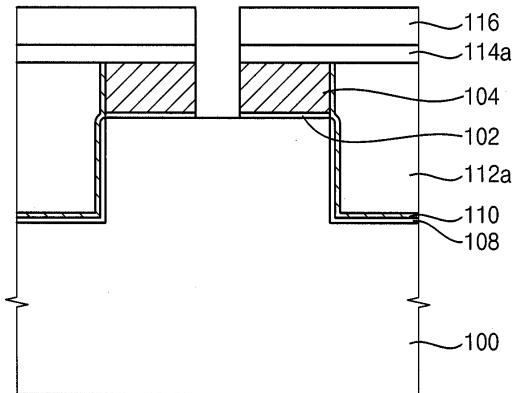
도면5c



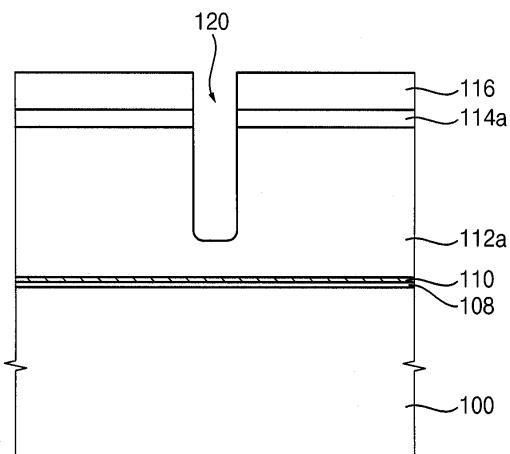
도면6a



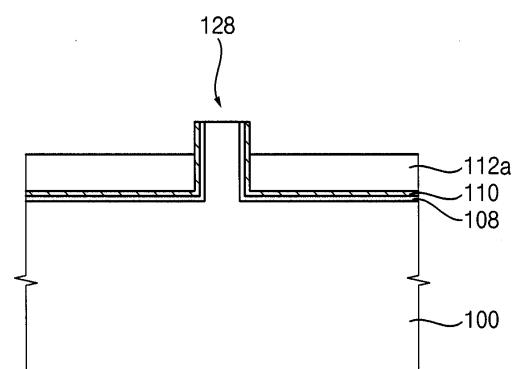
도면6b



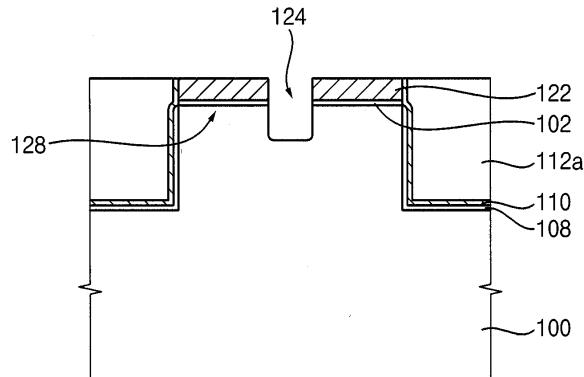
도면6c



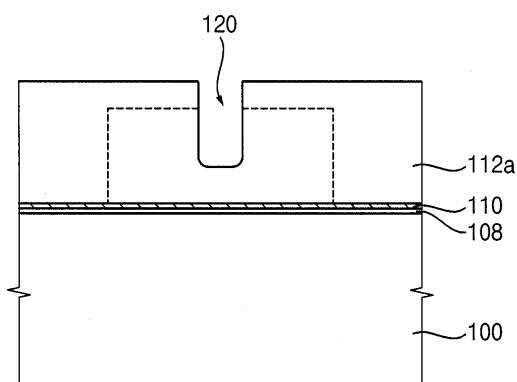
도면7a



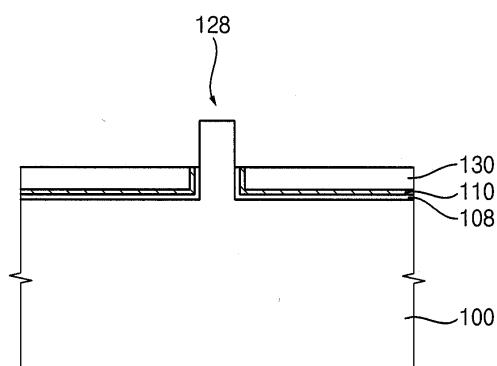
도면7b



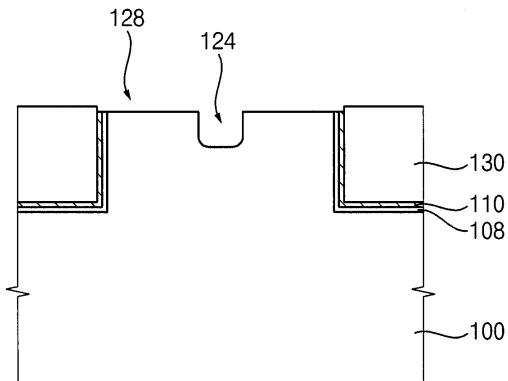
도면7c



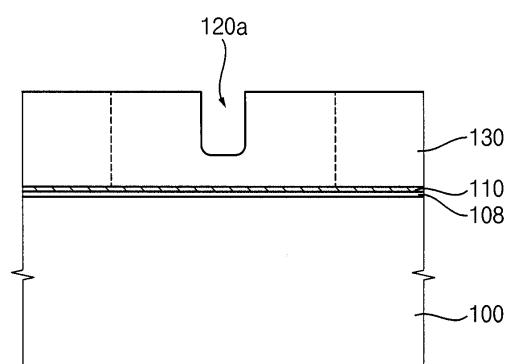
도면8a



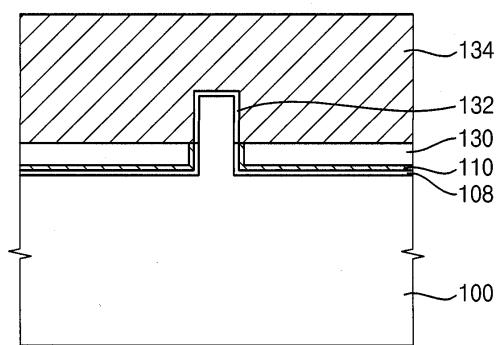
도면8b



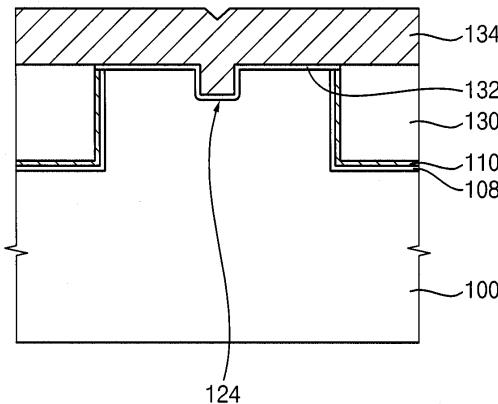
도면8c



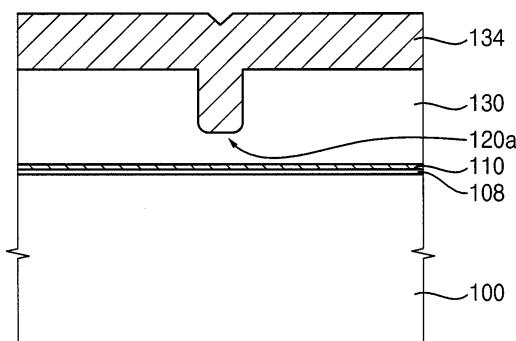
도면9a



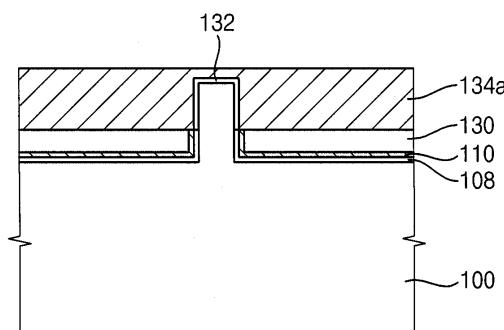
도면9b



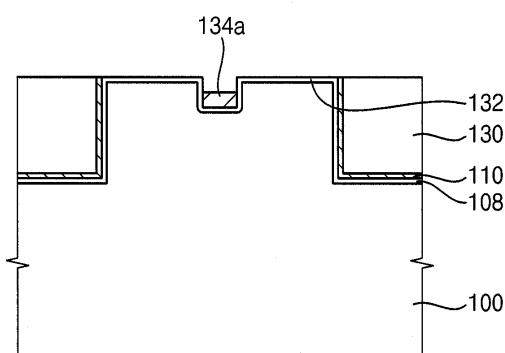
도면9c



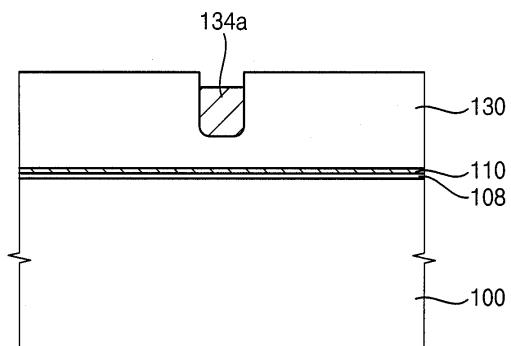
도면10a



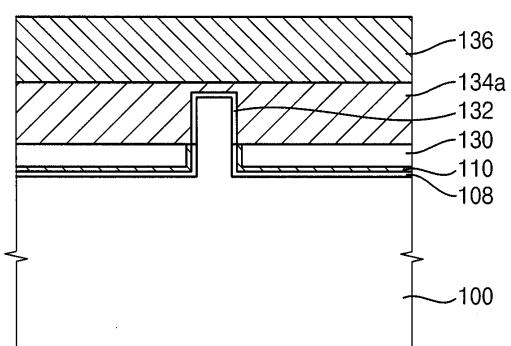
도면10b



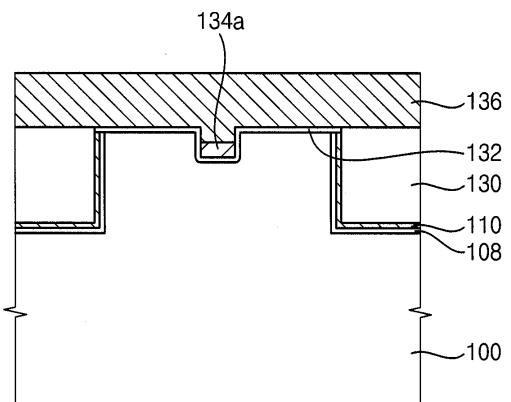
도면10c



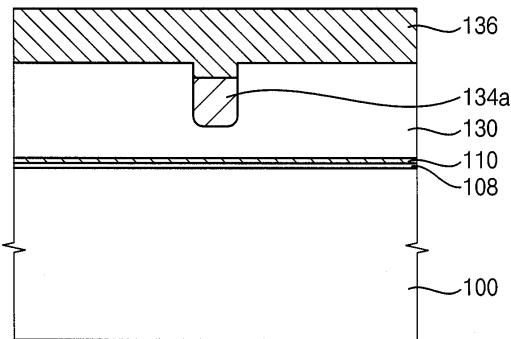
도면11a



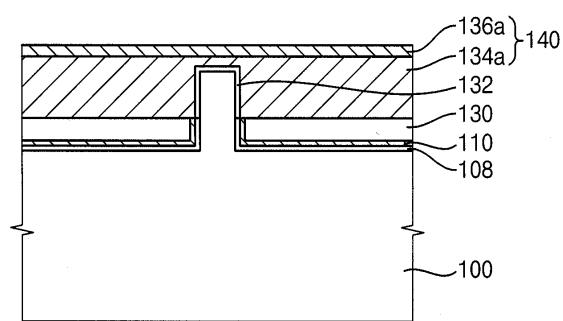
도면11b



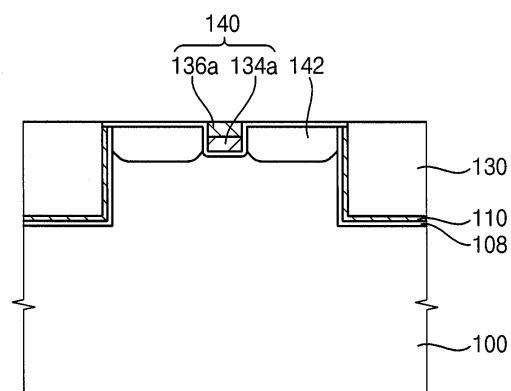
도면11c



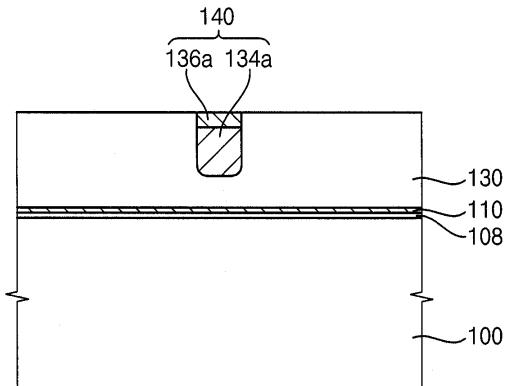
도면12a



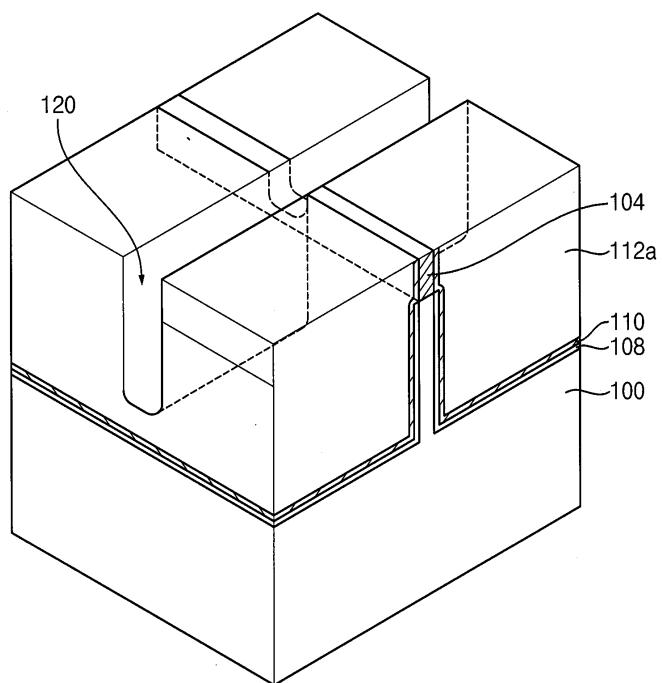
도면12b



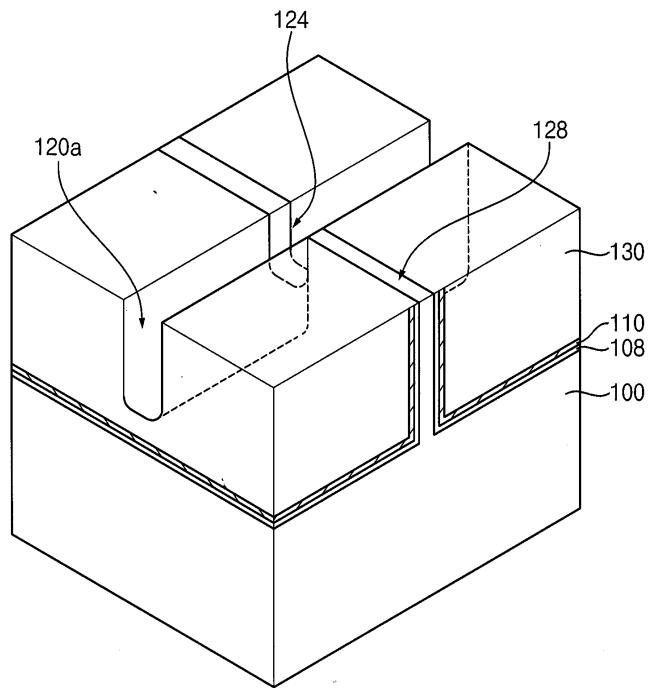
도면12c



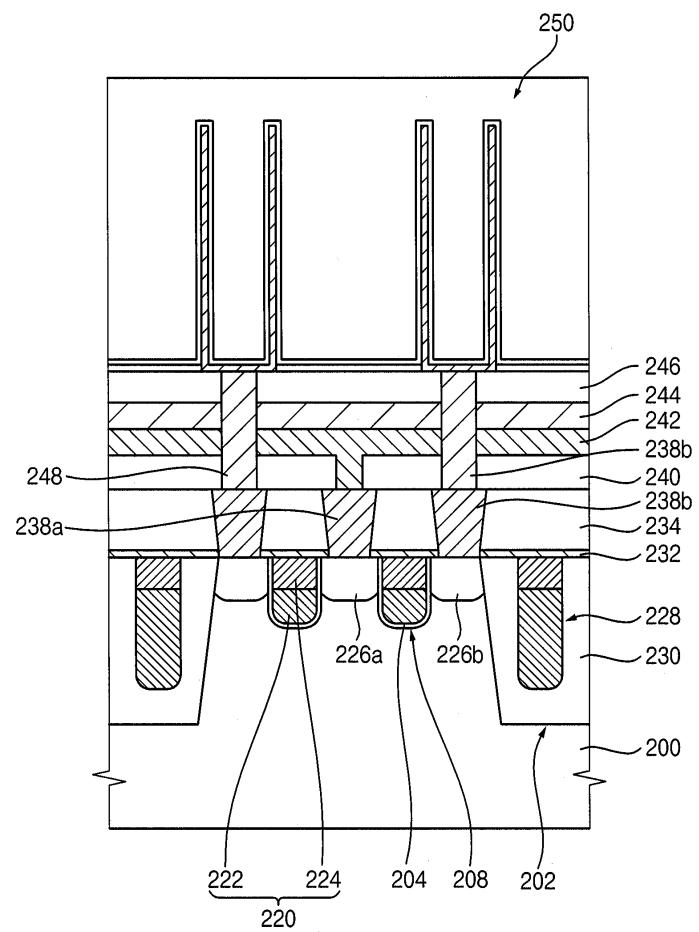
도면13



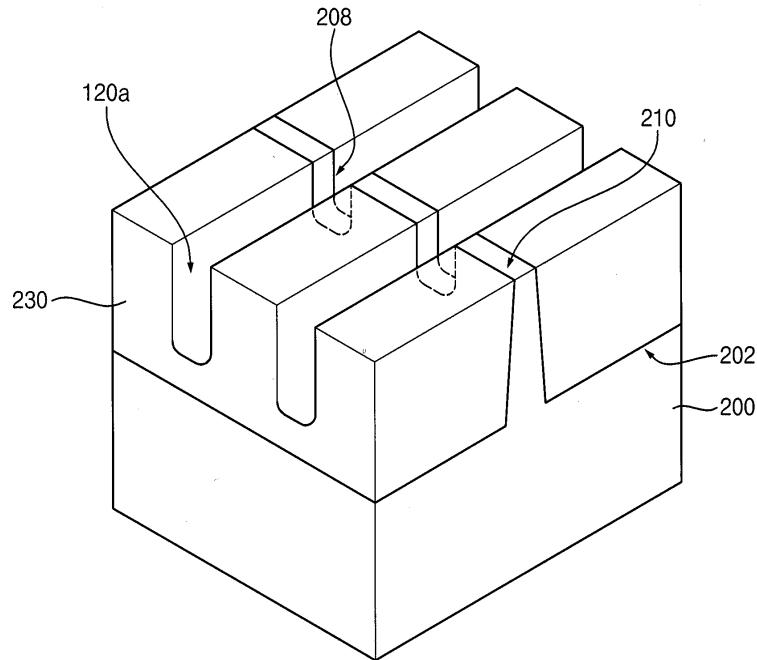
도면14



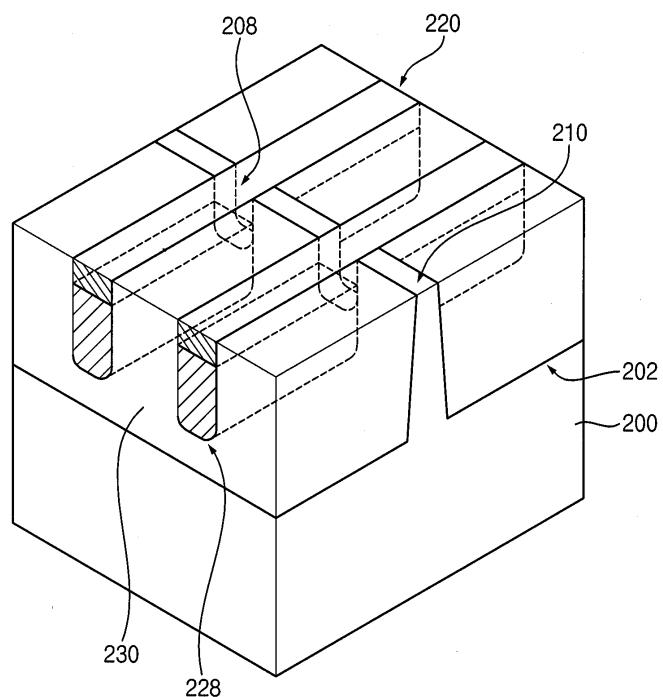
도면15



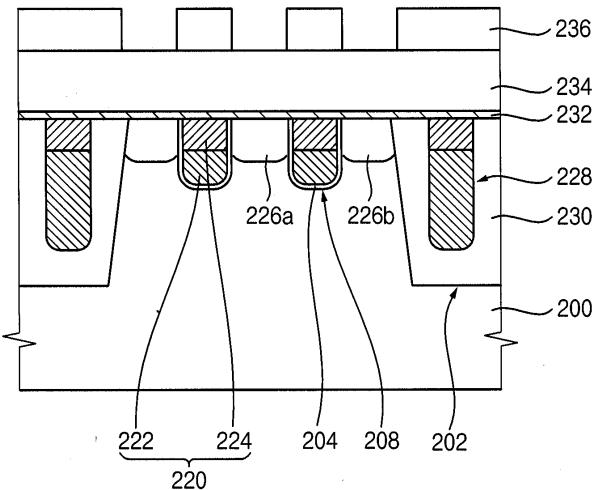
도면16



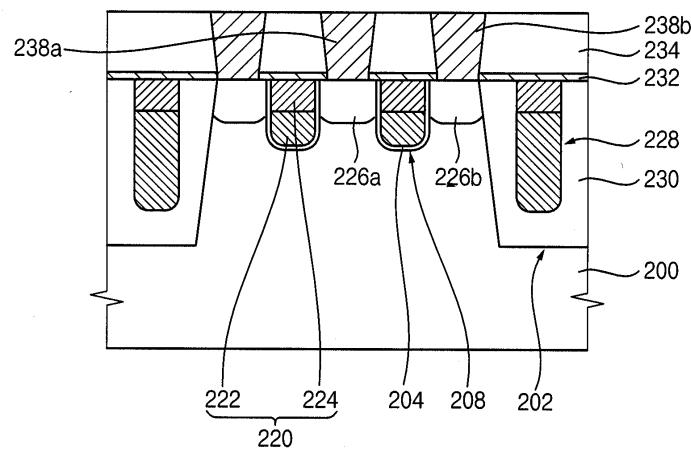
도면17



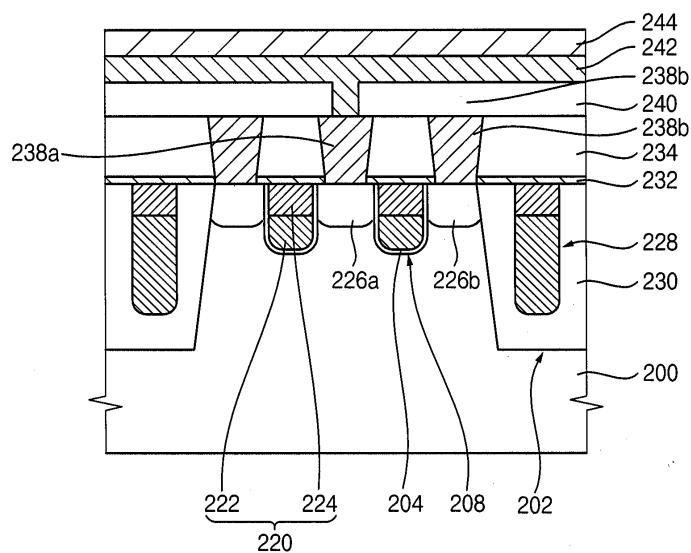
도면18



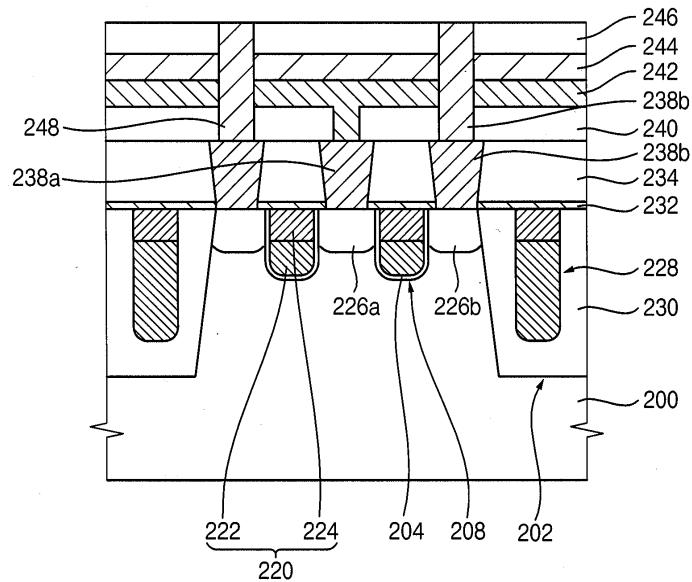
도면19



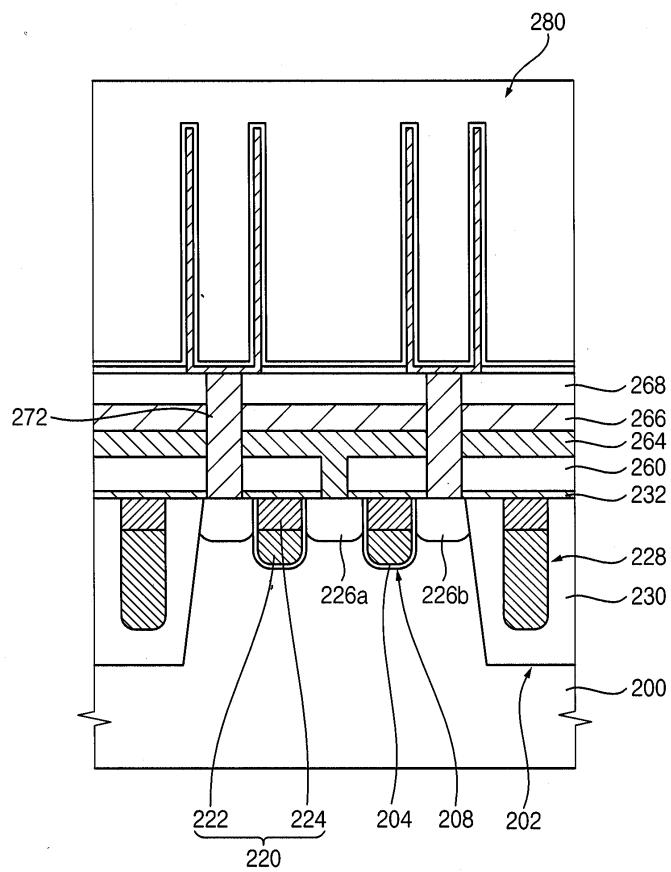
도면20



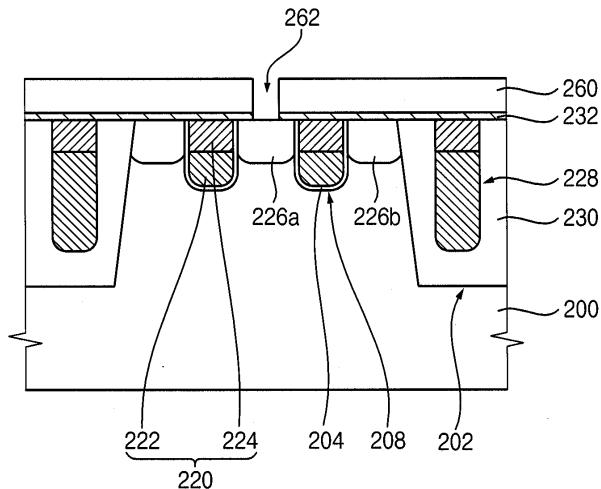
도면21



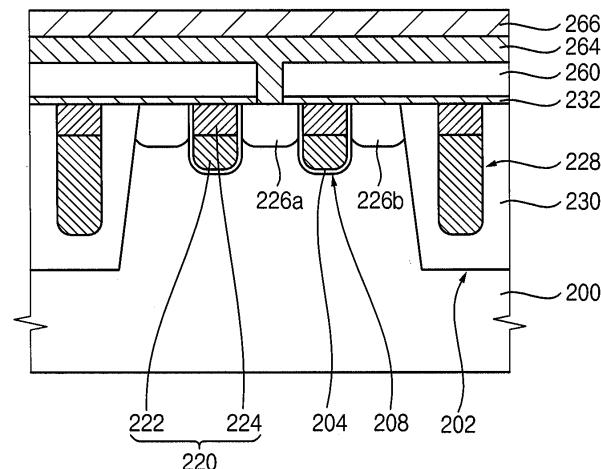
도면22



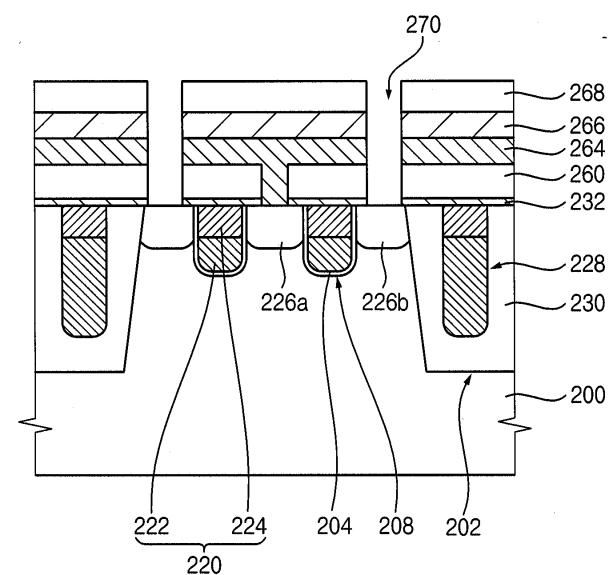
도면23



도면24



도면25



도면26

