



Patent dodatkowy
do patentu _____

Zgłoszono: 24.IV.1969 (P 133 151)

Pierwszeństwo: _____

Opublikowano: 31.V.1971

Kl. 21a¹, 36/20

MKP H 03 k, 13/243

UKD

Twórca wynalazku: Kazimierz Tabaka

Właściciel patentu: Instytut Tele- i Radiotechniczny, Warszawa (Polska)

Pamięć licząca

1

Wynalazek dotyczy pamięci liczącej z generatorem trzech impulsów, służącej do zapamiętywania informacji wprowadzonej do pamięci w kodzie dwójkowo-dziesiętnym 1248 + 3 oraz zamiany tego kodu na kod dwójkowo-dziesiętny 1248 lub

odwrotnie — przyjmowania informacji w kodzie 1248 i zamiany tego kodu na kod 1248 + 3. Znane układy elektroniczne służące do zapamiętywania informacji cyfrowej, wprowadzanej w kodzie dwójkowo-dziesiętnym o wagach 1248 + 3 oraz przekazania tej informacji do dalszych układów w kodzie dwójkowo-dziesiętnym o wagach 1248, zawierają oprócz pamięci specjalny układ, nazywany również deszyfratorem lub reszyfratorem, tłumaczący kod 1248 + 3 na kod 1248.

Do budowy pamięci elektronicznych wykorzystywane są różne podzespoły, np. zespoły ferotranzystorowe, taśmy i bębny magnetyczne itp. oraz przerzutniki. Te ostatnie są stosowane zwłaszcza do budowy pamięci w urządzeniach pomiarowo-kontrolnych, w których zachodzi potrzeba zapamiętywania informacji cyfrowej na krótki okres czasu, np. na okres od ułamków sekundy do kilku sekund, w którym urządzenie dokonuje nowego pomiaru. Po skończonym pomiarze wynik zostaje wpisany do pamięci w bardzo krótkim czasie, np. jednej mikrosekundy, i jest wskazywany przez urządzenie operatorowi oraz dodatkowo rejestrowany za pomocą urządzeń rejestrujących, takich jak drukarki cyfrowe, perforatory taśm itp.

2

Znane są również urządzenia cyfrowe, w których pamięci takiej nie zastosowano w gotowym rozwiązaniu firmowym i użytkownik kompletujący większy zestaw urządzeń musi pamięć zbudować.

W przypadku gdy informacja cyfrowa zapisana jest w kodzie dwójkowo-dziesiętnym o wagach 1248 + 3, a urządzenie odbierające tę informację posiada wejście w kodzie dwójkowo-dziesiętnym o wagach 1248 lub odwrotnie — informacja zapisana jest w kodzie dwójkowo-dziesiętnym o wagach 1248, a urządzenie odbierające posiada wejście w kodzie dwójkowo-dziesiętnym o wagach 1248 + 3 oraz zachodzi potrzeba zapamiętywania informacji — niezbędne jest budowanie układów tłumaczących kod wejściowy na kod wyjściowy niezależnie od zespołów pamięci.

Konieczność budowania układów tłumaczących rozbudowuje całe urządzenie, zwiększając koszty i zmniejszając niezawodność pracy.

Celem wynalazku jest usunięcie tych niedogodności oraz uniknięcie zbędnego nakładu środków technicznych do realizacji układów tłumaczących.

Aby cel ten osiągnąć, podjęto opracowanie pamięci, która służy jednocześnie do zapamiętywania i zamiany kodu 1248 + 3 na kod 1248 lub odwrotnie. Cel ten według wynalazku osiągnięto przez to, że przerzutniki pamięci, służące do zapamiętywania informacji jednej dekady, odpowiednio połączono między sobą.

Istota wynalazku polega na tym, że wszystkie zespoły pamięci dekadowych wykonane są w postaci znanych czterobitowych liczników binarnych, które swymi wejściami liczącymi połączone są równolegle do wyjścia generatora generującego trzy impulsy po zakończeniu impulsu wpisującego, przy czym czterobitowe liczniki binarne przekazujące informację w obrębie jednej dekady połączone są w licznik dodający dla zamiany kodu 1248 na kod $1248 + 3$ lub w licznik odejmujący dla zamiany kodu $1248 + 3$ na kod 1248. Umożliwia to dodawanie lub odjęcie trzech impulsów równolegle we wszystkich dekadach w zależności od rodzaju zamienianego kodu i jest równoznaczne dodaniu lub odjęciu liczby 3 we wszystkich cyfrach dziesiętnych informacji kodowanej dwójkowo.

Układ zbudowany według wynalazku w przykładowym wykonaniu przedstawiono na rysunku. Na fig. 1 pokazano układ blokowy, na fig. 2 pamięć liczącą dla jednej dekady do zamiany kodu $1248 + 3$ na kod 1248, a na fig. 3 przedstawiono pamięć liczącą dla jednej dekady do zamiany kodu 1248 na kod $1248 + 3$.

Jak uwidoczniło na fig. 1, informacja wejściowa I_{we} ze źródła informacji I doprowadzana jest czteroprzewodowo dla każdej dekady do bloku III układów wpisywania $UP_1 - UP_n$ i dalej do bloku V pamięci liczących $PL_1 - PL_n$. Każda dekadowa pamięć licząca $PL_1 - PL_n$ kasowana jest impulsem kasującym IV, a następnie impulsem II do każdej pamięci PL wpisana jest informacja wejściowa I_{we} poprzez układy UP. Po zakończeniu impulsu II pobudzony zostaje generator G_s , wytwarzający grupę trzech impulsów VI, które doprowadzone są równolegle do wszystkich pamięci liczących PL. Jeśli informacja wejściowa I_{we} zakodowana jest w kodzie $1248 + 3$, to wówczas grupa trzech impulsów jest odejmowana w każdej pamięci dekadowej $PL_1 - PL_n$ od stanu wpisanego. W ten sposób za pomocą układu według wynalazku otrzymuje się zamianę kodu informacji wejściowej I_{we} z $1248 + 3$ na informację wyjściową I_{wy} w kodzie 1248.

Jeśli informacja wejściowa I_{we} zakodowana jest w kodzie 1248 i dokonuje się zamiany na informację zakodowaną w kodzie $1248 + 3$, to wówczas pamięć licząca każdej dekady połączona jest w układ dodający i po wpisaniu informacji I_{we} do pamięci liczących $PL_1 - PL_n$ doprowadzone są trzy impulsy z generatora G_s są dodawane do stanu wpisanego i tym sposobem informacja wyjściowa I_{wy} zakodowana będzie w kodzie $1248 + 3$.

Na fig. 2 uwidoczniło pamięć liczącą dla jednej dekady, służącą do zamiany kodu $1248 + 3$ na

kod 1248. Informacja wejściowa I_{we} wpisywana jest do pamięci liczącej V (PL) impulsem II po uprzednim skasowaniu impulsem IV. Po zakończeniu impulsu wpisującego II do wejścia liczącego pamięci V doprowadzone są trzy impulsy VI. Pamięć licząca V zbudowana jest z czterech przerzutników $P_1 - P_4$ połączonych w licznik binarny w ten sposób, że do wejścia liczącego każdego następnego przerzutnika doprowadzony jest sygnał z tego wyjścia poprzedniego przerzutnika, który osiąga stan logiczny I po skasowaniu pamięci, tzn. według fig. 2 z dolnych wyjść przerzutników. Informacja wyjściowa wyprowadzona jest z tych wyjść przerzutników, które po skasowaniu impulsem IV osiągają stan logiczny 0, tzn. na fig. 2 z górnych wyjść przerzutników.

Na fig. 3 przedstawiono układ pamięci liczącej dla jednej dekady, służący do zamiany kodu 1248 na kod $1248 + 3$. Układ połączeń według fig. 3 różni się od układu według fig. 2 tym, że informacja wejściowa I_{we} doprowadzona jest w kodzie 1248, pamięć licząca V połączona w licznik binarny 4-bitowy w ten sposób, że do wejścia liczącego każdego następnego przerzutnika dołączone jest to wyjście poprzedniego przerzutnika, które osiąga stan zero po skasowaniu pamięci liczącej impulsem IV. Informację wyjściową w kodzie $1248 + 3$ otrzymuje się również z tych samych wyjść przerzutników $P_1 - P_4$.

Zastrzeżenie patentowe

Pamięć licząca jedno- lub wielodekadowa przeznaczona do przechowywania i zamiany kodu informacji wprowadzanej w znany sposób sygnałami zerojedynkowymi równolegle czteroprzewodowo lub ośmioprzewodowo w obrębie każdej dekady na wejście informacyjne, **znamienna tym**, że wszystkie zespoły pamięci dekadowych $PL_1 - PL_n$ wykonane są w postaci znanych czterobitowych liczników binarnych, które swymi wyjściami liczącymi połączone są równolegle do wyjścia generatora (G_s) generującego trzy impulsy (VI) po zakończeniu impulsu wpisującego (II), przy czym czterobitowe liczniki binarne przechowujące informację w obrębie jednej dekady połączone są w licznik dodający dla zamiany kodu 1248 na kod $1248 + 3$ lub w licznik odejmujący dla zamiany kodu $1248 + 3$ na kod 1248, co umożliwia dodanie lub odjęcie trzech impulsów równolegle we wszystkich dekadach w zależności od rodzaju zamienianego kodu i jest równoważne dodaniu lub odjęciu liczby 3 we wszystkich cyfrach dziesiętnych informacji kodowanej dwójkowo.

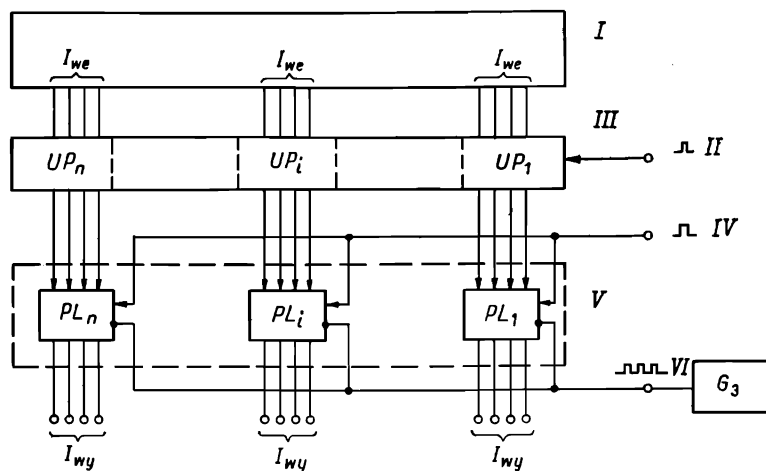


Fig. 1

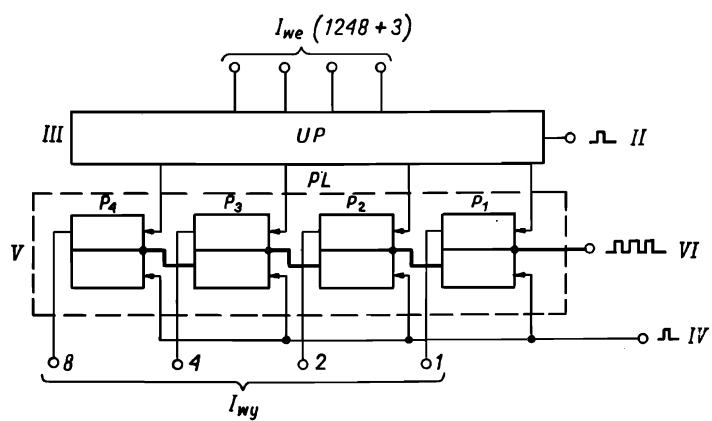


Fig. 2

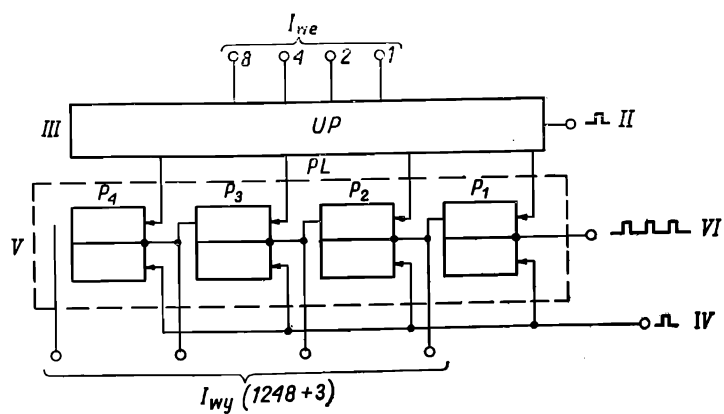


Fig. 3