

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-200602

(P2004-200602A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int.Cl.⁷

H01G 4/12

H01G 4/30

H01G 13/00

F I

H01G 4/12

352

H01G 4/12

364

H01G 4/30

301B

H01G 4/30

311E

H01G 13/00

391B

テーマコード (参考)

5E001

5E082

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願2002-370586 (P2002-370586)

(22) 出願日 平成14年12月20日 (2002.12.20)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(74) 代理人 100084548

弁理士 小森 久夫

(72) 発明者 有富 克朋

京都府長岡京市天神二丁目26番10号

株式会社村田製作所内

Fターム(参考) 5E001 AB03 AF06 AH00 AH01 AJ03

5E082 AB03 BC38 FG26 GG01 GG10

GG28 JJ03 JJ15 JJ23 LL01

PP10

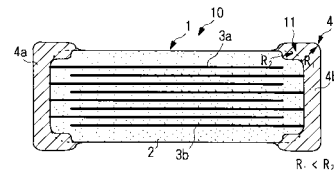
(54) 【発明の名称】 セラミック電子部品およびその製造方法

(57) 【要約】

【課題】 ツームストーン現象の発生を防止するセラミック電子部品を構成する。

【解決手段】 素体1の外部電極4a, 4bが形成される端面から上面および下面にかけての肩部11が曲率半径 R_2 で形成されている場合に、外部電極4a, 4bの端面から上面および下面にかけての肩部41が素体1の肩部11の曲率半径 R_2 よりも小さい曲率半径 R_1 となるように外部電極4a, 4bを形成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

両端面と両端面間の周囲面とを有するセラミック素体と、セラミック素体の長手方向の両端部に外部電極を設けたセラミック電子部品において、

前記外部電極の両端面から周囲面にかけての肩部の曲率半径が、前記セラミック素体の両端面から周囲面にかけての肩部の曲率半径よりも小さいことを特徴とするセラミック電子部品。

【請求項 2】

請求項 1 に記載のセラミック電子部品の製造方法であって、底面と側面との接合部が所定の曲率半径で形成されたペースト充填穴に、焼結することで前記外部電極となる外部電極ペーストを充填し、前記ペースト充填穴に前記セラミック素体を内部電極が露出する長手方向の端面から挿入し、前記セラミック素体を前記外部電極ペーストに浸漬させた状態で乾燥する工程を含むセラミック電子部品の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、セラミック素体の両端部に外部電極を備えたセラミック電子部品およびセラミック素体に外部電極を形成する方法に関するものである。

【0002】

【従来の技術】

20

表面実装型のセラミック電子部品として、例えば、図 7 に示すようなセラミック層 2 を介して複数の内部電極 3 a , 3 b を互いに対向するように積層して素体 1 を形成し、該素体 1 の両端部に内部電極 3 a , 3 b にそれぞれ導通する外部電極 4 a , 4 b を設けた積層セラミックコンデンサ 10 がある。

【0003】

このような積層セラミックコンデンサは、これが用いられる電子機器の小型化にともない、その外形寸法が小型化している。

【0004】

一方で、積層セラミックコンデンサを構成する素体は、その製造工程において素体同士が衝突してカケやワレを生じないように、内部電極が露出する端面からその周囲面にかけての肩部がパレル研磨等により、所定の曲率半径 R_2 を有するように形成されている。

30

【0005】

このように形成された素体 1 の両端部に外部電極 4 a , 4 b を形成する場合、外部電極 4 a , 4 b の外形の端面から周囲面のうちの上面および下面にかけての肩部 4 1 が所定の曲率半径 R_1 を有する形状となる。この外部電極 4 a , 4 b の曲率半径 R_1 は、素体 1 の曲率半径 R_2 を有する肩部 1 1 上に所定の厚みをもって外部電極 4 a , 4 b が形成されることから、素体 1 の肩部 1 1 の曲率半径 R_2 よりも大きくなってしまふ。

【0006】

また、最近の積層セラミックコンデンサにおいては、高容量化にともない積層する内部電極数が増加する傾向にある。このように積層する内部電極数が増加すると、両端の外部電極 4 a , 4 b にそれぞれ接続する内部電極 3 a , 3 b を交互に積層する中央部と、いずれか一方の外部電極 4 a または 4 b に接続する内部電極 3 a または 3 b のみが積層されている端部付近とでは素体 1 の厚みが異なってしまう、端部付近の厚みが小さくなる。その結果、外部電極 4 a , 4 b の曲率半径 R_1 がさらに大きくなる傾向にある。

40

【0007】

このため、積層セラミックコンデンサ 10 の外形寸法が小さくなるにもかかわらず、相対的に外部電極 4 a , 4 b の全表面に対する、肩部 4 1 の割合が増加してしまうこととなっていた。

【0008】

ところで、上記のような小型の積層セラミックコンデンサ 10 を、例えば、半田リフロー

50

で実装する場合、図 8 に示すように、両端の外部電極 4 a , 4 b における半田の表面張力の差により、積層セラミックコンデンサ 1 0 が実装基板 2 0 0 のランド 2 0 1 上に立ち上がるツームストーン現象が発生するという問題がある。

【 0 0 0 9 】

この問題を解決する方法として、外部電極の肩部を所定の曲率半径以下にするとともに、外部電極の略中央部に、周辺部との段差が所定値の突出部を設けたセラミック電子部品が考案されている（例えば、特許文献 1 参照。 ）。

【 0 0 1 0 】

【特許文献 1 】

特開平 1 0 - 2 2 1 6 4 号公報

10

【 0 0 1 1 】

【発明が解決しようとする課題】

特許文献 1 に開示されたセラミック電子部品では、外部電極に形成された前記突出部とその周辺との段差部分が、セラミック電子部品が立ち上がることを抑制する機能を果たす。

【 0 0 1 2 】

すなわち、外部電極をこのような構成とすることで、半田リフロー中に外部電極に半田が塗れ上がって行く過程で、チップが立ち上がりかけても、半田の塗れ上がりが突出部とその周辺の段差部に達した段階で、半田が外部電極を引く方向が変化して分散されるので、結果的にチップが立ち上がらないというものである。

【 0 0 1 3 】

20

しかしながら、上記したように高容量化により、内部電極が増加した結果、外部電極の肩部の曲率半径が大きくなる傾向にあり、外部電極に突出部を形成しただけではツームストーン現象を防止することはできなかった。これは、外部電極の肩部の曲率半径が大きくなることにより、半田の表面張力による立ち上がりモーメントが小さくなる、すなわち、立ち上がりのために必要な力が小さくなって立ち上がりやすくなっているためである。

【 0 0 1 4 】

この発明の目的は、ツームストーン現象を防止するセラミック電子部品を構成すること、および、該セラミック電子部品の製造方法、特にセラミック電子部品の外部電極の製造方法に関することにある。

【 0 0 1 5 】

30

【課題を解決するための手段】

この発明に係るセラミック電子部品は、両端面と両端面間の周囲面とを有するセラミック素体とセラミック素体の長手方向の両端部に外部電極を設けたセラミック電子部品において、外部電極の両端面から周囲面にかけての肩部の曲率半径が、セラミック素体の両端面から周囲面にかけての肩部の曲率半径よりも小さく形成したことを特徴としている。

【 0 0 1 6 】

この構成では、外部電極の側面と底面との肩部の曲率半径が小さいため、半田の表面張力によるチップの立ち上がりに要するモーメント（以下、「チップ立ちモーメント」という。）が大きくなり、リフロー実装時のツームストーン現象（チップ立ち）を防止する。

【 0 0 1 7 】

40

また、この発明に係るセラミック電子部品の製造方法は、底面から側面にかけての肩部が所定の曲率半径で形成されたペースト充填穴に、焼結することで外部電極となる外部電極ペーストを充填し、ペースト充填穴にセラミック素体を内部電極が露出する長手方向の端面から挿入し、セラミック素体を外部電極ペーストに浸漬させたままの状態乾燥する工程を含むことを特徴としている。

【 0 0 1 8 】

この構成では、ペースト充填穴の底面と側面との肩部を、予めセラミック素体の長手方向の端面から側面にかけての肩部よりも小さい曲率半径で形成しておく。そして、ペースト充填穴に外部電極ペーストを充填し、セラミック素体を浸漬した状態のまま乾燥した後に、ペースト充填穴からはずすことで、外部電極に所定の曲率半径の肩部が形成される。

50

【 0 0 1 9 】

【 発明の実施の形態 】

本発明の実施形態に係るセラミック電子部品について図を参照して説明する。

なお、本実施形態では、セラミック電子部品として積層セラミックコンデンサを例に説明する。

【 0 0 2 0 】

図 1 は本実施形態に係る積層セラミックコンデンサの構造を示す断面図である。

また、図 2 は外部電極ペーストを充填する治具の外観斜視図である。

また、図 3 は外部電極の形成工程を示した図である。

【 0 0 2 1 】

図 1 に示すように、積層セラミックコンデンサは、セラミック層 2 と内部電極 3 a , 3 b とが交互に所定枚数積層された素体 1 と、該素体 1 の内部電極 3 a , 3 b が露出する両端面に形成された一对の外部電極 4 a , 4 b とにより構成される。

【 0 0 2 2 】

素体 1 における外部電極 4 a , 4 b が形成されている端面から上面および下面にかけての肩部 1 1 は曲率半径 R_2 を有しており、外部電極 4 a , 4 b の端面から上面および下面にかけての肩部 4 1 は曲率半径 R_1 ($< R_2$) を有している。

【 0 0 2 3 】

図 1 に示すような積層セラミックコンデンサは、次の工法で形成される。

まず、内部電極パターンが形成されていないセラミックグリーンシート 2 を所定枚数積層した後、表面に内部電極パターン 3 a が形成されているセラミックグリーンシート 2 と内部電極パターン 3 b が形成されているセラミックグリーンシート 2 とを交互に所定枚数積層する。さらに内部電極パターンが形成されていないセラミックグリーンシート 2 を所定枚数積層・加圧して積層体を形成し、該積層体からそれぞれが単一の積層セラミックコンデンサとなる素体 1 を切り出し、カケやワレを抑制するためにバレル研磨等により研磨する。このようにして作成された素体 1 は、図に示すように、内部電極パターン 3 a , 3 b がセラミック層 2 を介し交互に重なり合って積層されている中央部と、内部電極パターン 3 a または内部電極パターン 3 b のみがセラミック層 2 を介して積層されている端部とから構成される。端部は内部電極パターンの積層枚数が中央部よりも少ないため、素体 1 の端部の厚みは中央部の厚みより小さくなり、肩部 1 1 に段差が生じている。従って、この場合、曲率半径 R_2 は図 1 に破線で示すものとなる。

【 0 0 2 4 】

次に、図 2 に示すような治具を用い、素体 1 の内部電極パターン 3 a , 3 b が露出する端部に外部電極ペースト 4 0 を塗布する。

図 2 において、1 0 0 は外部電極ペースト塗布治具であり、複数の充填穴 1 0 1 が配設されている。この治具 1 0 0 の断面図は図 3 (a) であり、充填穴 1 0 1 は形成する外部電極の形状により、所定の開口面積および深さが設定されている。また、各充填穴 1 0 1 の底面から側面にかけての肩部は所定の曲率半径 R_1 を有する。ここで、充填穴 1 0 1 は、素体 1 の端面から上面および下面にかけての肩部 1 1 の曲率半径 R_2 よりも小さい曲率半径で形成されている。

【 0 0 2 5 】

このように形成された充填穴 1 0 1 に、図 3 (b) に示すように外部電極ペースト 4 0 を充填する。

次に、素体保持具 1 0 2 を用いて素体 1 を保持し、図 3 (c) に示すように、外部電極ペースト 4 0 が充填された充填穴 1 0 1 に、素体 1 を、外部電極を形成する端面側から挿入する。そして、外部電極ペースト塗布治具 1 0 0 と素体保持具 1 0 2 とを所定位置で固定し、素体 1 を充填穴 1 0 1 内の外部電極ペースト 2 0 に浸漬させたまま乾燥する。外部電極ペースト 4 0 が乾燥した後、素体保持具 1 0 2 を外部電極ペースト塗布治具 1 0 0 から離間することで、素体 1 を充填穴 1 0 1 から取り出す。

【 0 0 2 6 】

10

20

30

40

50

このような工程を経ることで、図 3 (d) に示すように、所定の曲率半径 R_1 を有する外部電極 4 を素体 1 の端面に形成することができる。この後、素体 1 の対向する端面についても、同様の工程で外部電極 4 を形成し、焼結することで、積層セラミックコンデンサを形成することができる。

【 0 0 2 7 】

次に、素体の曲率半径 R_2 と外部電極の曲率半径 R_1 の大きさと、チップ立ち不良との関係を調査した実験結果について表を参照して説明する。

本実験は、外形寸法が $1.6 \times 0.8 \times 0.8 \text{ mm}$ 、 $2.0 \times 1.25 \times 1.25 \text{ mm}$ 、 $3.2 \times 1.6 \times 1.6 \text{ mm}$ の三種類の積層セラミックコンデンサを用意し、素体の曲率半径 R_2 と外部電極の曲率半径 R_1 とを数種類組み合わせ、実験用の積層セラミックコンデンサを作成した。このように作成した積層セラミックコンデンサを、リフロー用半田ペーストが塗布されたランドを備える基板に実装し、リフローによる半田付けを行い、チップ立ち不良の発生率を観測した。その結果を表 1 に示す。

10

【 0 0 2 8 】

【表 1】

外形寸法 長さ×幅×高さ (mm)	素体の曲率半径 R_2 (μm)	外部電極の曲率半径 R_1 (μm)	R_1/R_2	チップ立ち不良 発生数
1.6×0.8 $\times 0.8$	100	140	1.40	23/1000
	100	100	1.00	4/1000
	100	90	0.90	0/1000
	100	80	0.80	0/1000
	80	80	1.00	2/1000
	80	70	0.88	0/1000
	80	0	0.00	0/1000
2.0×1.25 $\times 1.25$	150	180	1.20	16/1000
	150	150	1.00	2/1000
	150	120	0.80	0/1000
	150	80	0.53	0/1000
	150	50	0.33	0/1000
	200	200	1.00	4/1000
	200	100	0.50	0/1000
3.2×1.6 $\times 1.6$	200	50	0.25	0/1000
	190	250	1.32	11/1000
	190	190	1.00	2/1000
	190	130	0.68	0/1000
	190	100	0.53	0/1000
	190	80	0.42	0/1000
	100	100	1.00	3/1000
	100	80	0.80	0/1000
	100	50	0.50	0/1000

20

30

40

【 0 0 2 9 】

表 1 に示すように、どの外形寸法の積層セラミックコンデンサにおいても、外部電極の曲率半径 R_1 が素体の曲率半径 R_2 よりも小さければチップ立ち不良は発生しない。これは、外部電極の曲率半径 R_1 が素体の曲率半径 R_2 よりも小さくなることで、チップ立ちモーメントが大きくなったためと考えられる。

【 0 0 3 0 】

なお、曲率半径が 0 のものは略直角を示しており、本願の外部電極の所定の曲率半径はこのような 0 の状態も含むものである。

【 0 0 3 1 】

50

このように、外部電極の曲率半径 R_1 を素体の曲率半径 R_2 よりも小さくして積層セラミックコンデンサを形成することで、リフロー実装時に発生するツームストーン現象を防止することができる。

【0032】

なお、本実施形態では、外部電極ペーストを充填穴に充填し、この充填穴に素体を挿入した状態で乾燥することにより、外部電極に所定の曲率半径 R_1 を形成する方法を示したが、図4に示すような方法を用いてもよい。

図4は外部電極に所定の曲率半径を形成する方法を示した概念図である。

なお、図4で示す積層セラミックコンデンサは、図1のものより積層数が少ないものであり、素体1aに段差は生じない程度のものである。

10

【0033】

まず、図4(a)に示すように、素体1の両端部に外部電極ペーストを塗布し、乾燥させることで外部電極4a, 4bを形成する。次に、所定の切削具を用いて外部電極4a, 4bを切削し、所定の曲率半径 R_1 (図4の例では、曲率半径 $R_1 = 0$ 、すなわち直角) となるように加工する。このように外部電極4a, 4bを形成した後に、焼結して積層セラミックコンデンサ10aを形成する。

【0034】

このような工法を用いても、外部電極に所定の曲率半径を有する肩部を形成することができ、リフロー実装時に発生するツームストーン現象を防止することができる。

【0035】

20

また、外部電極4a, 4bの形状として、図5に示すような構造を用いてもよい。

図5は積層セラミックコンデンサの側面図、外部電極側から見た正面図、および側面部分拡大図である。

図5に示す積層セラミックコンデンサの外部電極4a, 4bは、4つの肩部41に突起部42を設けたものである。

この突起部42は、図5(c)に示すように、突起部42の頂点を經由する仮想曲面(図中の破線)の曲率半径 R_3 が素体1の曲率半径 R_2 よりも小さくなるような形状で形成されている。このような突起部42は、前述の外部電極ペーストを充填する充填穴に突起部42に対応する凹部を設けることにより形成することができる。

【0036】

30

なお、突起部42の形状は、図6(a)に示すように外部電極4b(4a)の肩部41の幅方向の中央部に設けるようなものでもよく、図6(b)に示すように外部電極の端面から上面および下面にかけ肩部41に沿って、所定の長さに設けるようなものであってもよい。

【0037】

このように、仮想曲面の曲率半径が素体の肩部の曲率半径 R_3 が素体の曲率半径よりも小さくなるように、突起部を有する外部電極を用いても、上述の実施形態と同様にリフロー実装時のツームストーン現象を防止することができる。また、このような突起部を有する形状とすることにより、上述のように所定の曲率半径になるように(例えば、図5(c)における仮想曲面が外部電極の外面になるように)、外部電極を形成する必要がないので、外部電極の大きさを小さくすることができ、外部電極ペーストの消費量を抑制することができる。

40

【0038】

また、本発明は、肩部に段差のある素体でも肩部に段差のない素体でも適用できるが、段差のある素体の場合、外部電極の曲率半径が大きくなるため、本発明により効果的にツームストーン現象を抑制することができる。

【0039】

さらに、本発明は、周囲面が上面および下面を有する素体を用いたセラミック電子部品について説明したが、これに限るものではなく、例えば周囲面が円筒状であっても適用することができる。

50

【 0 0 4 0 】

【 発明の効果 】

この発明に係るセラミック電子部品によれば、外部電極の両端面から周囲面（特に上面および下面）にかけての肩部の曲率半径が、素体の両端面から周囲面（特に上面および下面）にかけての肩部の曲率半径よりも小さいなるように、外部電極を形成することにより、半田の表面張力によるチップ立ちモーメントが大きくなり、リフロー実装時のツームストーン現象を防止することができる。

【 0 0 4 1 】

また、この発明に係るセラミック電子部品の製造方法によれば、底面から側面にかけての肩部が所定の曲率半径で形成されたペースト充填穴に、焼結することで前記外部電極となる外部電極ペーストを充填し、ペースト充填穴に素体を内部電極が露出する長手方向の端面から挿入し、素体を外部電極ペーストに浸漬させせたままの状態乾燥するようにしたので、ペースト充填穴の底面と側面との肩部を、予めセラミック素体の長手方向の端面とこれに接する面との肩部よりも小さい曲率半径で形成しておくことにより、外部電極に素体の曲率半径より小さい、所望の曲率半径の肩部を形成することができる。

10

【 図面の簡単な説明 】

【 図 1 】 本発明の実施形態に係る積層セラミックコンデンサの構造を示す断面図

【 図 2 】 外部電極用導電ペーストを充填する治具の外観斜視図

【 図 3 】 外部電極の形成工程を示した図

【 図 4 】 外部電極に所定の曲率半径を形成する方法を示した概念図

20

【 図 5 】 積層セラミックコンデンサの側面図および外部電極側から見た正面図

【 図 6 】 積層セラミックコンデンサの外部電極側から見た正面図

【 図 7 】 従来の積層セラミックコンデンサの構造を示す断面図

【 図 8 】 ツームストーン現象を表す正面図

【 符号の説明 】

1 0 - 積層セラミックコンデンサ

1 - 素体

1 1 - 素体の肩部

2 - セラミック層

3 a , 3 b - 内部電極

30

4 a , 4 b - 外部電極

4 0 - 外部電極ペースト

4 1 - 外部電極の肩部

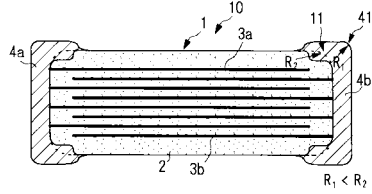
4 2 - 突起部

1 0 0 - 外部電極ペースト塗布治具

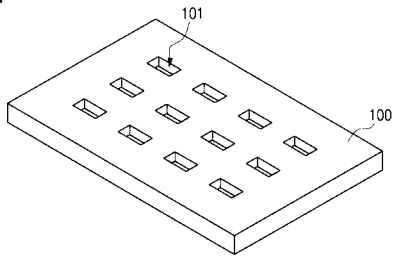
1 0 1 - 充填穴

1 0 2 - 素体保持具

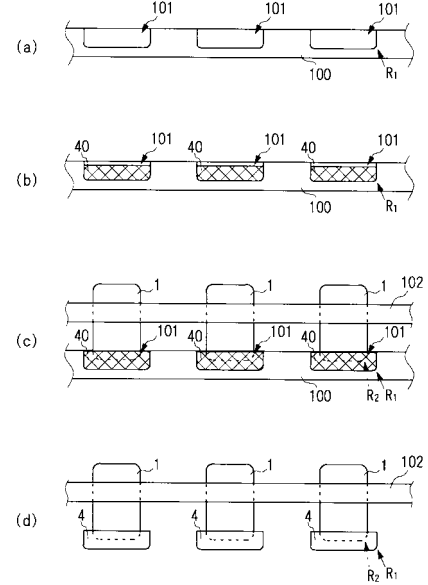
【図 1】



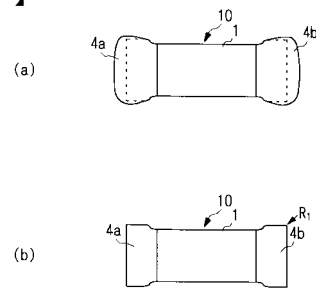
【図 2】



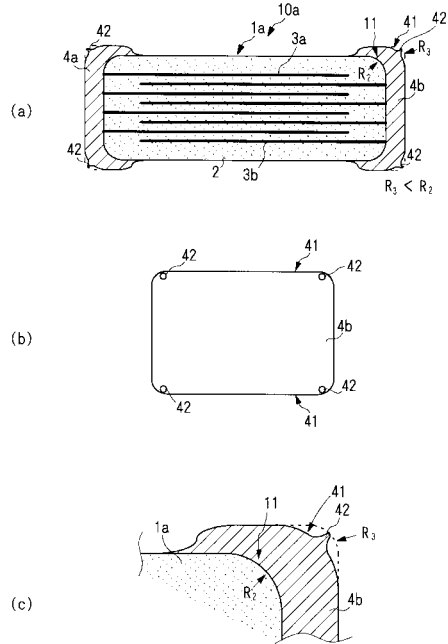
【図 3】



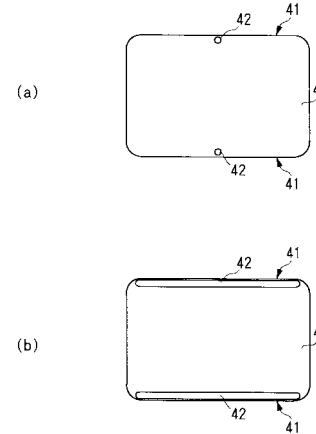
【図 4】



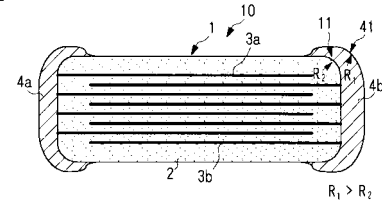
【図 5】



【図 6】



【図 7】



【 図 8 】

