

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2024-0121123
(43) 공개일자 2024년08월08일

- (51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) *G11C 7/10* (2021.01)
H03K 5/00 (2014.01) *H03K 5/24* (2006.01)
- (52) CPC특허분류
H04L 25/4917 (2013.01)
G11C 7/1078 (2013.01)
- (21) 출원번호 10-2023-0042291
 (22) 출원일자 2023년03월30일
 심사청구일자 없음
- (30) 우선권주장
 1020230013885 2023년02월01일 대한민국(KR)

- (71) 출원인
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 고려대학교 산학협력단
 서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
- (72) 발명자
 채관엽
 경기도 수원시 영통구 삼성로 129 (매탄동, 삼성전자)
 김철우
 서울특별시 강남구 선릉로 221, 401동 1003호(도곡동, 도곡렉슬아파트)
 (뒷면에 계속)
- (74) 대리인
 리엔목특허법인

전체 청구항 수 : 총 10 항

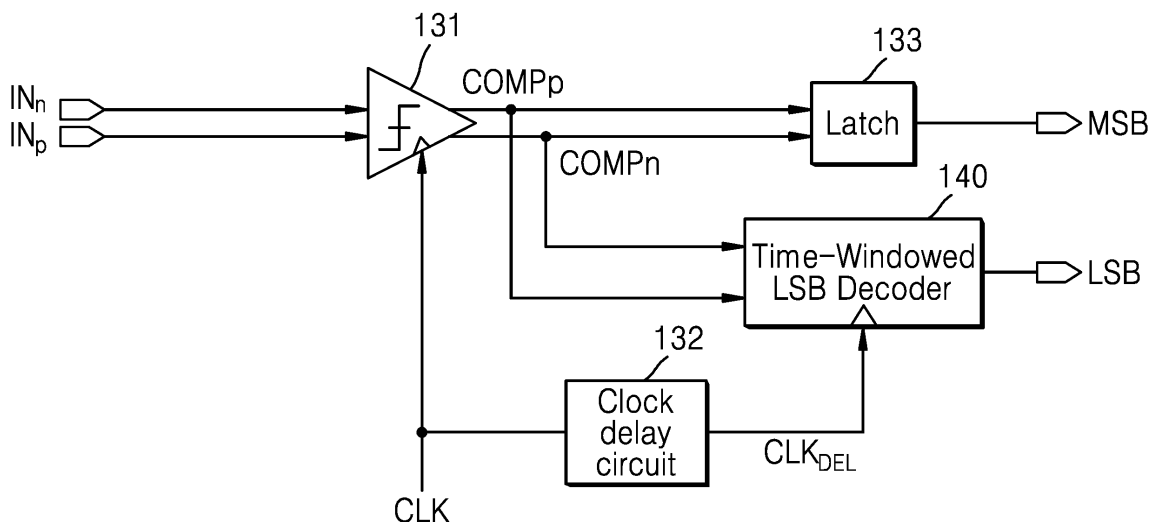
(54) 발명의 명칭 펄스 진폭 변조 디코더를 포함하는 수신기, 및 이를 포함하는 메모리 장치

(57) 요약

펄스 진폭 변조 디코더를 포함하는 수신기 및 이를 포함하는 메모리 장치가 개시된다. 본 개시의 기술적 사상에 따른 PAM-4 디코더는, 제1 입력 데이터, 제2 입력 데이터 및 클락 신호를 수신하고, 제1 입력 데이터 및 제2 입력 데이터에 대한 비교 결과를 지시하는 제1 비교 데이터 및 제2 비교 데이터를 출력하는 비교 회로, 클락 신호를 지연(delay)시켜 지연 클락 신호를 생성하는 클락 지연 회로 및 제1 비교 데이터, 제2 비교 데이터 및 지연 클락 신호를 수신하는 시간-윈도우 LSB 디코더를 포함하되, 시간-윈도우 LSB 디코더는 지연 클락 신호가 제1 레벨인 경우에 디코딩을 수행하는 것을 특징으로 할 수 있다.

대표도 - 도3

130



(52) CPC특허분류

H03K 5/24 (2013.01)

H03K 2005/00013 (2013.01)

(72) 발명자

최윤재

서울특별시 서초구 사평대로 310-4, 102동 1002호
(반포동, 반포 센트레빌 아스테리움)

강경근

경기도 수원시 영통구 삼성로 129 (매탄동, 삼성전자)

명세서

청구범위

청구항 1

제1 입력 데이터, 제2 입력 데이터 및 클락 신호를 수신하고, 상기 제1 입력 데이터 및 상기 제2 입력 데이터에 대한 비교 결과를 지시하는 제1 비교 데이터 및 제2 비교 데이터를 출력하는 비교 회로;

상기 클락 신호를 지연(delay)시켜 지연 클락 신호를 생성하는 클락 지연 회로; 및

상기 제1 비교 데이터, 상기 제2 비교 데이터 및 상기 지연 클락 신호를 수신하는 시간-윈도우 LSB 디코더를 포함하되,

상기 시간-윈도우 LSB 디코더는 상기 지연 클락 신호가 제1 레벨인 경우에 디코딩을 수행하는 것을 특징으로 하는 PAM-4(4-level Pulse Amplitude Modulation) 디코더.

청구항 2

제1 항에 있어서,

상기 제1 입력 데이터 및 상기 제2 입력 데이터는 2 비트 데이터이고,

상기 제1 입력 데이터 및 상기 제2 입력 데이터는 차동(differential) 데이터인 것을 특징으로 하는 PAM-4 디코더.

청구항 3

제1 항에 있어서,

상기 비교 회로와 전기적으로 연결되어, 상기 제1 비교 데이터 및 상기 제2 비교 데이터를 샘플링하여 MSB(Most Significant Bit)를 출력하는 래치를 더 포함하고,

상기 시간-윈도우 LSB 디코더는 상기 제1 비교 데이터, 상기 제2 비교 데이터 및 상기 지연 클락 신호를 디코딩하여 LSB(Least Significant Bit)를 출력하는 것을 특징으로 하는 PAM-4 디코더.

청구항 4

제1 항에 있어서,

상기 시간-윈도우 LSB 디코더는,

상기 제1 비교 데이터, 상기 제2 비교 데이터 및 상기 지연 클락 신호를 수신하여, 출력 OR 신호를 생성하는 클락 OR 게이트; 및

상기 클락 OR 게이트에 전기적으로 연결되어 상기 출력 OR 신호를 수신하고, LSB를 출력하는 플립 플롭을 포함하는 PAM-4 디코더.

청구항 5

제4 항에 있어서,

상기 시간-윈도우 LSB 디코더는,

상기 지연 클락 신호가 상기 제1 레벨이고, 상기 제1 비교 데이터 또는 제2비교 데이터가 상기 제1 레벨인 경우 상기 출력 OR 신호가 생성되는 것을 특징으로 하는 PAM-4 디코더.

청구항 6

제1 항에 있어서,

상기 시간-윈도우 LSB 디코더는,

상기 클락 신호의 상승(rising) 엣지와 상기 지연 클락 신호의 하강(falling) 엣지인 시간-윈도우 구간에서, 상기 제1 비교 데이터 및 상기 제2 비교 데이터를 기반으로 디코딩하는 것을 특징으로 하는 PAM-4 디코더.

청구항 7

PAM-n(n-level Pulse Amplitude Modulation) 디코더를 포함하는 수신기에 있어서,

상기 PAM-n 디코더는,

제1 입력 데이터, 제2 입력 데이터 및 클락 신호를 수신하고, 상기 제1 입력 데이터 및 상기 제2 입력 데이터에 대한 비교 결과를 지시하는 제1 비교 데이터 및 제2 비교 데이터를 출력하는 비교 회로;

상기 클락 신호를 지연(delay)시켜 지연 클락 신호를 생성하는 클락 지연 회로; 및

상기 제1 비교 데이터, 상기 제2 비교 데이터 및 상기 지연 클락 신호를 수신하는 시간-윈도우 LSB 디코더를 포함하되,

상기 시간-윈도우 LSB 디코더는 상기 지연 클락 신호가 제1 레벨인 경우에 디코딩을 수행하는 것을 특징으로 하는 수신기.

청구항 8

제7 항에 있어서,

상기 PAM-n은 PAM-4이고,

상기 제1 입력 데이터 및 상기 제2 입력 데이터는 2 비트 데이터이고, 상기 제1 비교 데이터 및 상기 제2 비교 데이터는 1 비트 데이터이고,

상기 제1 입력 데이터 및 상기 제2 입력 데이터는 차동(differential) 데이터인 것을 특징으로 하는 수신기.

청구항 9

제8 항에 있어서,

상기 PAM-4 디코더는,

상기 비교 회로와 전기적으로 연결되어, 상기 제1 비교 데이터 및 상기 제2 비교 데이터를 샘플링하여 MSB(Most Significant Bit)를 출력하는 래치를 더 포함하고,

상기 시간-윈도우 LSB 디코더는 상기 제1 비교 데이터, 상기 제2 비교 데이터 및 상기 지연 클락 신호를 디코딩하여 LSB(Least Significant Bit)를 출력하는 것을 특징으로 하는 수신기.

청구항 10

제7 항에 있어서,

상기 시간-윈도우 LSB 디코더는,

상기 지연 클락 신호가 상기 제1 레벨이고, 상기 제1 비교 데이터 또는 제2비교 데이터가 상기 제1 레벨인 경우 출력 OR 신호가 생성되고,

상기 클락 신호의 상승(rising) 엣지와 상기 지연 클락 신호의 하강(falling) 엣지인 시간-윈도우 구간에서, 상기 제1 비교 데이터 및 상기 제2 비교 데이터를 기반으로 디코딩하는 것을 특징으로 하는 수신기.

발명의 설명

기술 분야

본 개시의 기술적 사상은 전자 장치에 관한 것으로, 구체적으로는 펄스 진폭 변조 디코더를 포함하는 수신기 및 이를 포함하는 메모리 장치에 관한 것이다.

배경 기술

[0001]

[0002] 모바일 장치가 널리 보급되고 있고, 인터넷 접속량이 급격히 증가하고 있다. 이에 따라 고용량 및 고속 데이터 전송에 대한 요구가 증가하고 있다. 하지만, NRZ(Non-Return to Zero) 타입의 인코딩을 기반으로 하는 신호 변조 방식으로는 이러한 고용량 및 고속의 데이터 전송 요구를 만족시키기 어려운 실정이다. 최근에는 고용량과 고속 데이터 전송을 위한 요구 조건을 만족시키기 위해, 펄스 진폭 변조(Pulse Amplitude Modulation; PAM) 방식이 활발하게 연구되고 있다. 한편, 데이터 신호를 수신하는 수신기가 데이터 신호에 대한 디코딩을 수행함으로써, 수신된 데이터 신호의 신뢰성을 향상시키기 위한 연구도 진행되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 개시의 기술적 사상이 해결하려는 과제는, 기준 전압을 사용하지 않고 클락 지연 회로를 사용하고 비교 회로에 입력되는 전압 크기를 비교하고 비교 회로의 지연 시간을 활용함으로써, 전력 소모량을 감소시킬 수 있고 칩 면적을 줄일 수 있는 펄스 진폭 변조 디코더를 포함하는 수신기 및 이를 포함하는 메모리 장치를 제공하는 데 있다.

과제의 해결 수단

[0004] 본 개시의 기술적 사상에 따른 PAM-4 디코더는, 제1 입력 데이터, 제2 입력 데이터 및 클락 신호를 수신하고, 상기 제1 입력 데이터 및 상기 제2 입력 데이터에 대한 비교 결과를 지시하는 제1 비교 데이터 및 제2 비교 데이터를 출력하는 비교 회로, 상기 클락 신호를 지연(delay)시켜 지연 클락 신호를 생성하는 클락 지연 회로 및 상기 제1 비교 데이터, 상기 제2 비교 데이터 및 상기 지연 클락 신호를 수신하는 시간-윈도우 LSB 디코더를 포함하되, 상기 시간-윈도우 LSB 디코더는 상기 지연 클락 신호가 제1 레벨인 경우에 디코딩을 수행하는 것을 특징으로 할 수 있다.

[0005] 본 개시의 기술적 사상에 따른 PAM-n(n-level Pulse Amplitude Modulation) 디코더를 포함하는 수신기에 있어서, 상기 PAM-n 디코더는, 제1 입력 데이터, 제2 입력 데이터 및 클락 신호를 수신하고, 상기 제1 입력 데이터 및 상기 제2 입력 데이터에 대한 비교 결과를 지시하는 제1 비교 데이터 및 제2 비교 데이터를 출력하는 비교 회로, 상기 클락 신호를 지연(delay)시켜 지연 클락 신호를 생성하는 클락 지연 회로 및 상기 제1 비교 데이터, 상기 제2 비교 데이터 및 상기 지연 클락 신호를 수신하는 시간-윈도우 LSB 디코더를 포함하되, 상기 시간-윈도우 LSB 디코더는 상기 지연 클락 신호가 제1 레벨인 경우에 디코딩을 수행하는 것을 특징으로 할 수 있다.

[0006] 본 개시의 기술적 사상에 따른 PAM-n(n-level Pulse Amplitude Modulation)에 기반된 입력 데이터를 수신하도록 구성된 인터페이스를 포함하는 메모리 장치에 있어서, 상기 인터페이스는 PAM-n 디코더를 포함하고, 상기 PAM-n 디코더는, 제1 입력 데이터, 제2 입력 데이터 및 클락 신호를 수신하고, 상기 제1 입력 데이터 및 상기 제2 입력 데이터에 대한 비교 결과를 지시하는 제1 비교 데이터 및 제2 비교 데이터를 출력하는 비교 회로, 상기 클락 신호를 지연(delay)시켜 지연 클락 신호를 생성하는 클락 지연 회로 및 상기 제1 비교 데이터, 상기 제2 비교 데이터 및 상기 지연 클락 신호를 수신하는 시간-윈도우 LSB 디코더를 포함하되, 상기 시간-윈도우 LSB 디코더는 상기 지연 클락 신호가 제1 레벨인 경우에 디코딩을 수행하는 것을 특징으로 할 수 있다.

발명의 효과

[0007] 본 개시의 기술적 사상에 따르면, 기준 전압을 사용하지 않고 입력 데이터의 크기와 비교 회로의 지연 시간을 이용하여 디코딩함으로써, 전력 소모량을 줄일 수 있고 설계 복잡도 및 칩 면적을 줄일 수 있다는 효과가 있다.

[0008] 본 개시의 예시적 실시예들에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 아니하며, 언급되지 아니한 다른 효과들은 이하의 기재로부터 본 개시의 예시적 실시예들이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다. 즉, 본 개시의 예시적 실시예들을 실시함에 따른 의도하지 아니한 효과들 역시 본 개시의 예시적 실시예들로부터 당해 기술분야의 통상의 지식을 가진 자에 의해 도출될 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 개시의 예시적 실시예에 따른 전자 장치를 개략적으로 도시한 블록도이다.

도 2는 본 개시의 예시적 실시예에 따른 PAM-4 디코더에 기반된 입력 데이터를 도시한 도면이다.

도 3은 본 개시의 예시적 실시예에 따른 PAM-4 디코더를 도시한 블록도이다.

도 4는 본 개시의 예시적 실시예에 따른 시간 윈도우 LSB 디코더를 도시한 블록도이다.

도 5는 본 개시의 예시적 실시예에 따른 클락 OR 게이트를 도시한 블록도이다.

도 6은 본 개시의 예시적 실시예에 따른 클락 OR 게이트의 진리표를 도시한 도면이다.

도 7은 본 개시의 예시적 실시예에 따른 클락 지연 회로를 도시한 블록도이다.

도 8은 본 개시의 예시적 실시예에 따른 신호들의 동작을 설명하기 위한 타이밍도이다.

도 9는 본 개시의 예시적 실시예에 따른 PAM-4 디코더를 도시한 도면이다.

도 10은 본 개시의 예시적 실시예에 따른 메모리 장치를 도시한 블록도이다.

도 11은 본 개시의 예시적 실시예에 따른 통신 장치를 도시한 블록도이다.

도 12는 본 개시의 예시적 실시예에 따른 시스템들을 도시한 블록도이다.

도 13은 본 개시의 예시적 실시예에 따른 시스템-온-칩을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하, 첨부한 도면을 참조하여 본 개시의 실시예에 대해 상세히 설명한다.
- [0011] 도 1은 본 개시의 예시적 실시예에 따른 전자 장치(10)를 개략적으로 도시한 블록도이다.
- [0012] 도 1을 참조하면, 전자 장치(10)는 송신기(200) 및 수신기(100)를 포함할 수 있다. 이하에서, 서술의 편의상, 송신기(200) 및 수신기(100)는 입력 데이터(IN_n, IN_p)를 송수신하는 역할 측면에서 정의된 것으로, 역할은 이에 한정되지 않으며, 송신기(200), 수신기(100)는 입력 데이터(IN_n, IN_p)에 대한 데이터 프로세싱을 포함한 다양한 동작을 수행할 수 있다.
- [0013] 송신기(200)는 수신기(100)에 채널(CH)을 통해 입력 데이터(IN_n, IN_p)를 전송할 수 있다. 입력 데이터(IN_n, IN_p)는 n-레벨의 펄스 진폭 변조(n-level Pulse Amplitude Modulation; 이하, PAM-n으로 지칭)에 따라 n-비트 수의 심볼을 포함하여, 2^n 개의 데이터 값으로 표현될 수 있다. 일 예로, 도 2에 도시된 바와 같이, 송신기(200)는 PAM-4에 따라 2 비트 수의 심볼을 포함하여 4개의 데이터 값(00, 01, 10, 11)을 표현할 수 있는 입력 데이터(IN_n, IN_p)를 생성하여 출력할 수 있다.
- [0014] 일부 실시예들에서, 도 1에서의 입력 데이터(IN_n, IN_p)는 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)를 포함할 수 있다. 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)는 차동(differential) 데이터로 구현되어 송신기와 수신기(100) 사이의 차동 채널들을 통해 송수신될 수 있다. 하지만, 이에 한정되는 것은 아니다. 다른 실시예들에서, 입력 데이터(IN_n, IN_p)는 단일(single) 신호로서 구현되어 송신기(200)와 수신기(100) 사이의 단일 채널을 통해 송수신될 수 있다. 더 나아가,
- [0015] 한편, 도 1에서 도시된 PAM-4에 따른 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)를 수신하는 수신기(100)의 구현에는 예시적인 실시예에 불과한 바, 이에 국한되지 않으며, PAM-8, PAM-16 등에 기반된 데이터 신호를 수신하는 수신기(100)에도 본 개시의 기술적 사상이 적용될 수 있음은 분명하다.
- [0016] 수신기(100)는 인터페이스(110) 및 컨트롤러(120)를 포함할 수 있다. 인터페이스(110)는 PAM-4 디코더(130)를 포함할 수 있다. PAM-4 디코더(130)는 송신기(200)로부터 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)를 수신할 수 있고, PAM-4를 기반으로 디코딩하여 MSB(Most Significant Bit), LSB(Least Significant Bit)를 출력할 수 있다. 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)는 MSB, LSB를 포함하는 데이터일 수 있다. 인터페이스(110)는 생성된 MSB, LSB를 컨트롤러(120)에 제공할 수 있다.
- [0017] 본 개시의 예시적 실시예에 따른 PAM-4 디코더(130)는 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)에 대해 시간-윈도우 방식으로 디코딩을 수행할 수 있다. 구체적으로, PAM-4 디코더는 클락 신호의 상승 엣지와 지연 클락 신호의 하강 엣지에서 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)를 디코딩할 수 있다.
- [0018] 도 2는 본 개시의 예시적 실시예에 따른 PAM-4 디코더에 기반된 입력 데이터를 도시한 도면이다.
- [0019] 도 2에서는 4개의 레벨을 갖는 PAM-4에 기반된 입력 데이터(IN_n, IN_p)를 나타내고 있으나, 이는 이해의 편의를

위하여 전제된 예시적인 실시예로, 이에 국한되지 않으며, 8개 이상의 레벨을 갖는 PAM-n에 기반된 입력 데이터 (IN_n, IN_p)에도 본 개시의 기술적 사상이 적용될 수 있음은 충분히 이해될 것이다.

- [0020] 도 2를 참조하면, 입력 데이터(IN_n, IN_p)의 가장 낮은 제1 레벨(V1)은 2 비트 데이터 '00'에 맵핑될 수 있으며, 입력 데이터(IN_n, IN_p)의 가장 높은 제4 레벨(V4)은 비트 데이터 '10'에 맵핑될 수 있다. 입력 데이터(IN_n, IN_p)의 중간 레벨들(V2, V3)은 2 비트 데이터 '01, 11'에 맵핑될 수 있다. 상술한 제1 내지 제4 레벨들(V1~V4)과 입력 데이터의 맵핑은 그레이 코드(gray code) 방식에 따른 맵핑이며, 이는 예시적 실시예에 불과한 바, 다양한 목적에 따라 맵핑을 변경할 수 있다.
- [0021] 본 명세서에서는 이해의 편의상 PAM-4와 관련된 내용에서 도 2에 도시된 입력 데이터(IN_n, IN_p)의 제1 내지 제4 레벨들(V1~V4)과 2 비트 데이터의 맵핑 관계를 중심으로 본 개시의 기술적 사상이 서술되나, 이에 본 개시의 기술적 사상이 국한되지 않음은 충분히 이해될 것이다.
- [0022] 도 3은 본 개시의 예시적 실시예에 따른 PAM-4 디코더(130)를 도시한 블록도이다.
- [0023] 도 3에서는 PAM-4에 기반된 입력 데이터(IN_n, IN_p)를 수신하는 PAM-4 디코더(130)의 실시예를 나타내며, 이는 예시적 실시예에 불과한 바, 이하 서술되는 내용의 기술적 사상은 더 높은 차원의 PAM-n에 기반된 입력 데이터 (IN_n, IN_p)에도 적용될 수 있음은 분명하다. 도 3에서 이해를 돕기 위해 도 2가 더 참조될 수 있다.
- [0024] 도 3을 참조하면, PAM-4 디코더(130)는 비교 회로(131), 클락 지연 회로(132), 래치(133), 시간-윈도우 LSB 디코더(140)를 포함할 수 있다.
- [0025] 비교 회로(131)는 외부로부터 제1 입력 데이터(IN_p), 제2 입력 데이터(IN_n)를 수신할 수 있다. 예를 들어, 송신기(200)로부터 전송된 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)는 입력 버퍼로 수신되고, 비교 회로(131)는 입력 버퍼로부터 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)를 수신할 수 있다. 예를 들어, 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)는 차동(differential) 데이터일 수 있다. 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n) 각각은 2 비트 데이터일 수 있다. 비교 회로(131)는 외부로부터 클락 신호(CLK)를 수신할 수 있다. 예를 들어, 클락 신호(CLK)는 송신기(200)로부터 수신된 클락 신호일 수 있다. 다른 예로, 클락 신호(CLK)는 클락 데이터 복원기(Clock Data Recovery)를 통하여 수신기(100)에서 생성된 클락 신호일 수 있다. 다른 예로, 클락 신호는 위상 고정 루프(Phase Lock Loop)를 통하여 수신기(100)에서 생성된 클락 신호일 수 있다. 비교 회로(131)는 클락 신호(CLK)에 따라, 차동 데이터인 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)에 대한 비교 결과를 출력할 수 있다. 비교 회로(131)는 클락 신호(CLK)에 따라, 제1 입력 데이터(IN_p)와 제2 입력 데이터(IN_n)를 비교하여, 각각 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)로 출력할 수 있다. 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n) 각각은 1 비트 데이터일 수 있다.
- [0026] 클락 지연 회로(132)는 클락 신호(CLK)를 수신하여, 지연 클락 신호(CLK_{DEL})를 출력할 수 있다. 클락 지연 회로(132)의 구성에 대해서는 도 7에서 후술하기로 한다.
- [0027] 래치(133)는 비교 회로(131)와 전기적으로 연결될 수 있고, 비교 회로(131)로부터 출력된 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)를 수신할 수 있다. 예를 들어, 래치(133)는 SR 래치일 수 있다. 래치(133)는 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)를 기반하여, MSB를 출력할 수 있다. 래치(133)는 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)를 샘플링(sampling)하여 MSB를 출력할 수 있다.
- [0028] 시간 윈도우 LSB 디코더(140)는 클락 지연 회로(132)와 연결되고, 지연 클락 신호(CLK_{DEL})를 수신할 수 있다. 시간 윈도우 LSB 디코더(140)는 비교 회로(131)로부터 출력된 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)를 수신할 수 있다. 시간 윈도우 LSB 디코더(140)는 제1 비교 데이터(COMP_p), 제2 비교 데이터(COMP_n) 및 지연 클락 신호(CLK_{DEL})를 수신하여, 이를 기반으로 디코딩하여 LSB를 출력할 수 있다. 시간 윈도우 LSB 디코더(140)는 제1 비교 데이터(COMP_p), 제2 비교 데이터(COMP_n) 및 지연 클락 신호(CLK_{DEL})를 디코딩하여 LSB를 출력할 수 있다. 시간 윈도우 LSB 디코더(140)는 지연 클락 신호(CLK_{DEL})가 제1 레벨(예를 들어, 하이(high) 레벨)인 경우에 디코딩을 수행할 수 있다.
- [0029] 도 4는 본 개시의 예시적 실시예에 따른 시간-윈도우 LSB 디코더(140)를 도시한 블록도이다.
- [0030] 도 4를 참고하면, 시간-윈도우 LSB 디코더(140)는 클락 OR 게이트(141), 인버터(142) 및 플립 플롭(143)을 포함

할 수 있다.

- [0031] 클락 OR 게이트(141)는 비교 회로(131)로부터 제1 비교 데이터(COMP_p), 제2 비교 데이터(COMP_n)를 수신할 수 있고, 클락 지연 회로(132)로부터 지연 클락 신호(CLK_{DEL})를 수신할 수 있다. 클락 OR 게이트(141)는 지연 클락 신호(CLK_{DEL})에 따라 LSB를 디코딩할 수 있고, 그 결과를 출력 OR 신호(OR_{OUT})로 출력할 수 있다. 예를 들어, 클락 OR 게이트(141)는 클락 신호(CLK)의 상승(rising) 엣지와 지연 클락 신호(CLK_{DEL})의 하강(falling) 엣지에서 동작할 수 있다. 또한, 클락 OR 게이트(141)는 지연 클락 신호(CLK_{DEL})가 하이(high) 레벨인 경우에 동작할 수 있다.
- [0032] 인버터(142)는 지연 클락 신호(CLK_{DEL})를 수신할 수 있고, 이를 반전하여 플립 플롭 클락 신호(CLK_{FF})를 출력할 수 있다. 인버터(142)는 클락 OR 게이트(141)와 플립 플롭(143) 사이에 전기적으로 연결되어 플립 플롭 클락 신호(CLK_{FF})를 생성할 수 있다.
- [0033] 플립 플롭(143)은 인버터(142)로부터 플립 플롭 클락 신호(CLK_{FF})를 수신할 수 있고, 클락 OR 게이트(141)로부터 출력 OR 신호(OR_{OUT})를 수신할 수 있다. 플립 플롭(143)은 플립 플롭 클락 신호(CLK_{FF})를 통해 RZ(Return to Zero) 형태의 데이터인 OR 신호(OR_{OUT})를 샘플링함으로써 NRZ(Non-Return to Zero) 형태의 LSB 데이터로 복원 및 리타이밍(re-timing)한다. 플립 플롭(143)은 플립 플롭 클락 신호(CLK_{FF})에 동기되어 동작할 수 있다.
- [0034] 도 5는 본 개시의 예시적 실시예에 따른 클락 OR 게이트(141)를 도시한 블록도이다.
- [0035] 도 5를 참조하면, 클락 OR 게이트(141)는 복수의 트랜지스터들(T1~T10)로 구성될 수 있다. 클락 OR 게이트(141)는 NMOS 및/또는 PMOS 트랜지스터들로 구성될 수 있다. 제1 트랜지스터(T1)의 전극은 전원 전압(VDD)을 인가 받을 수 있고, 전극은 제4 트랜지스터(T4)와 연결될 수 있다. 제2 트랜지스터(T2)의 전극은 전원 전압(VDD)을 인가 받을 수 있고, 전극은 제3 트랜지스터(T3)와 연결될 수 있다. 제3 트랜지스터(T3)의 전극은 제2 트랜지스터(T2)와 연결될 수 있고, 전극은 연결 노드(N)에 연결될 수 있다. 제4 트랜지스터(T4)의 전극은 제1 트랜지스터(T1)와 연결될 수 있고, 전극은 연결 노드(N)에 연결될 수 있다. 제5 트랜지스터(T5)의 전극은 연결 노드(N)에 연결될 수 있고, 전극은 제7 트랜지스터(T7)와 연결될 수 있다. 제6 트랜지스터(T6)의 전극은 연결 노드(N)에 연결될 수 있고, 전극은 제8 트랜지스터(T8)에 연결될 수 있다. 제7 트랜지스터(T7)의 전극은 제5 트랜지스터(T5)와 연결될 수 있고, 전극은 접지 전압(GND)을 인가 받을 수 있다. 제8 트랜지스터(T8)의 전극은 제6 트랜지스터(T6)와 연결될 수 있고, 전극은 접지 전압(GND)을 인가 받을 수 있다.
- [0036] 제1 트랜지스터(T1) 및 제3 트랜지스터(T3)의 게이트는 제1 비교 데이터(COMP_p)를 수신할 수 있다. 제2 트랜지스터(T2) 및 제4 트랜지스터(T4)의 게이트는 제2 비교 데이터(COMP_n)를 수신할 수 있다. 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)의 게이트는 지연 클락 신호(CLK_{DEL})를 수신할 수 있다. 제7 트랜지스터(T7)의 게이트는 제1 비교 데이터(COMP_p)를 수신할 수 있고, 제8 트랜지스터(T8)의 게이트는 제2 비교 데이터(COMP_n)를 수신할 수 있다.
- [0037] 제9 트랜지스터(T9)의 전극은 전원 전압(VDD)의 전극은 전원 전압(VDD)을 인가 받을 수 있고, 전극은 연결 노드(N)와 연결될 수 있다. 제10 트랜지스터(T10)의 전극은 연결 노드(N)와 연결될 수 있고, 전극은 접지 전압(GND)을 인가 받을 수 있다. 제9 트랜지스터(T9) 및 제10 트랜지스터의 게이트는 연결 노드(N)로부터 제1 비교 데이터(COMP_p), 제2 비교 데이터(COMP_n) 및 지연 클락 신호(CLK_{DEL})를 수신할 수 있다.
- [0038] 도 6은 본 개시의 예시적 실시예에 따른 클락 OR 게이트의 진리표를 도시한 도면이다.
- [0039] 도 6을 참조하면, 클락 OR 게이트는 제1 비교 데이터(COMP_p), 제2 비교 데이터(COMP_n) 및 지연 클락 신호(CLK_{DEL})를 기반으로 출력 OR 신호(OR_{OUT})를 생성할 수 있다.
- [0040] 도 6에 도시된 바와 같이, 지연 클락 신호(CLK_{DEL})가 0인 경우에, 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)의 비트(논리) 값이 모두 0인 경우에, 데이터 비트 값이 '0'인 출력 OR 신호가 생성될 수 있다. 제1 비교 데이터(COMP_p)의 비트 값이 1이고, 제2 비교 데이터(COMP_n)의 비트 값이 0이고, 'OR_{OUT}[n-1]'인 출력 OR 신호가 생성될 수 있다. OR_{OUT}[n-1]의 데이터 비트 값은 0 또는 1일 수 있다. 여기서, OR_{OUT}[n-1]은 이전 데이터 비트 값

일 수 있고, $OR_{OUT}[n]$ 은 현재 데이터 비트 값일 수 있다. 제1 비교 데이터($COMP_p$)의 비트 값이 0이고, 제2 비교 데이터($COMP_n$)의 비트 값이 1인 경우에도 ' $OR_{OUT}[n-1]$ '인 출력 OR 신호가 생성될 수 있다. 제1 비교 데이터($COMP_p$) 및 제2 비교 데이터($COMP_n$)의 비트 값이 모두 1인 경우에, ' $OR_{OUT}[n-1]$ '인 출력 OR 신호가 생성될 수 있다.

[0041] 반대로, 지연 클락 신호(CLK_{DEL})가 1인 경우에 대해서 살펴보기로 한다. 제1 비교 데이터($COMP_p$) 및 제2 비교 데이터($COMP_n$)의 비트 값이 모두 0인 경우에는 데이터 비트 값이 '0'인 출력 OR 신호가 생성될 수 있다. 제1 비교 데이터($COMP_p$)의 비트 값이 1이고, 제2 비교 데이터($COMP_n$)의 비트 값이 0인 경우에, 데이터 비트 값이 '1'인 출력 OR 신호가 생성될 수 있다. 제1 비교 데이터($COMP_p$)의 비트 값이 0이고, 제2 비교 데이터($COMP_n$)의 비트 값이 1인 경우에도 데이터 비트 값이 '1'인 출력 OR 신호가 생성될 수 있다. 제1 비교 데이터($COMP_p$) 및 제2 비교 데이터($COMP_n$)의 비트 값이 모두 1인 경우에도 데이터 비트 값이 '1'인 출력 OR 신호가 생성될 수 있다. 즉, 지연 클락 신호(CLK_{DEL})가 1인 경우에는 클락 OR 게이트가 동작할 수 있고, '1'인 출력 OR 신호를 생성할 수 있다.

[0042] 도 7은 본 개시의 예시적 실시예에 따른 클락 지연 회로(132)를 도시한 블록도이다.

[0043] 도 7을 참조하면, 클락 지연 회로(132)는 인버터(150)를 포함할 수 있다. 인버터(150)는 클락 신호(CLK)를 수신할 수 있고, 지연 클락 신호(CLK_{DEL})를 출력할 수 있다. 클락 지연 회로(132)는 클락 신호(CLK)를 인버팅(inverting)하여 지연시켜 지연 클락 신호(CLK_{DEL})를 생성할 수 있다. 클락 지연 회로(132)는 필요에 따라 지연 시간을 조절할 수 있다.

[0044] 도 8은 본 개시의 예시적 실시예에 따른 신호들의 동작을 설명하기 위한 타이밍도이다.

[0045] 도 8 및 도 2를 함께 참조하면, PAM-4 디코더는 제1 입력 데이터(IN_p), 제2 입력 데이터(IN_n)를 수신할 수 있다. 제1 입력 데이터(IN_p), 제2 입력 데이터(IN_n)는 각각 2 비트 데이터일 수 있다. 제1 입력 데이터(IN_p), 제2 입력 데이터(IN_n)가 (11, 01), (10, 00), (00, 10), (01, 11)로 입력되는 경우를 설명하도록 한다. 예를 들어, (11, 01)은 제1 입력 데이터(IN_p)의 MSB가 1이고, 제2 입력 데이터(IN_n)의 LSB가 1일 수 있다. 여기서, 제2 입력 데이터(IN_n)는 제1 입력 데이터(IN_p)의 차동 데이터로 MSB가 0이고, LSB가 1일 수 있다.

[0046] 시간-윈도우(window)는, 클락 신호(CLK)의 상승(rising) 엣지부터 클락 지연 신호(CLK_{DEL})의 하강(falling) 엣지까지 해당되는 기간에 대응될 수 있다. 예를 들어, 도 3의 시간 윈도우 LSB 디코더(140)는 클락 신호(CLK)의 상승 엣지부터 클락 지연 신호(CLK_{DEL})의 하강 엣지인 시간-윈도우 구간에서, 제1 비교 데이터($COMP_p$) 및 제2 비교 데이터($COMP_n$)를 기반으로 디코딩할 수 있다.

[0047] 입력 데이터가 (11, 01)로 입력되는 경우에는 시간-윈도우(window) 구간에서 출력 OR 신호(OR_{OUT})는 거의 로우 레벨을 유지할 수 있다. LSB는 1을 유지할 수 있다.

[0048] 입력 데이터가 (10, 00)으로 입력되는 경우에는 시간-윈도우 구간에서 출력 OR 신호(OR_{OUT})는 로우 레벨에서 하이 레벨로 천이될 수 있다. LSB는 0을 유지할 수 있다.

[0049] 입력 데이터가 (00, 10)으로 입력되는 경우에는 시간-윈도우 구간에서 출력 OR 신호(OR_{OUT})는 로우 레벨에서 하이 레벨로 천이될 수 있다. LSB는 0을 유지할 수 있다.

[0050] 입력 데이터가 (01, 11)로 입력되는 경우에는 시간-윈도우(window) 구간에서 출력 OR 신호(OR_{OUT})는 거의 로우 레벨을 유지할 수 있다. LSB는 1을 유지할 수 있다.

[0051] 이와 같이, 제1 입력 데이터(IN_p)의 LSB가 0인 경우에, 출력 OR 신호(OR_{OUT})가 하이 레벨로 천이될 수 있고, 디코딩된 LSB는 0을 유지할 수 있다.

[0052] 도 9는 본 개시의 예시적 실시예에 따른 수신기(300)를 도시한 도면이다.

[0053] 도 9를 참조하면, 수신기(300)는 제1 PAM-4 디코더(400), 제2 PAM-4 디코더(500)를 포함할 수 있다. 도 3과 중복되는 설명은 생략하기로 한다.

[0054] 제1 PAM-4 디코더(400)는 제1 비교 회로(410), 제1 클락 지연 회로(420), 제1 래치(430), 제1 시간-윈도우 LSB 디코더(440)를 포함할 수 있다. 제2 PAM-4 디코더(500)는 제2 비교 회로(510), 제2 클락 지연 회로(520), 제2 래치(530), 제2 시간-윈도우 LSB 디코더(540)를 포함할 수 있다.

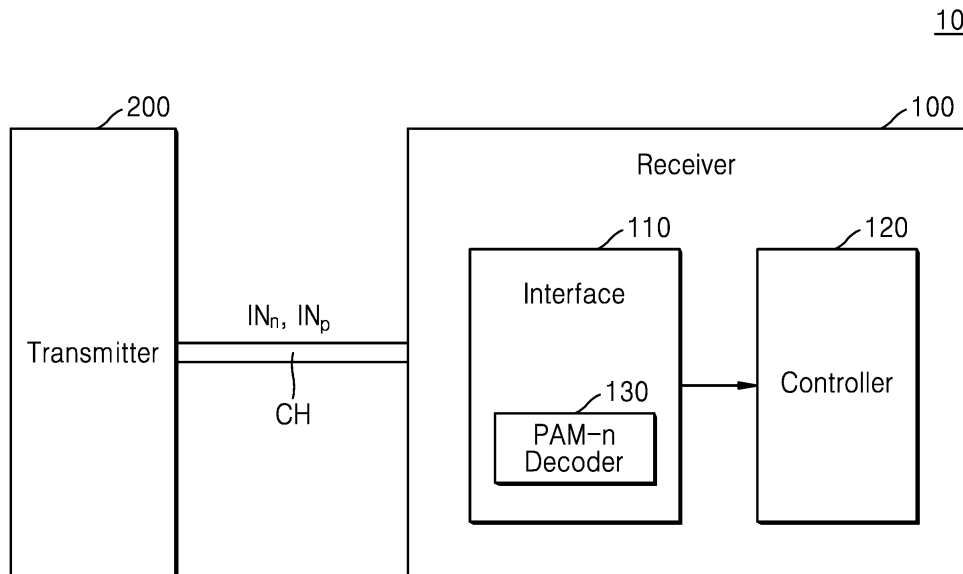
- [0055] 제1 비교 회로(410)는 외부로부터 제1 입력 데이터(IN_p), 제2 입력 데이터(IN_n)를 수신할 수 있다. 예를 들어, 송신기로부터 전송된 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)를 수신할 수 있다. 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)는 차동(differential) 데이터일 수 있고, 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n) 각각은 2 비트 데이터일 수 있다. 제1 비교 회로(410)는 외부로부터 제1 클락 신호(CLK_p)를 수신할 수 있다.
- [0056] 제1 클락 지연 회로(420)는 제1 클락 신호(CLK_p)를 수신하여, 지연 클락 신호(CLK_{DEL1})를 출력할 수 있다.
- [0057] 제1 래치(430)는 제1 비교 회로(410)와 연결될 수 있고, 제1 비교 회로(410)로부터 출력된 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)를 수신할 수 있다. 예를 들어, 제1 래치(430)는 SR 래치일 수 있다. 제1 래치(430)는 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)를 기반으로, MSB_{ODD}를 출력할 수 있다.
- [0058] 제1 시간-윈도우 LSB 디코더(440)는 제1 클락 지연 회로(420)와 연결되고, 지연 클락 신호(CLK_{DEL})를 수신할 수 있다. 제1 시간-윈도우 LSB 디코더(440)는 제1 비교 회로(410)로부터 출력된 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)를 수신할 수 있다. 제1 시간-윈도우 LSB 디코더(440)는 제1 비교 데이터(COMP_p), 제2 비교 데이터(COMP_n) 및 지연 클락 신호(CLK_{DEL})를 수신할 수 있고, LSB_{ODD}를 출력할 수 있다.
- [0059] 제2 비교 회로(510)는 외부로부터 제1 입력 데이터(IN_p), 제2 입력 데이터(IN_n)를 수신할 수 있다. 예를 들어, 송신기로부터 전송된 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)를 수신할 수 있다. 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n)는 차동(differential) 데이터일 수 있고, 제1 입력 데이터(IN_p) 및 제2 입력 데이터(IN_n) 각각은 2 비트 데이터일 수 있다. 제2 비교 회로(510)는 외부로부터 제2 클락 신호(CLK_n)를 수신할 수 있다.
- [0060] 제2 클락 지연 회로(520)는 제2 클락 신호(CLK_n)를 수신하여, 지연 클락 신호(CLK_{DEL})를 출력할 수 있다.
- [0061] 제2 래치(530)는 제2 비교 회로(510)와 연결될 수 있고, 제2 비교 회로(510)로부터 출력된 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)를 수신할 수 있다. 예를 들어, 제2 래치(530)는 SR 래치일 수 있다. 제2 래치(530)는 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)를 기반으로, MSB_{EVEN}를 출력할 수 있다.
- [0062] 제2 시간-윈도우 LSB 디코더(540)는 제2 클락 지연 회로(520)와 연결되고, 지연 클락 신호(CLK_{DEL})를 수신할 수 있다. 제2 시간-윈도우 LSB 디코더(540)는 제1 비교 회로(410)로부터 출력된 제1 비교 데이터(COMP_p) 및 제2 비교 데이터(COMP_n)를 수신할 수 있다. 제2 시간-윈도우 LSB 디코더(540)는 제1 비교 데이터(COMP_p), 제2 비교 데이터(COMP_n) 및 지연 클락 신호(CLK_{DEL})를 수신할 수 있고, LSB_{EVEN}를 출력할 수 있다.
- [0063] 도 10은 본 개시의 예시적 실시예에 따른 메모리 장치(600)를 도시한 블록도이다. 도 10에서는, 메모리 장치(600)가 DRAM 장치로 구현된 실시예가 도시된다.
- [0064] 도 10을 참조하면, 메모리 장치(600)는 메모리 셀 어레이(610), 로우 디코더(620), 컬럼 디코더(630), 제어 로직 회로(640), 입출력 센스 앰프(650), 입출력 게이팅 회로(660) 및 데이터 입출력 회로(670)를 포함할 수 있다.
- [0065] 메모리 셀 어레이(610)는 복수의 워드 라인들 및 복수의 비트 라인들에 연결된 메모리 셀들을 포함할 수 있으며, 로우 디코더(620)는 외부로부터의 로우 어드레스에 응답하여 워드 라인들에 대한 선택 동작을 수행할 수 있다. 또한, 컬럼 디코더(630)는 외부로부터의 컬럼 어드레스에 응답하여 비트 라인들에 대한 선택 동작을 수행할 수 있다.
- [0066] 제어 로직 회로(640)는 메모리 장치(600) 내부의 전반적인 동작을 제어할 수 있다. 일 예로서, 제어 로직 회로(640) 메모리 컨트롤러로부터의 커맨드에 응답하여 메모리 장치(600) 내부의 각종 회로 블록들을 제어할 수 있다.
- [0067] 제어 로직 회로(640)는 CA(Command/Address) 패드(또는, 핀)들을 통하여 커맨드(CMD) 및 어드레스 신호(ADDR)를 순차적으로 수신할 수 있다. 제어 로직 회로(640)는 수신된 커맨드(CMD)를 디코딩하여 메모리 동작의 제어를 위한 내부 커맨드를 생성하여 입출력 센스 앰프(650) 및 입출력 게이팅 회로(660) 등에 제공할 수 있다.

- [0068] 본 예시적 실시예에 따른 데이터 입출력 회로(670)는 본 개시의 예시적 실시예들이 적용된 수신기(675)를 포함할 수 있다. 수신기(675)는 전술된 본 개시의 예시적 실시예들에 따라 구성될 수 있다.
- [0069] 도 11는 본 개시의 예시적 실시예에 따른 통신 장치(1000)를 나타내는 블록도이다.
- [0070] 도 11을 참조하면, 통신 장치(1000)는 수신기(1012), 송신기(1106), 통신 모듈(1020), 안테나(1028), 입출력 장치(1040) 및 기준 발진기(1042)를 포함할 수 있다. 수신기(1012)는 도 1 내지 도 10에서 서술된 실시예들에 따라 디코딩 동작을 수행하는 PAM-4 디코더를 포함할 수 있다. 수신기(1012)는 외부로부터 안테나(1028)를 통해 수신한 입력 데이터를 디코딩한 후, MSB 및 LSB를 통신 모듈(1020)에 제공할 수 있다. 송신기(1016)는 통신 모듈(1020)로부터 수신한 MSB 및 LSB를 인코딩한 후, 안테나(1028)를 통해 외부로 출력할 수 있다.
- [0071] 통신 모듈(1020)은 모뎀 프로세서(1022), RISC/DSP(1024), 제어기/프로세서(1026), 메모리(1028), 입출력 장치(1030) 및 위상 고정 루프(1032)를 포함할 수 있다.
- [0072] 모뎀 프로세서(1022)는 데이터 전송 및 데이터 수신을 위한 인코딩, 변조, 복조, 디코딩 등의 프로세싱 동작을 수행할 수 있다. RISC/DSP(1024)는 통신 장치(1000)에서 일반적이거나, 특화된 프로세싱 동작을 수행할 수 있다. 제어기/프로세서(1026)는 통신 모듈(1020) 내의 블록들을 제어할 수 있다. 메모리(1028)는 데이터 및 다양한 명령 코드들을 저장할 수 있다. 입출력 장치(1030)는 외부 입출력 장치(1040)와 통신할 수 있다. 입출력 장치(1030)는 도 1 내지 도 10에서 서술된 실시예들에 따라 PAM-4 디코더를 포함할 수 있다. 입출력 장치(1030)는 외부 입출력 장치(1040)로부터 수신된 입력 데이터를 디코딩하여 MSB 및 LSB로 출력할 수 있다. 위상 고정 루프(1032)는 기준 발진기(1042)로부터 수신된 주파수 신호를 이용하여 주파수 변조 동작을 수행할 수 있다. 기준 발진기(1042)는 XO(crystal oscillator), VCXO(voltage controlled crystal oscillator), TCXO(temperature compensated crystal oscillator) 등으로 구현될 수 있다. 통신 모듈(1020)은 위상 고정 루프(1032)에서 생성된 출력 신호를 이용하여 통신에 필요한 프로세싱 동작을 수행할 수 있다.
- [0073] 도 12는 본 개시의 예시적 실시예에 따른 수신기들을 포함하는 시스템들을 도시한 블록도이다. 도 12에 도시된 바와 같이, 메모리 시스템(2000) 및 호스트 시스템(2300)은 인터페이스(2400)를 통해서 통신할 수 있고, 메모리 시스템(2000)은 메모리 컨트롤러(2100) 및 메모리 장치들(2200)을 포함할 수 있다.
- [0074] 인터페이스(2400)는 전기적 신호 및/또는 광신호를 사용할 수 있고, 비제한적인 예시로서, SATA(serial advanced technology attachment) 인터페이스, SATAe(SATA express) 인터페이스, SAS(serial attached small computer system interface; serial attached SCSI), USB(Universal Serial Bus) 인터페이스 또는 이들의 조합으로 구현될 수 있다. 호스트 시스템(2300) 및 메모리 제어기(2100)는 직렬 통신을 위하여 SerDes를 포함할 수 있다.
- [0075] 일부 실시예들에서, 메모리 시스템(2000)은 호스트 시스템(2300)과 제거 가능하게(removable) 결합됨으로써 호스트 시스템(2300)과 통신할 수 있다. 메모리 장치(2200)는 휘발성 메모리 또는 비휘발성 메모리일 수 있고, 메모리 시스템(2000)은 스토리지 시스템으로서 지칭될 수도 있다. 예를 들면, 메모리 시스템(2000)은 비제한적인 예시로서 SSD(solid-state drive or solid-state disk), 임베디드 SSD(embedded SSD; eSSD), 멀티미디어 카드(multimedia card; MMC), 임베디드 멀티미디어 카드(embedded multimedia card; eMMC) 등으로 구현될 수 있다. 메모리 컨트롤러(2100)는 인터페이스(2400)를 통해서 호스트 시스템(2300)로부터 수신된 요청에 응답하여 메모리 장치들(2200)을 제어할 수 있다.
- [0076] 한편, 본 개시의 예시적 실시예들이 적용된 수신기 및/또는 PAM-n 디코더는 메모리 컨트롤러(2100) 및 메모리 장치들(2200)에 각각 포함되도록 구현될 수 있다. 구체적으로, 메모리 컨트롤러(2100), 메모리 장치들(2200), 호스트 시스템(2300)은 PAM-4에 기반된 입력 데이터를 수신하여 본 개시의 예시적 실시예들에 따른 방식으로 LSB를 디코딩하여 출력할 수 있다.
- [0077] 도 13은 본 개시의 예시적 실시예에 따른 시스템-온-칩(3000)을 도시한 블록도이다. 시스템-온-칩(System on Chip; SoC)(3000)은 컴퓨팅 시스템이나 다른 전자 시스템의 부품들을 집적한 집적 회로를 지칭할 수 있다. 예를 들면, 시스템-온-칩(3000) 중 하나로서 어플리케이션 프로세서(application processor; AP)는 프로세서 및 다른 기능들을 위한 부품들을 포함할 수 있다.
- [0078] 도 13을 참조하면, 시스템-온-칩(3000)은 코어(3100), DSP(Digital Signal Processor)(3200), GPU(Graphic Processing Unit)(3300), 내장 메모리(3400), 통신 인터페이스(3500) 및 메모리 인터페이스(3600)를 포함할 수 있다. 시스템-온-칩(3000)의 구성요소들은 버스(3700)를 통해서 상호 통신할 수 있다.

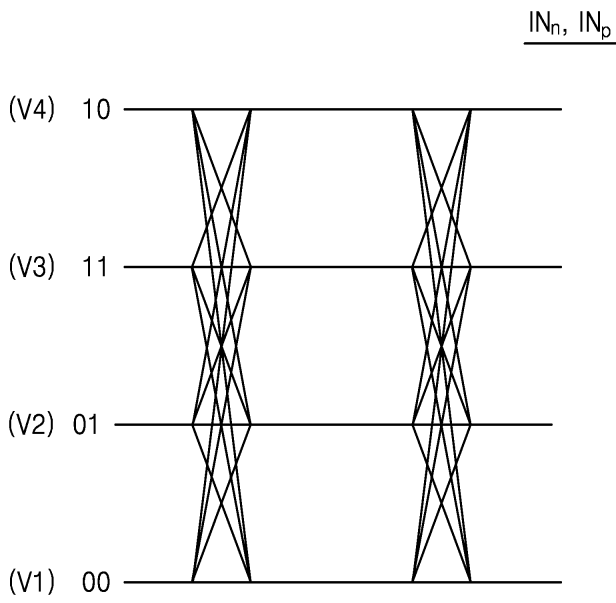
- [0079] 코어(3100)는 명령어들을 처리할 수 있고, 시스템-온-칩(3000)에 포함된 구성요소들의 동작을 제어할 수 있다. 예를 들면, 코어(3000)는 일련의 명령어들을 처리함으로써, 운영체제를 구동할 수 있고, 운영체제 상의 어플리케이션들을 실행할 수 있다. DSP(3200)는 디지털 신호, 예컨대 통신 인터페이스(3500)로부터 제공되는 디지털 신호를 처리함으로써 유용한 데이터를 생성할 수 있다. GPU(3300)는 내장 메모리(3400) 또는 메모리 인터페이스(3600)로부터 제공되는 이미지 데이터로부터 디스플레이 장치를 통해서 출력되는 영상을 위한 데이터를 생성할 수도 있고, 이미지 데이터를 인코딩할 수도 있다. 내장 메모리(3400)는 코어(3100), DSP(3200) 및 GPU(3300)가 동작하는데 필요한 데이터를 저장할 수 있다. 메모리 인터페이스(3600)는 시스템-온-칩(3000)의 외부 메모리, 예컨대 DRAM(Dynamic Random Access Memory), 플래시 메모리 등에 대한 인터페이스를 제공할 수 있다.
- [0080] 통신 인터페이스(2500)는 시스템-온-칩(3000) 외부와의 직렬 통신을 제공할 수 있다. 예를 들면, 통신 인터페이스(3500)는 이더넷(Ethernet)에 접속할 수 있고, 직렬 통신을 위하여 SerDes를 포함할 수 있다.
- [0081] 한편, 본 개시의 예시적 실시예들이 적용된 PAM-n 디코더의 통신 인터페이스(3500)는 메모리 인터페이스(3600)에 적용될 수 있다. 구체적으로, 통신 인터페이스(3500) 또는 메모리 인터페이스(3600)는 PAM-4에 기반된 입력 데이터를 수신하여 본 개시의 예시적 실시예들에 따른 방식으로 LSB를 디코딩할 수 있다.
- [0082] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

도면1

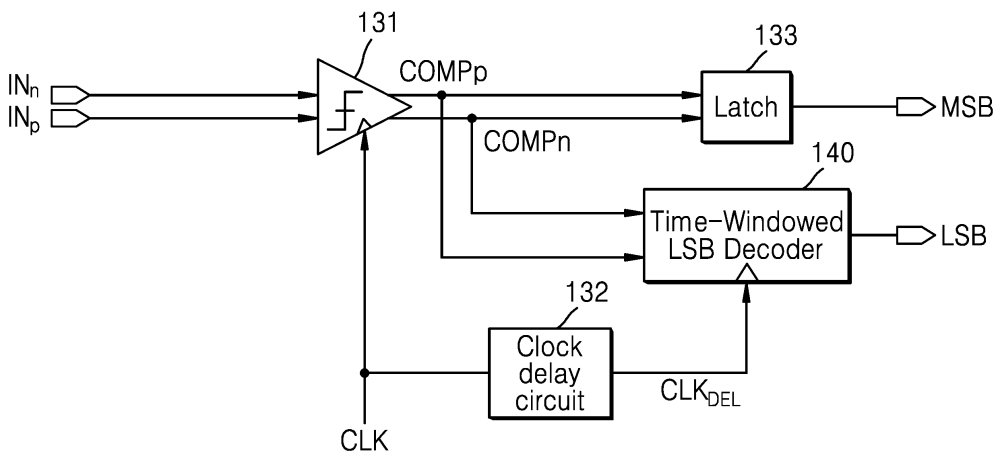


도면2



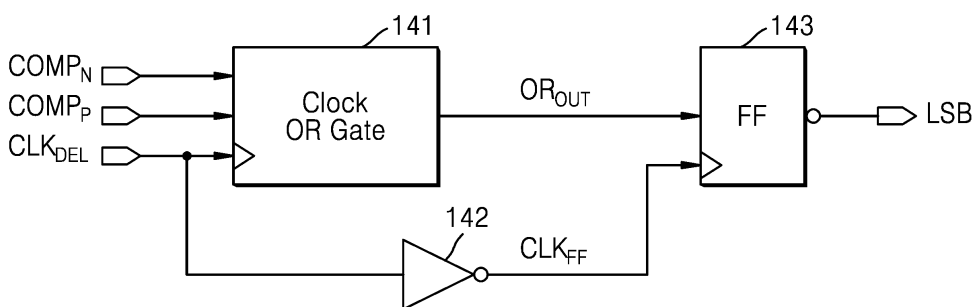
도면3

130



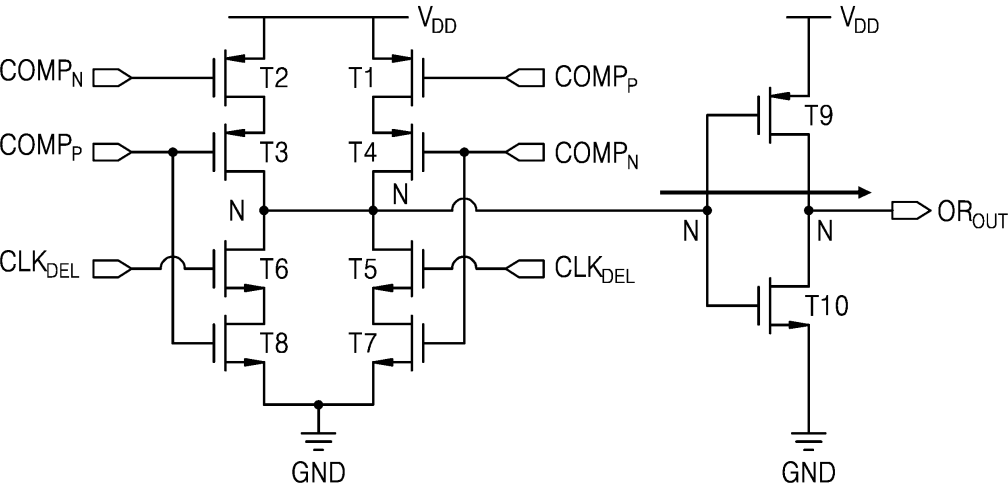
도면4

140



도면5

141

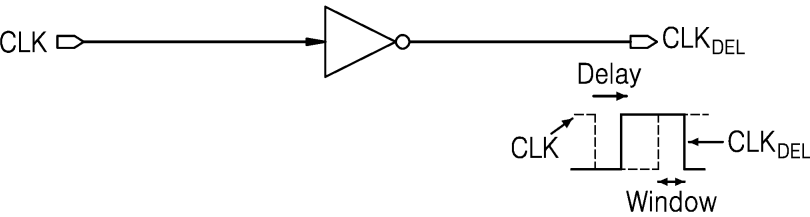


도면6

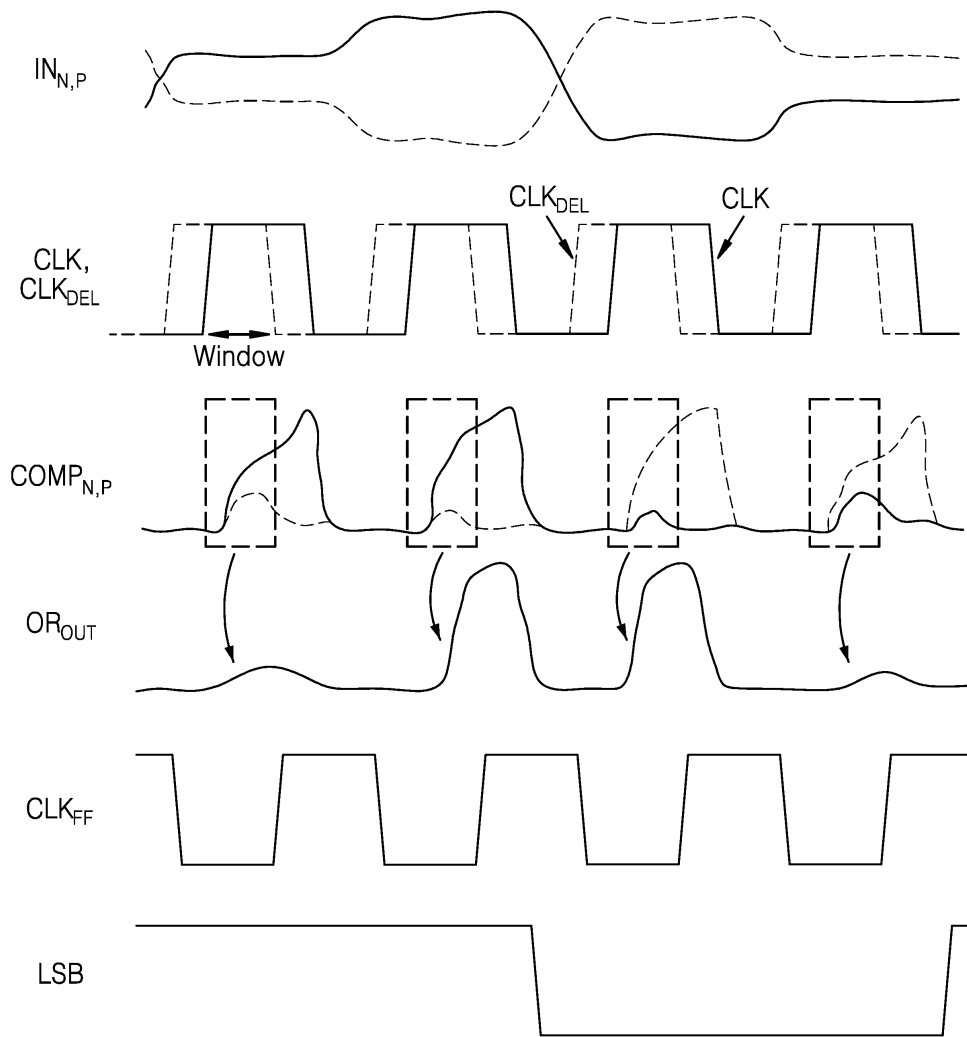
Truth Table of Clock OR gate			
COMP _N	COMP _P	CLK _{DEL}	OR _{OUT} [n]
0	0	0	0
0	1	0	OR _{OUT} [n-1]
1	0	0	OR _{OUT} [n-1]
1	1	0	OR _{OUT} [n-1]
0	0	1	0
0	1	1	1
1	0	1	1
1	1	1	1

도면7

132

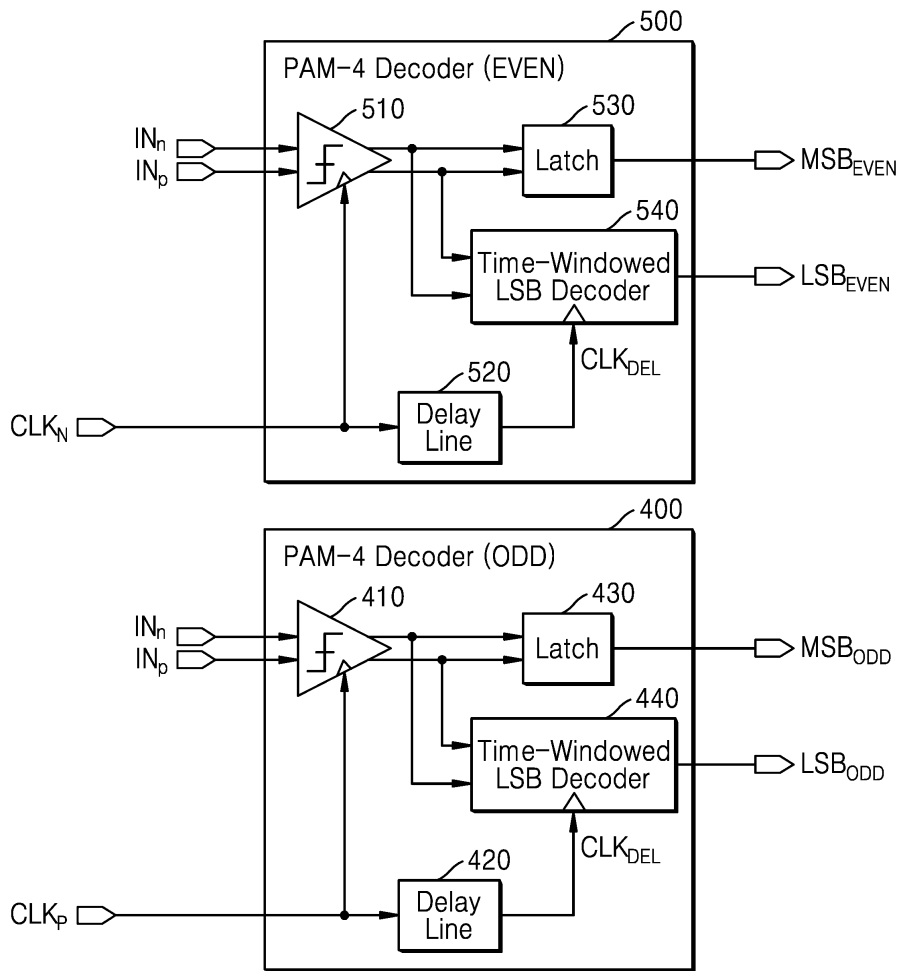


도면8

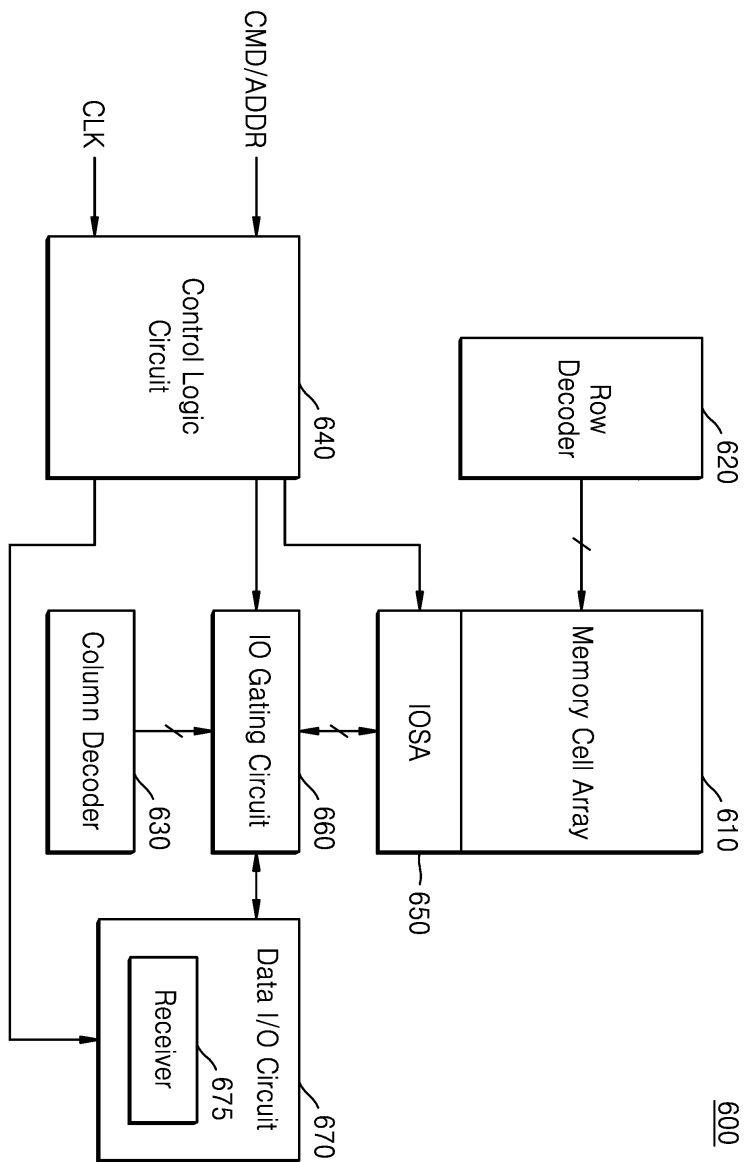


도면9

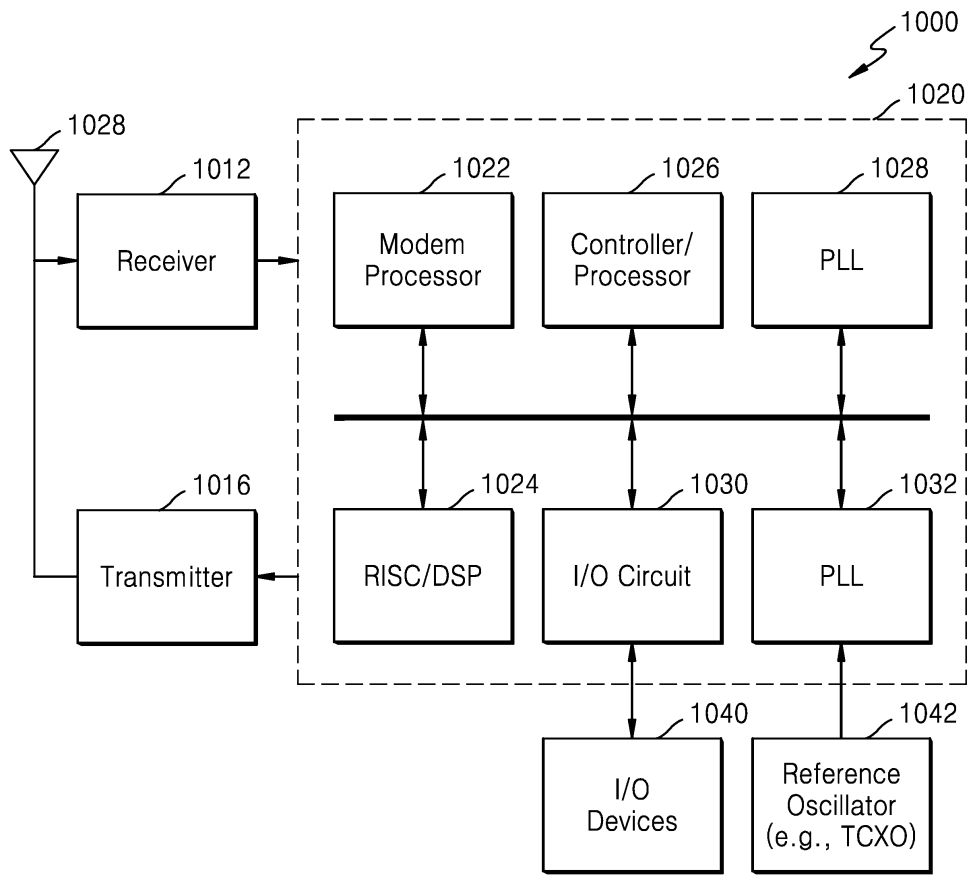
300



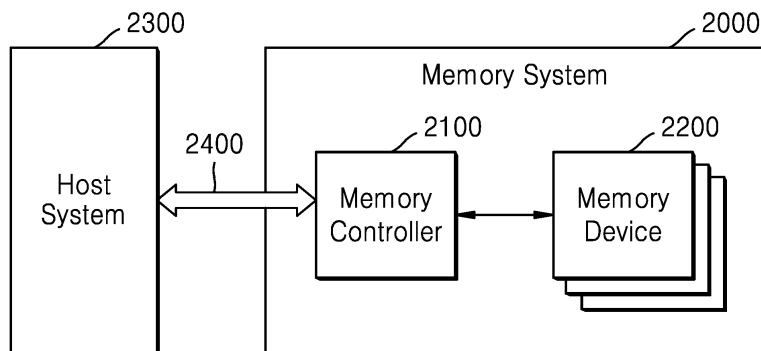
도면10



도면11



도면12



도면13

