

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月18日(18.04.2019)

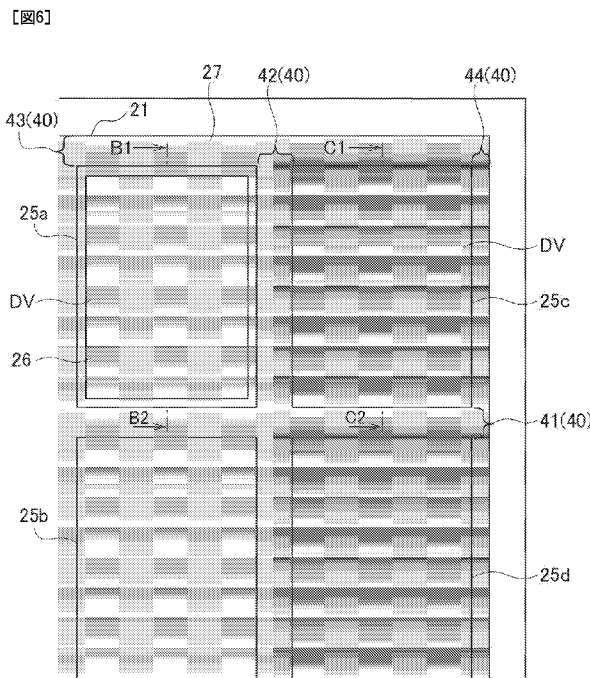


(10) 国際公開番号
WO 2019/073896 A1

- (51) 国際特許分類: *G02F 1/13* (2006.01) *G02F 1/31* (2006.01)
- (21) 国際出願番号: PCT/JP2018/037206
- (22) 国際出願日: 2018年10月4日(04.10.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2017-197402 2017年10月11日(11.10.2017) JP
- (71) 出願人: 株式会社 J V C ケンウッド (JVC KENWOOD CORPORATION) [JP/JP];
〒2210022 神奈川県横浜市神奈川区守屋町
3丁目12番地 Kanagawa (JP).
- (72) 発明者: 名古屋 崇 (NAGOYA Takeshi);
〒2210022 神奈川県横浜市神奈川区守屋町
3丁目12番地 株式会社 J V C ケンウッド
知的財産部内 Kanagawa (JP).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI Hidekazu et al.);
〒1050001 東京都港区虎ノ門1丁目2番
8号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: PHASE MODULATION DEVICE

(54) 発明の名称: 位相変調装置



(57) Abstract: A phase modulation device (1) is equipped with a reflective liquid crystal element (10) which has an image data generation unit (2), a gradation data generation unit (3), and a pixel region (21). The pixel region (21) has a plurality of pixel blocks (25) and a blank area (41). The image data generation unit (2) generates image data (DD) which corresponds to the phase change amount distribution or phase velocity distribution on the basis of the information data (JD). The gradation data generation unit (3) generates gradation data (DS) which corresponds to each pixel on the basis of



WO 2019/073896 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

the image data (DD). The pixel block (25) changes the wave front (WF) of the signal light (SL) on the basis of the drive voltage (DV) of the voltage pattern that corresponds to the gradation data (DS). In the blank area (41), the same drive voltage is applied to the pixel electrode (24) adjacent to the pixel electrode (24) of the pixel block (25).

(57) 要約：位相変調装置(1)は画像データ生成部(2)と階調データ生成部(3)と画素領域(21)を有する反射型液晶素子(10)とを備える。画素領域(21)は複数の画素ブロック(25)と、ブランクエリア(41)とを有する。画像データ生成部(2)は情報データ(JD)に基づいて位相の変化量の分布または位相速度の分布に対応する画像データ(DD)を生成する。階調データ生成部(3)は画像データ(DD)に基づいて各画素に対応する階調データ(DS)を生成する。画素ブロック(25)は階調データ(DS)に対応する電圧パターンの駆動電圧(DV)に基づいて信号光(SL)の波面(WF)を変化させる。ブランクエリア(41)は、画素ブロック(25)の画素電極(24)と隣り合う画素電極(24)に同じ駆動電圧が印加される。

明 細 書

発明の名称：位相変調装置

技術分野

[0001] 本開示は、液晶素子を用いた位相変調装置に関する。

背景技術

[0002] 近年、光通信分野では激増する情報量に対応するため、環状に形成された光ネットワークシステム、及び、光波長多重通信システムが提唱されている。これら光通信システムにおける光信号の分岐または挿入を、電気信号への変換を中継することなく実行できるROADM (Reconfigurable Optical And Drop Multiplexer) 装置が用いられ、その中で光スイッチング装置としてWSS (Wavelength Selective Switch) 装置が用いられる。WSS装置における光スイッチング素子として、MEMS (Micro Electro Mechanical Systems) ミラー、及び、反射型液晶素子、例えばLCOS (Liquid Crystal on Silicon) 素子等が用いられる。

[0003] LCOS素子は、複数の反射型の画素電極が水平方向、及び、垂直方向に配置されている画素領域を有する反射型液晶素子である。各画素電極上の液晶の屈折率は、液晶に印加される電圧を画素電極ごとに制御することにより変化する。信号光の位相速度は、各画素上の液晶の屈折率を変化させることにより、画素ごとに制御される。

[0004] LCOS素子は、位相速度を画素ごとに段階的に変化させることにより、信号光の波面を傾斜させることができる。LCOS素子は、信号光の波面の傾斜角を位相速度の変化の割合に応じて制御することができる。即ち、LCOS素子は、画素ごとに位相速度を変化させて信号光を所定の方向に反射する位相変調素子として機能する。

[0005] MEMSミラーは信号光の波長帯の数に対応してミラーが必要になる。そのため、信号光の波長帯またはその数を変更する場合、変更内容に対応させてMEMSミラーを新たに作製しなければならない。

[0006] それに対して、LCOS素子は画素領域を複数の画素ブロックに任意に分割し、画素ブロックごとに制御することができる。そのため、信号光の波長帯またはその数を変更する場合、変更内容に対応させて画素ブロックを再構成することができるので、液晶素子を新たに作製する必要がない。即ち、LCOS素子は、MEMSミラーよりも可変グリッド性に優れている。特許文献1には、LCOS素子を用いた位相変調装置の一例が記載されている。

先行技術文献

特許文献

[0007] 特許文献1：特開2016-143037号公報

発明の概要

[0008] LCOS素子には画素ブロックごとに信号光が照射される。通常、画素ブロック間には位相変調に寄与しないblankエリアが形成される。画素ブロックとblankエリアとの画素間の電位差に起因してディスクリネーションが発生する場合がある。ディスクリネーションとは、隣り合う画素間の電位差に起因して液晶分子が意図した方向とは異なる方向に傾斜することである。画素間の電位差が大きいと横電界が大きくなるため、ディスクリネーションが発生しやすくなったり、発生領域が広がったりする。

[0009] 信号光はディスクリネーションの影響により、目的の傾斜角とは異なる傾斜角で反射されてしまうため、目的の出力ポートとは異なる出力ポートに入射するクロストークが発生する。

[0010] 実施形態は、画素ブロックとblankエリアとの画素間の電位差に起因するディスクリネーションの発生を抑制する位相変調装置を提供することを目的とする。

[0011] 実施形態の一態様によれば、情報データに基づいて位相の変化量の分布または位相速度の分布に対応する画像データを生成する画像データ生成部と、前記画像データに基づいて各画素に対応する階調データを生成する階調データ生成部と、複数の画素電極が配置され、前記階調データに対応する鋸歯状波の電圧パターンの駆動電圧が印加される画素領域を有する反射型液晶素子

とを備え、前記画素領域は、入射される信号光を前記電圧パターンに基づいて位相変調させ、前記信号光の波面を変化させる複数の画素ブロックと、前記電圧パターンが繰り返される第1の方向における画素ブロック間に形成された第1のブランクエリアとを有し、前記第1のブランクエリアは、前記第1の方向に2個以上の画素電極が配置され、前記画素ブロックの画素電極と隣り合う画素電極には、前記画素ブロックの画素電極に印加される駆動電圧と同じ駆動電圧が印加されることを特徴とする位相変調装置が提供される。

[0012] 実施形態の位相変調装置によれば、画素ブロックとブランクエリアとの画素間の電位差に起因するディスクリネーションの発生を抑制できる。

図面の簡単な説明

- [0013] [図1]図1は、一実施形態の位相変調装置を示すブロック図である。
- [図2]図2は、反射型液晶素子の一例を示す上面図である。
- [図3]図3は、図2のA-Aで切断した反射型液晶素子の断面図である。
- [図4]図4は、反射型液晶素子による信号光の位相変調を示す図である。
- [図5A]図5Aは、画素電極に印加される駆動電圧を示す図である。
- [図5B]図5Bは、画素電極上の液晶の屈折率を示す図である。
- [図6]図6は、画素ブロックとブランクエリアとの関係を説明するための図である。
- [図7A]図7Aは、図6のB1-B2における駆動電圧の電圧パターンの一例を示す図である。
- [図7B]図7Bは、図6のC1-C2における駆動電圧の電圧パターンの一例を示す図である。

発明を実施するための形態

[0014] 図1を用いて、一実施形態の位相変調装置を説明する。位相変調装置1は、画像データ生成部2と、階調データ生成部3と、反射型液晶素子10とを備える。反射型液晶素子10は例えばLCOS素子である。以下、反射型液晶素子10をLCOS素子10とする。

[0015] 画像データ生成部2には情報データJDが入力される。情報データJDは

、信号光の入力ポート及び出力ポートの位置と信号光における入射光に対する反射光の角度との関係を示すパラメータと、信号光の波長帯、即ち所望の反射光角度を実現する位相の変化量の分布に関わるパラメータとを含む。位相の変化量は、入射光の位相に対する反射光の位相の進みまたは遅れで、位相速度の分布に対応する。所定の入力ポートから射出された信号光は、位相変調装置 1 により位相変調されて目的の出力ポートへ入射する。

[0016] 画像データ生成部 2 は、情報データ J D に基づいて位相の変化量の分布を設定する。画像データ生成部 2 は、位相の変化量の分布、または、位相速度の分布に基づいて画像データ D D を生成し、階調データ生成部 3 へ出力する。階調データ生成部 3 は、画像データ D D の L C O S 素子 1 0 における各画素に対応する階調データ D S を生成し、各画素に書き込まれるタイミングに合わせて L C O S 素子 1 0 へ出力する。この階調に対応する駆動電圧が L C O S 素子 1 0 内で生成され、液晶に印加される。

[0017] 図 2 または図 3 を用いて、L C O S 素子 1 0 の構成例を説明する。L C O S 素子 1 0 は、駆動基板 2 0 と、透明基板 3 0 と、液晶 1 1 と、シール材 1 2 とを有する。駆動基板 2 0 は、画素領域 2 1 と、配向膜 2 2 と、接続端子 2 3 とを有する。

[0018] 画素領域 2 1 には、複数の反射型の画素電極 2 4 が水平方向及び垂直方向に配置されている。1 個の画素電極 2 4 が 1 画素を構成する。配向膜 2 2 は少なくとも画素領域 2 1 上に形成されている。接続端子 2 3 は、駆動基板 2 0 の外周部に形成され、階調データ生成部 3 から階調データ D S が入力され、外部からタイミング制御信号が入力される。また、接続端子 2 3 は外部から電源等も接続されている。

[0019] 透明基板 3 0 は、透明電極 3 1 と、配向膜 3 2 とを有する。配向膜 3 2 は透明電極 3 1 上に形成されている。駆動基板 2 0 と透明基板 3 0 とは、画素電極 2 4 と透明電極 3 1 とが対向するようにシール材 1 2 により間隙を有して接着されている。

[0020] シール材 1 2 は画素領域 2 1 の外周部に沿って環状に形成されている。液

晶 1 1 は、駆動基板 2 0 と透明基板 3 0 との間隙に充填され、シール材 1 2 により封止されている。透明基板 3 0 の透明電極 3 1 が形成されている面とは反対側の面に反射防止膜 3 3 を形成してもよい。

[0021] 駆動基板 2 0 として半導体基板（例えばシリコン基板）を用いることができる。なお、駆動基板 2 0 には、各画素を駆動するための駆動回路が形成されている。画素電極 2 4、及び、接続端子 2 3 の材料としてアルミニウムを主成分とする金属材料を用いることができる。

[0022] 透明基板 3 0 として無アルカリガラス基板または石英ガラス基板を用いることができる。透明電極 3 1 の材料として I T O (Indium Tin Oxide) を用いることができる。なお、I T O 膜の上側及び下側に誘電体膜を形成してもよい。シール材 1 2 として紫外線硬化性樹脂、熱硬化性樹脂、または紫外線と熱との併用により硬化する樹脂を用いることができる。反射防止膜 3 3 として誘電体多層膜を用いることができる。

[0023] 図 4、図 5 A、及び、図 5 B を用いて、L C O S 素子 1 0 による信号光の位相変調を説明する。説明を分かりやすくするために、3 個の画素電極 2 4 により画素ブロック 2 5 を構成する場合について説明する。通常、画素ブロック 2 5 は、3 個以上の画素電極 2 4 が水平方向及び垂直方向にそれぞれ配置されている構成を有する。各画素電極 2 4 を区別するため、左から画素電極 2 4 a、画素電極 2 4 b、及び、画素電極 2 4 c とする。

[0024] 図 1 に示す画像データ生成部 2 により生成された位相の変化量の分布（位相速度の分布）に応じた画像データ D D に基づいて、図 5 A に示すように、画素電極 2 4 a、2 4 b、及び、2 4 c には異なる駆動電圧 D V a、D V b、及び、D V c が印加される。実際には、液晶 1 1 に印加される駆動電圧 D V a、D V b、及び、D V c は、画素電極 2 4 a、2 4 b、及び、2 4 c と透明電極 3 1 との間に加わる電圧である。液晶 1 1 は、構成される分子の屈折率と誘電率に異方性を有することから、印加される駆動電圧によって分子の傾斜が変化することで屈折率が変化する。

[0025] これにより、図 5 B に示すように、画素電極 2 4 a 上の液晶 1 1 は第 1 の

屈折率 n_a を有し、画素電極 24 b 上の液晶 11 は第 2 の屈折率 n_b を有し、画素電極 24 c 上の液晶 11 は第 3 の屈折率 n_c ($n_a > n_b > n_c$) を有する。屈折率 $n_a \sim n_c$ は画素電極 24 a ~ 24 c 上の液晶 11 の平均的な屈折率である。

[0026] 入力ポートから出力された信号光 S L は、p 偏光または s 偏光の直線偏光の状態画素ブロック 25 に入射する。図 3 に示す配向膜 22 及び 32 は、信号光 S L の偏向方向と液晶 11 の配向方向とが同じになるように形成されている。配向方向とは、例えば配向膜 22 付近の液晶 11 が傾斜する方向である。なお、配向膜 32 付近の液晶 11 が傾斜する方向を配向方向としてもよい。

[0027] 信号光 S L の偏向方向と液晶 11 の配向方向とを同じにすることにより、直線偏光が楕円偏光へと変調されて、p 偏光が s 偏光成分を有する、または、s 偏光が p 偏光成分を有することによって生じる信号光 S L の減衰を抑制して、信号光 S L を効率的に反射させることができる。

[0028] 図 4 に示す p_a 、 p_b 、及び、 p_c は、画素電極 24 a、24 b、及び、24 c 上の液晶 11 の屈折率の違いにより生じる位相速度の違いを模式的に示している。図 4 に示す W F は信号光 S L の波面を模式的に示している。波面 W F は、信号光 S L の位相が揃った面をいう。信号光 S L は、画素電極 24 a から画素電極 24 c に向かって位相の変化量または位相速度が段階的に大きくなる。これにより、信号光 S L の波面 W F を変化（傾斜）させることができる。

[0029] 駆動電圧 $D V_a$ 、 $D V_b$ 、及び、 $D V_c$ により、画素電極 24 a、24 b、及び、24 c 上の液晶 11 の屈折率の差を大きくし、位相変化の差を大きくすることで波面 W F の傾斜角 θ を大きくすることができる。また、画素電極 24 a、24 b、及び、24 c 上の液晶 11 の屈折率の差を小さくし、位相変化の差を小さくすることで波面 W F の傾斜角 θ を小さくすることができる。傾斜角 θ は、信号光 S L の波面 W F と画素電極 24 a、24 b、及び、24 c の垂線とのなす角度に相当する。なお、画素電極 24 の数を変えるこ

とにより波面WFの傾斜角 θ を変化させることもできる。

[0030] 信号光SLは、画像データ生成部2により生成された画像データDDに基づいて、波面WFが所定の傾斜角 θ とされ、画素電極24a、24b、及び、24cにより反射される。従って、LCOS素子10は、画像データDDに基づいて、信号光SLの位相速度を画素ごとに段階的に変化させることにより、信号光SLを所定の方向に反射させることができる。

[0031] LCOS素子10は、信号光SLの波面WFの傾斜角 θ を位相速度の変化の割合に応じて制御することができる。即ち、LCOS素子10は、画素ごとに位相速度を変化させて信号光SLを所定の方向に反射する位相変調素子として機能する。LCOS素子10が信号光SLの波面WFの傾斜角 θ を制御することにより、信号光SLは目的の出力ポートに入射される。

[0032] 図6、図7A、及び、図7Bを用いて、画素領域21における画素ブロックとブランクエリアとの関係を説明する。図6は、図2に示す画素領域21の右上部分を拡大して示している。画素領域21は、複数の画素ブロック25により構成される。信号光SLは画素ブロック25ごとに入射される。

[0033] 画素ブロック25は、情報データJDに基づいて範囲及び位置が決定される。画素ブロック25は信号光SLが入射される入射領域26を含むように構成されている。入射領域26は、信号光SLのスポット径、スポット形状、及び入射位置精度等に基づいて決定される。LCOS素子10は、情報データJDの変更内容に対応させて画素ブロック25を再構成することができる。

[0034] LCOS素子10は、画像データ生成部2により生成される画像データDDに基づいて、画素ブロック25ごとに信号光SLの波面WFの傾斜角 θ を制御することができる。各画素ブロック25を区別するため、図6における左上側の画素ブロック25を画素ブロック25a、左下側の画素ブロック25を画素ブロック25b、右上側の画素ブロック25を画素ブロック25c、右下側の画素ブロック25を画素ブロック25dとする。

[0035] 画素ブロック25a~25dには、異なる波長帯の信号光SLを入射させ

ることができる。LCOS素子10は、画像データDDに基づいて、画素ブロック25a~25dに異なる電圧パターンの駆動電圧DVを印加させることができる。

[0036] 図7A及び図7Bを用いて、駆動電圧DVを電圧値の振幅で制御する場合について説明する。図7Aは、図6に示す画素ブロック25aのB1-B2における連続した画素の駆動電圧DVの電圧パターンを示している。なお、図6では画素ブロック25cには画素ブロック25aと同じ電圧パターンを示しているが、異なる電圧パターンの駆動電圧DVを印加させることができる。

[0037] 図7Bは、図6に示す画素ブロック25cのC1-C2における連続した画素の駆動電圧DVの電圧パターンを示している。なお、図6では画素ブロック25dには画素ブロック25cと同じ電圧パターンを示しているが、異なる電圧パターンの駆動電圧DVを印加させることができる。

[0038] 図7A及び図7Bに示すように、駆動電圧DVは鋸歯状波の電圧パターンを有する。なお、実際には連続した画素ごとの電圧なので階段状になるが、ここでは鋸歯状に図示する。図6に示す画素ブロック25a~25dにおいて暗い部分は、図7Aまたは図7Bに示す駆動電圧DVの電圧パターンの電圧の低い部分に相当し、明るい部分は電圧の高い部分に相当する。図7Bに示す電圧パターンは、図7Aに示す電圧パターンよりも電圧値の振幅が大きいため、信号光SLの波面WFの傾斜角 θ は大きくなる。

[0039] ここでは、液晶11は、水平配向の液晶材料、即ち正の誘電率異方性を有する液晶材料を想定している。水平配向の液晶では、電圧振幅をより大きく印加するほど屈折率が高くなる。垂直配向の液晶材料、即ち負の誘電率異方性を有する液晶材料の場合、電圧振幅を大きくすることで屈折率は低くなる。また、液晶材料によって屈折率及び屈折率の異方性が異なる。加えて、液晶層の厚みによっても結果的に得られる位相の変化量は異なる。

[0040] 駆動電圧DVの電圧パターンは、画像データ生成部2により生成された画像データDDに基づいて設定される。従って、画素ブロック25a~25d

は、情報データ J D に基づいて範囲及び位置が決定され、入射される信号光 S L を駆動電圧 D V の電圧パターンに基づいて位相変調させ、信号光 S L の波面 W F を変化（傾斜）させることができる。なお、駆動電圧 D V をパルス幅またはパルスの数で制御する PWM 方式による制御も有効である。この場合、図 7 A 及び図 7 B における縦軸は、1 フレームにおける駆動電圧 D V の印加パルスの積算時間に相当する。

[0041] 図 6 に示すように、通常、画素ブロック 2 5 間、及び、画素領域 2 1 の外周領域 2 7 には、位相変調に寄与しないブランクエリア 4 0 が形成される。鋸歯状波の電圧パターンが繰り返される第 1 の方向（図 6 の上下方向）における画素ブロック 2 5 間に形成されるブランクエリア 4 0 をブランクエリア 4 1（第 1 のブランクエリア）、第 1 の方向に直交する第 2 の方向（図 6 の左右方向）における画素ブロック 2 5 間に形成されるブランクエリア 4 0 をブランクエリア 4 2（第 2 のブランクエリア）とする。

[0042] 第 1 の方向における画素領域 2 1 の外周領域 2 7 に画素ブロック 2 5 に隣接して形成されるブランクエリア 4 0 をブランクエリア 4 3（第 3 のブランクエリア）、第 2 の方向における画素領域 2 1 の外周領域 2 7 に画素ブロック 2 5 に隣接して形成されるブランクエリア 4 0 をブランクエリア 4 4（第 4 のブランクエリア）とする。

[0043] ブランクエリア 4 1 は、画素ブロック 2 5 a 及び 2 5 b と隣接し、画素ブロック 2 5 c 及び 2 5 d と隣接している。ブランクエリア 4 1 は、第 1 の方向に 2 個以上の画素電極 2 4 が配置されている。画素ブロック 2 5 a の画素電極 2 4 と隣り合うブランクエリア 4 1 の画素電極 2 4 には、画素ブロック 2 5 a の画素電極 2 4 に印加される駆動電圧 D V と同じ電圧値またはパルス幅の駆動電圧 D V が印加される。

[0044] 画素ブロック 2 5 b の画素電極 2 4 と隣り合うブランクエリア 4 1 の画素電極 2 4 には、画素ブロック 2 5 b の画素電極 2 4 に印加される駆動電圧 D V と同じ電圧値またはパルス幅の駆動電圧 D V が印加される。

[0045] 例えば、画素ブロック 2 5 a の画素電極 2 4 に印加される駆動電圧 D V の

電圧値を v_a 、画素ブロック 25 b の画素電極 24 に印加される駆動電圧 DV の電圧値を v_b ($v_a > v_b$) とする。画素ブロック 25 a の画素電極 24 と隣り合うブランクエリア 41 の画素電極 24 には電圧値 v_a の駆動電圧 DV が印加され、画素ブロック 25 b の画素電極 24 と隣り合うブランクエリア 41 の画素電極 24 には電圧値 v_b の駆動電圧 DV が印加される。

[0046] 従って、画素ブロック 25 a 及び 25 b とブランクエリア 41 との電位差を低減することができるので、ディスクリネーションの発生を抑制できる。なお、画素ブロック 25 c 及び 25 d とブランクエリア 41 との駆動電圧 DV の関係は、画素ブロック 25 a 及び 25 b とブランクエリア 41 との駆動電圧 DV の関係と同様である。

[0047] ブランクエリア 42 は、画素ブロック 25 a 及び 25 c と隣接し、画素ブロック 25 b 及び 25 d と隣接している。ブランクエリア 42 は、第 2 の方向に 2 個以上、好ましくは 4 個以上の画素電極 24 が配置されている。ブランクエリア 42 は、隣接する画素ブロック 25 と同じ電圧パターンの駆動電圧 DV が印加される。

[0048] 具体的には、画素ブロック 25 a の画素電極 24 と隣り合うブランクエリア 42 の画素電極 24 には、画素ブロック 25 a の画素電極 24 に印加される駆動電圧 DV と同じ電圧値またはパルス幅の駆動電圧 DV が印加される。また、画素ブロック 25 c の画素電極 24 と隣り合うブランクエリア 42 の画素電極 24 には、画素ブロック 25 c の画素電極 24 に印加される駆動電圧 DV と同じ電圧値またはパルス幅の駆動電圧 DV が印加される。

[0049] 従って、画素ブロック 25 a 及び 25 c とブランクエリア 42 との電位差を低減することができるので、ディスクリネーションの発生を抑制できる。なお、画素ブロック 25 b 及び 25 d とブランクエリア 42 との駆動電圧 DV の関係は、画素ブロック 25 a 及び 25 c とブランクエリア 42 との駆動電圧 DV の関係と同様である。

[0050] ブランクエリア 43 は、画素ブロック 25 a 及び 25 c と隣接している。ブランクエリア 43 は、第 1 の方向に 1 個以上、好ましくは 2 個以上の画素

電極 24 が配置されている。画素ブロック 25 a の画素電極 24 と隣り合う
空白エリア 43 の画素電極 24 には、画素ブロック 25 a の画素電極 24
に印加される駆動電圧 DV と同じ電圧値またはパルス幅の駆動電圧 DV が
印加される。

[0051] 例えば、空白エリア 43 に隣接する画素ブロック 25 a の画素電極 24
に印加される駆動電圧 DV の電圧値を v_c とすると、画素ブロック 25 a
の画素電極 24 と隣り合う空白エリア 43 の画素電極 24 には電圧値 v_c
の駆動電圧 DV が印加される。

[0052] 従って、画素ブロック 25 a と空白エリア 43 との電位差を低減する
ことができるので、ディスクリネーションの発生を抑制できる。なお、画素
ブロック 25 c と空白エリア 43 との駆動電圧 DV の関係は、画素ブ
ロック 25 a と空白エリア 43 との駆動電圧 DV の関係と同様である。

[0053] 空白エリア 44 は、画素ブロック 25 c 及び 25 d と隣接している。
空白エリア 44 は、第 2 の方向に 1 個以上、好ましくは 2 個以上の画素
電極 24 が配置されている。空白エリア 44 は、隣接する画素ブ
ロック 25 と同じ電圧パターンの駆動電圧 DV が印加される。具体的には、画素ブ
ロック 25 c の画素電極 24 と隣り合う空白エリア 44 の画素電極 24
には、画素ブロック 25 c の画素電極 24 に印加される駆動電圧 DV と同じ
電圧値またはパルス幅の駆動電圧 DV が印加される。

[0054] 従って、画素ブロック 25 c と空白エリア 44 との電位差を低減する
ことができるので、ディスクリネーションの発生を抑制できる。なお、画素
ブロック 25 d と空白エリア 44 との駆動電圧 DV の関係は、画素ブ
ロック 25 c と空白エリア 44 との駆動電圧 DV の関係と同様である。

[0055] 本実施形態の位相変調装置 1 によれば、画素ブロック 25 の画素電極 24
と隣り合う空白エリア 40 の画素電極 24 に、画素ブロック 25 の画素
電極 24 に印加される駆動電圧 DV と同じ電圧値またはパルス幅の駆動電圧
DV が印加される。これにより、画素ブロック 25 と空白エリア 40 と
の画素間の電位差に起因するディスクリネーションの発生を抑制できる。

- [0056] 本発明は、上述した本実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々変更可能である。
- [0057] 本実施形態の位相変調装置 1 では、ブランクエリア 4 1 は第 1 の方向に 2 個以上の画素電極 2 4 が配置され、ブランクエリア 4 2 は第 2 の方向に 2 個以上の画素電極 2 4 が配置される構成を有する。さらに、位相変調装置 1 では、ブランクエリア 4 3 は第 1 の方向に 1 個以上の画素電極 2 4 が配置され、ブランクエリア 4 4 は第 2 の方向に 1 個以上の画素電極 2 4 が配置される構成を有する。上記の各ブランクエリア 4 0 における画素電極 2 4 の配置数は、ディスクリネーションの発生を抑制できるように、情報データ J D に基づいて適宜設定されるものである。
- [0058] 本願の開示は、2017年10月11日に出願された特願2017-197402号に記載の主題と関連しており、それらの全ての開示内容は引用によりここに援用される。

請求の範囲

- [請求項1] 情報データに基づいて位相の変化量の分布または位相速度の分布に対応する画像データを生成する画像データ生成部と、
前記画像データに基づいて各画素に対応する階調データを生成する階調データ生成部と、
複数の画素電極が配置され、前記階調データに対応する鋸歯状波の電圧パターンの駆動電圧が印加される画素領域を有する反射型液晶素子と、
を備え、
前記画素領域は、
入射される信号光を前記電圧パターンに基づいて位相変調させ、前記信号光の波面を変化させる複数の画素ブロックと、
前記電圧パターンが繰り返される第1の方向における画素ブロック間に形成された第1のブランクエリアと、
を有し、
前記第1のブランクエリアは、前記第1の方向に2個以上の画素電極が配置され、前記画素ブロックの画素電極と隣り合う画素電極には、前記画素ブロックの画素電極に印加される駆動電圧と同じ駆動電圧が印加されることを特徴とする位相変調装置。
- [請求項2] 前記画素領域は、前記第1の方向に直交する第2の方向における画素ブロック間に形成された第2のブランクエリアをさらに有し、
前記第2のブランクエリアは、前記第2の方向に2個以上の画素電極が配置され、前記画素ブロックの画素電極と隣り合う画素電極には、前記画素ブロックの画素電極に印加される駆動電圧と同じ駆動電圧が印加されることを特徴とする請求項1に記載の位相変調装置。
- [請求項3] 前記画素領域は、
前記第1の方向における前記画素領域の外周領域に前記画素ブロックに隣接して形成された第3のブランクエリアをさらに有し、

前記第3のブランクエリアは、前記画素ブロックの画素電極と隣り合う画素電極には、前記画素ブロックの画素電極に印加される駆動電圧と同じ駆動電圧が印加されることを特徴とする請求項1または2に記載の位相変調装置。

[請求項4]

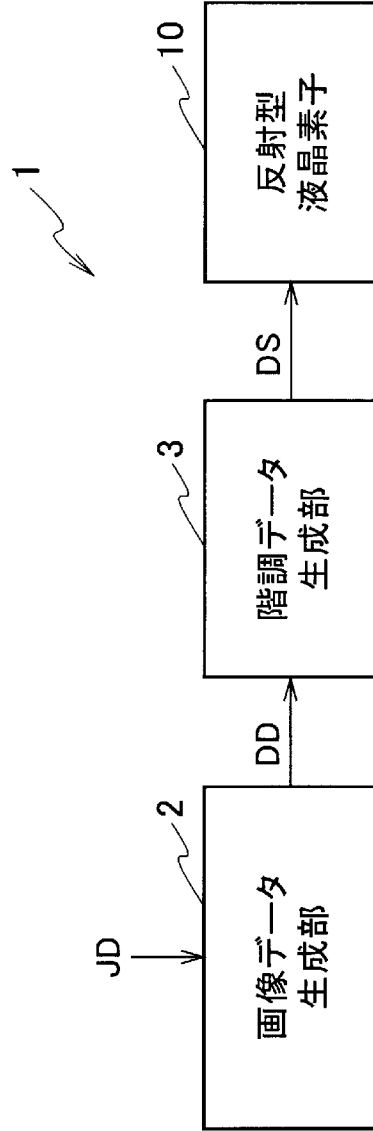
前記第2の方向における前記画素領域の外周領域に前記画素ブロックに隣接して形成された第4のブランクエリアをさらに有し、

前記第4のブランクエリアは、前記画素ブロックの画素電極と隣り合う画素電極には、前記画素ブロックの画素電極に印加される駆動電圧と同じ駆動電圧が印加されることを特徴とする請求項2に記載の位相変調装置。

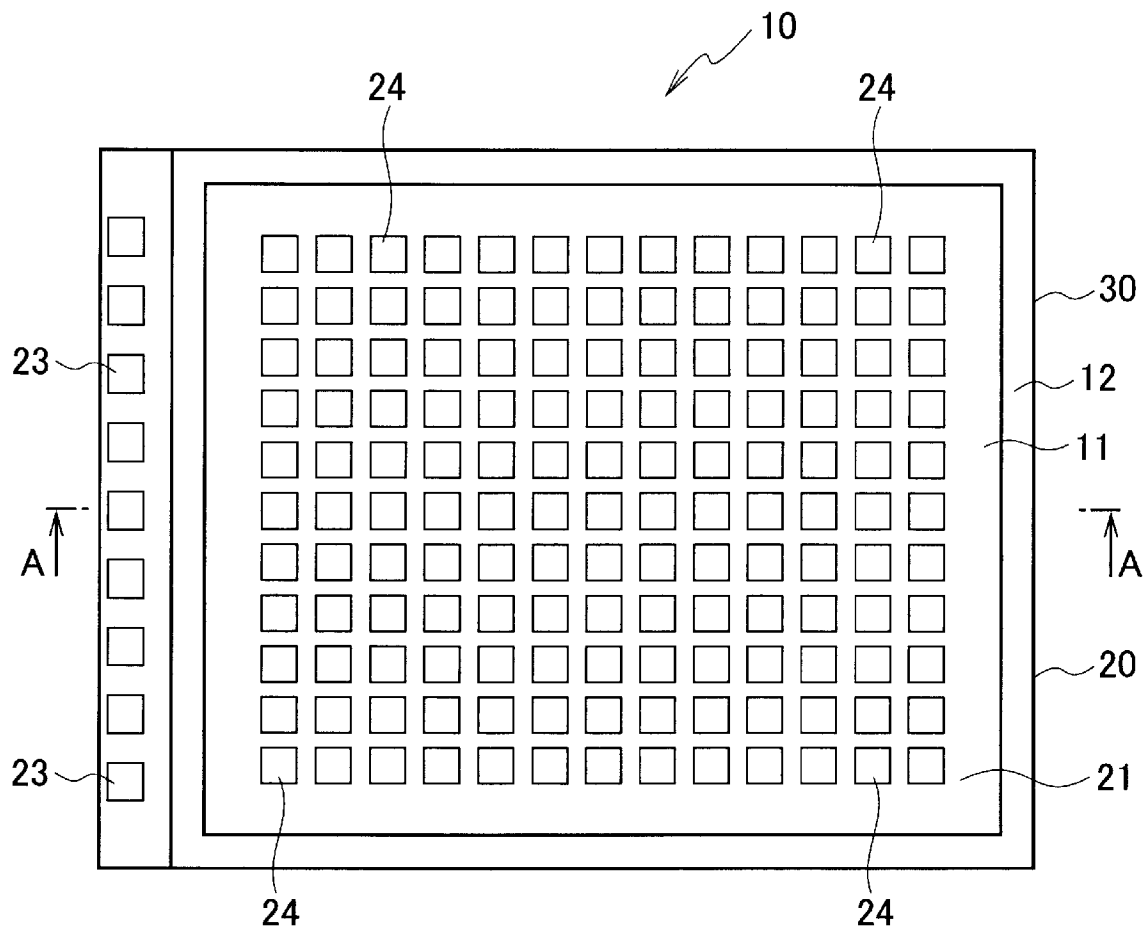
[請求項5]

前記情報データは、前記信号光の入力ポート及び出力ポートの位置と前記信号光における入射光に対する反射光の角度との関係を示すパラメータと、前記信号光の波長帯のパラメータとを含むことを特徴とする請求項1～4のうちのいずれか1項に記載の位相変調装置。

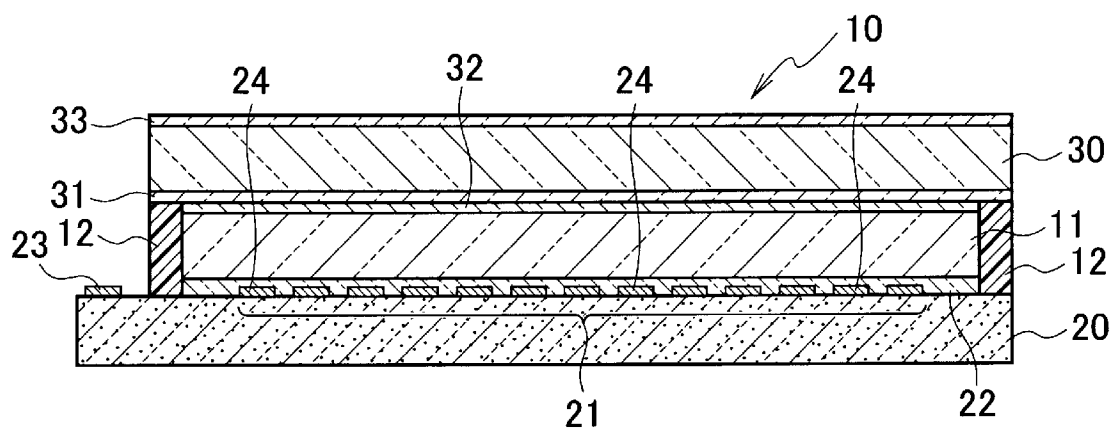
[図1]



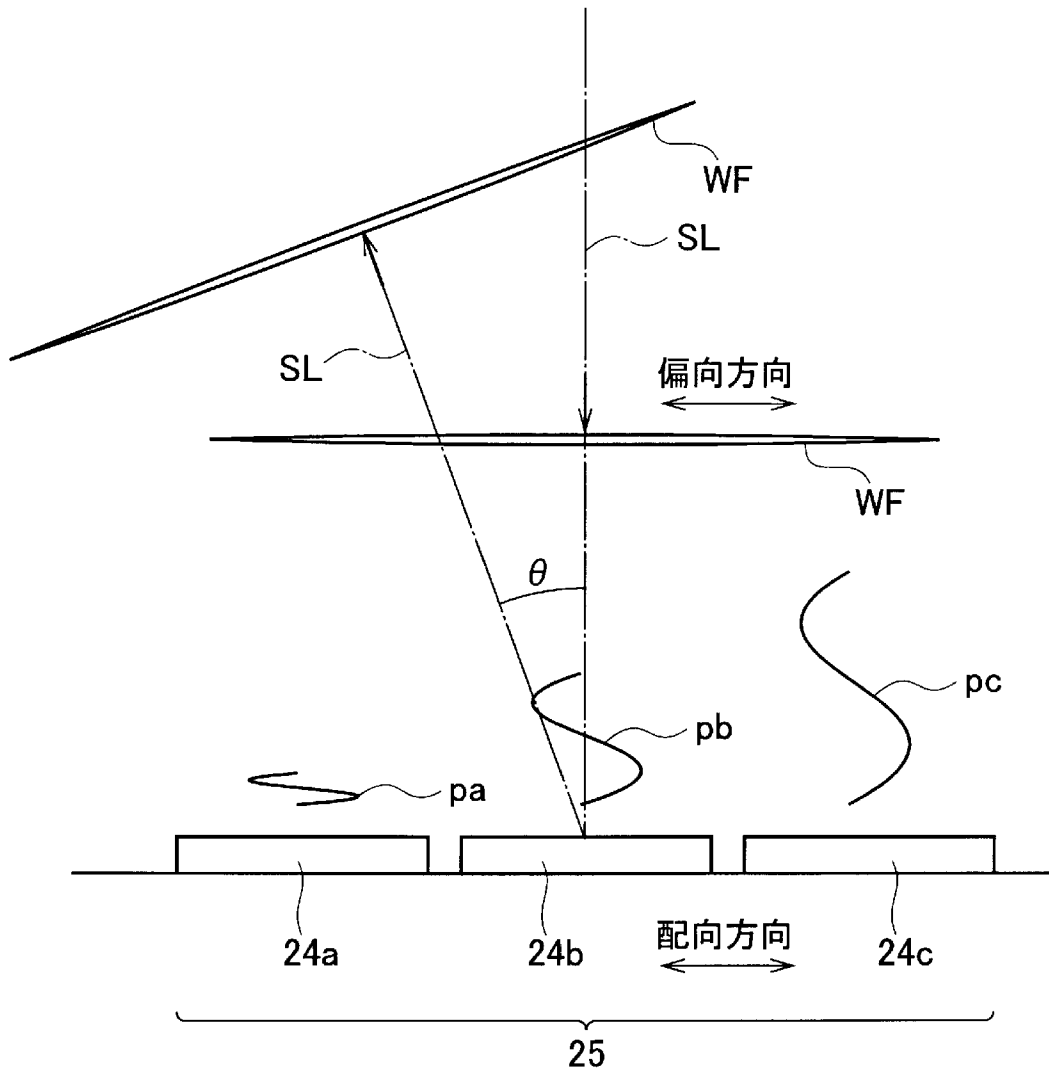
[図2]



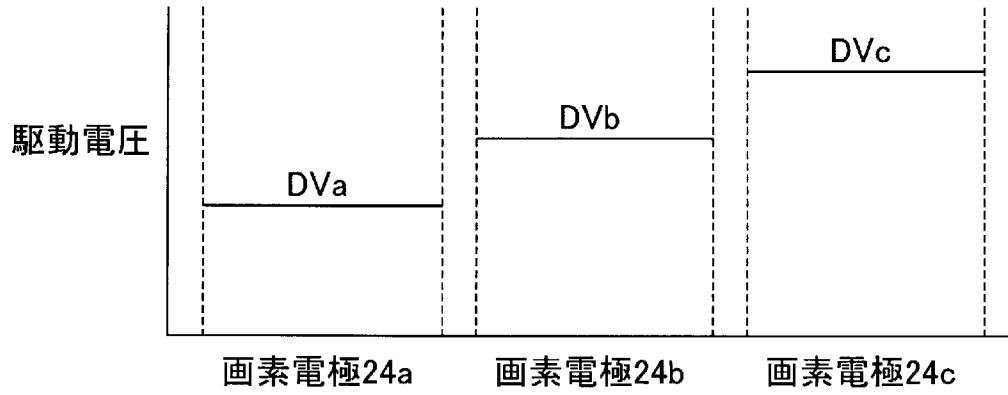
[図3]



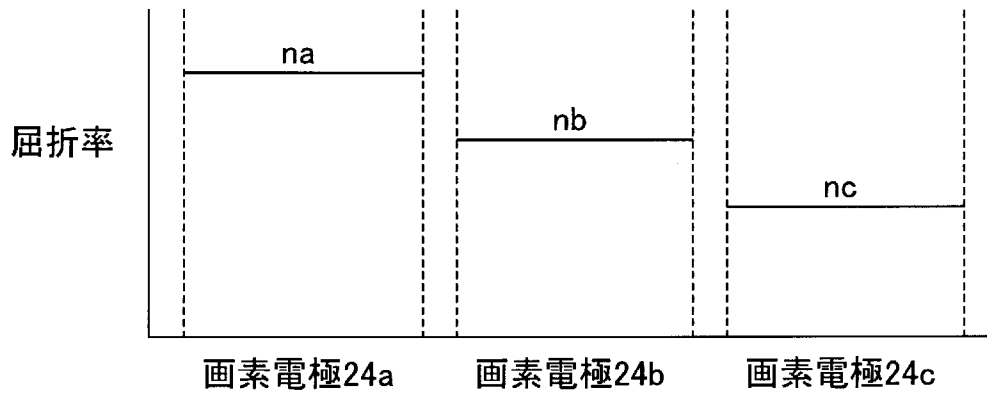
[図4]



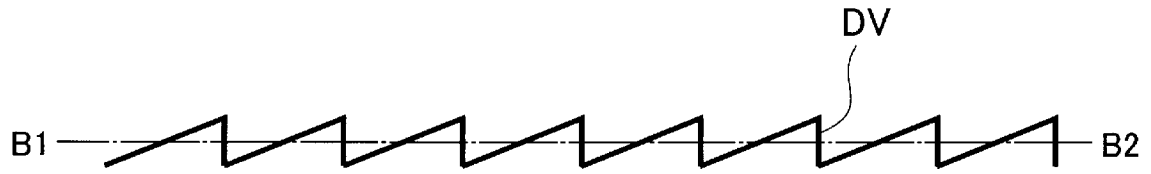
[図5A]



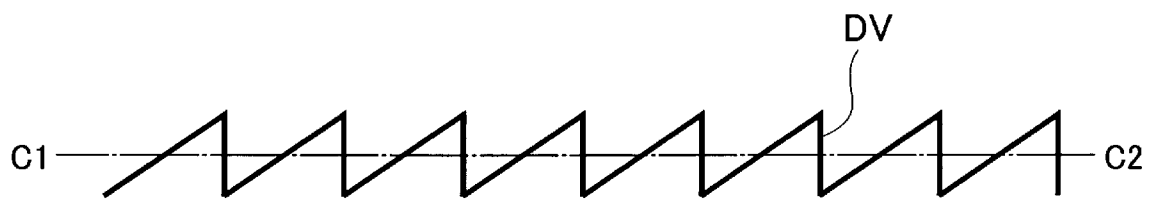
[図5B]



[図7A]



[図7B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/037206

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02F1/13(2006.01) i, G02F1/31(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F113, G02F1/31

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-54004 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 16 March 2017, entire text, all drawings (Family: none)	1-5
A	JP 2016-122061 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 07 July 2016, entire text, all drawings & WO 2016/103692 A1	1-5
A	JP 2007-3981 A (SEIKO EPSON CORP.) 11 January 2007, entire text, all drawings (Family: none)	1-5

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
30 November 2018 (30.11.2018)

Date of mailing of the international search report
11 December 2018 (11.12.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/13(2006.01)i, G02F1/31(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/13, G02F1/31			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2018年 日本国実用新案登録公報 1996-2018年 日本国登録実用新案公報 1994-2018年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2017-54004 A (日本電信電話株式会社) 2017.03.16, 全文、全図 (ファミリーなし)	1-5	
A	JP 2016-122061 A (日本電信電話株式会社) 2016.07.07, 全文、全図 & WO 2016/103692 A1	1-5	
A	JP 2007-3981 A (セイコーエプソン株式会社) 2007.01.11, 全文、全図 (ファミリーなし)	1-5	
☐ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 30.11.2018		国際調査報告の発送日 11.12.2018	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 佐藤 洋允	2L 3413
		電話番号 03-3581-1101 内線 3295	