[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 5/00 (2006.01)
G11C 11/409 (2006.01)
H01L 23/58 (2006.01)

[12] 发明专利说明书

专利号 ZL 200510063491.5

[45] 授权公告日 2008 年 11 月 12 日

[11] 授权公告号 CN 100433178C

[22] 申请日 2005.4.11
[21] 申请号 200510063491.5
[73] 专利权人 智元科技股份有限公司
地址 中国台湾
[72] 发明人 黄崇仁 卢叔东 陈吉元
[56] 参考文献
US5016223A 1991.5.14
CN1344028A 2002.4.10
US20030048670A1 2003.3.13
审查员 孟田革

[74] 专利代理机构 北京中原华和知识产权代理有限责任公司
代理人 寿 宁 张华辉

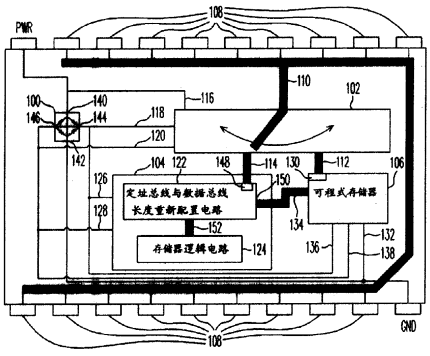
权利要求书 4 页 说明书 8 页 附图 5 页

[54] 发明名称

存储器电路元件应用装置

[57] 摘要

本发明是有关于一种存储器电路元件应用装置，此装置是于集成电路存储器元件内部加入单向性导通元件整流装置与可程式存储器与开关元件，利用单向性导通元件整流装置，使元件外部电源正接或反接，内部电源供应皆不受影响。再利用元件外部电源脚位信号作判断信号。当正接时，判定逻辑为 1，此时元件外部脚位连接至存储器，可对存储器作测试；反接时，判定逻辑为 0，此时元件外部脚位连接至可程式存储器，利用元件外部脚位对可程式存储器作程式化可用作修补存储器，亦或是改变存储器位址与数据排线长度。



1、一种存储器电路元件应用装置，其特征在于其包括:

一存储器电路元件脚位组，包括一存储器电路元件电源脚位、一存储器电路元件接地脚位以及多数个脚位;

一开关装置，包括一第一总线、一第二总线、一第三总线以及一第一控制线，该第一总线耦接至该存储器电路元件脚位组，该第一控制线耦接该存储器电路元件电源脚位与该存储器电路元件接地脚位二者其一，利用该第一控制线信号决定该第一总线耦接该第二总线或该第三总线;

一存储器电路，包括:

一存储器逻辑电路，用以储存/读取数据；以及

一定址总线与数据总线长度重新配置电路，包括一第四总线、一第五总线以及一第六总线，该第四总线耦接至该第三总线，该第六总线耦接至该存储器逻辑电路，依据该第五总线的输入信号，以决定定址总线与数据总线长度配置，并将该第四总线送入的信号，按照该第五总线输入的设定，判定并对存储器逻辑电路存取;

一可程式存储器电路，包括一第七总线、一第二控制线以及一第八总线，该第七总线耦接该第二总线，该第二控制线耦接至该存储器电路元件电源脚位以及该存储器电路元件接地脚位二者中另一个，该第八总线耦接该第五总线，利用该第二控制线信号，以决定写入状态或输出状态，当写入状态时，利用该第七总线输入的信号作程式化的动作，当输出状态时，将程式化后的结果输出，经由该第八总线，送至该定址总线与数据总线长度重新配置电路，用以决定该存储器电路的定址长度与数据长度；以及

一单向性导通元件整流装置，耦接该存储器电路元件电源脚位与该存储器电路元件接地脚位以接受一外部电源，并从固定的两端分别固定提供一正电位及一接地电位以供应内部所有元件的电源。

2、根据权利要求 1 所述的存储器电路元件应用装置，其特征在于其中耦接该开关装置的该存储器电路元件脚位组为除了存储器电路元件接地脚位与存储器电路元件电源脚位除外的脚位。

3、根据权利要求 1 所述的存储器电路元件应用装置，其特征在于其中所述的可程式存储器是为一次程式化存储器。

4、根据权利要求 1 所述的存储器电路元件应用装置，其特征在于其中所述的可程式存储器是为闪存。

5、根据权利要求 1 所述的存储器电路元件应用装置，其特征在于其中更包括一锁存器，包括一第九总线以及一第十总线，该第九总线耦接该第八总线，该第十总线耦接至该第五总线，用以作该可程式存储器与该存储

器电路信号的同步。

6、一种存储器电路元件应用装置，其特征在于其包括:

一存储器电路元件脚位组，包括一存储器电路元件电源脚位、一存储器电路元件接地脚位以及多数个脚位;

一存储器电路，包括内部电源线、内部接地线以及信号线组;

一开关装置，包括一第一总线、一第二总线、一第三总线、一第一控制线、一内部电源线以及一内部接地线，该第一总线耦接该存储器电路元件脚位组，该第一控制线耦接该存储器电路元件电源脚位与该存储器电路元件接地脚位二者其一，该存储器电路的信号线组至少部分耦接该第二总线，利用控制线信号，以决定该第一总线耦接该第二总线或该第三总线;

一可程式存储器电路,包括一第四总线、一第五总线、一第二控制线、一内部电源线以及一内部接地线，该第四总线耦接至该第三总线，该第二控制线耦接该存储器电路元件电源脚位与该存储器电路元件接地脚位二者中另一个，该存储器电路的信号线组至少部分耦接该第五总线，根据该第二控制线信号，以决定写入或读取，用以修补该存储器电路的缺陷; 以及

一单向性导通元件整流装置，包括一电源输入端、一外部接地端、一内部电源端与一内部接地端，该电源输入端耦接该存储器电路元件电源脚位，该外部接地端耦接该存储器电路元件接地脚位，该内部电源端耦接该存储器电路的内部电源线、该可程式存储器电路的内部电源线以及该开关装置的内部电源线，该内部接地端耦接该存储器电路的内部接地线、该可程式存储器电路的内部接地线以及该开关装置的内部接地线，用以供应内部所有元件的电源。

7、根据权利要求 6 所述的存储器电路元件应用装置，其特征在于其中耦接开关装置的存储器电路元件脚位为除了该存储器电路元件接地脚位与该存储器电路元件电源脚位之外的脚位。

8、根据权利要求 6 所述的存储器电路元件应用装置，其特征在于其中所述的存储器电路元件脚位组透过该开关装置耦接至该存储器电路时，用该集成电路元件脚位测试该存储器电路的缺陷。

9、根据权利要求 6 所述的存储器电路元件应用装置，其特征在于其中所述的存储器电路元件脚位透过该开关装置耦接至该可程式存储器时，可用该存储器电路元件脚位程式化该可程式存储器以修补该存储器电路的缺陷。

10、根据权利要求 6 所述的存储器电路元件应用装置，其特征在于其中所述的可程式存储器是为一次程式化存储器。

11、根据权利要求 6 所述的存储器电路元件应用装置，其特征在于其中所述的可程式存储器是为闪存。

12、一种存储器电路元件应用装置，其特征在于其包括:

一存储器电路元件脚位组，包括多数个脚位;

一开关装置，包括一第一总线、一第二总线、一第三总线以及一第一控制线，该第一总线耦接至该存储器电路元件脚位组，该第一控制线耦接该存储器电路元件脚位组其中之一，利用该第一控制线信号决定该第一总线耦接该第二总线或该第三总线;

一存储器电路，包括:

一存储器逻辑电路，用以储存/读取数据；以及

一定址总线与数据总线长度重新配置电路，包括一第四总线、一第五总线以及一第六总线，该第四总线耦接至该第三总线，该第六总线耦接至该存储器逻辑电路，依据该第五总线的输入信号，以决定定址总线与数据总线长度配置，并将该第四总线送入的信号，按照该第五总线输入的设定，判定并对存储器逻辑电路存取；以及

一可程式存储器电路，包括一第七总线、一第二控制线以及一第八总线，该第七总线耦接该第二总线，该第二控制线耦接至该存储器电路元件脚位组其中之一，该第八总线耦接该第五总线，利用该第二控制线信号,以决定写入状态或输出状态，当写入状态时,利用该第七总线输入的信号作程式化的动作，当输出状态时,将程式化后的结果输出，经由该第八总线，送至该定址总线与数据总线长度重新配置电路，用以决定该存储器电路的定址长度与数据长度。

13、根据权利要求 12 所述的存储器电路元件应用装置，其特征在于其中所述的可程式存储器是为一次程式化存储器。

14、根据权利要求 12 所述的存储器电路元件应用装置，其特征在于其中所述的可程式存储器是为闪存。

15、根据权利要求 12 所述的存储器电路元件应用装置，其特征在于其中更包括一锁存器，包括一第九总线以及一第十总线，该第九总线耦接该第八总线，该第十总线耦接至该第五总线，用以作该可程式存储器与该存储器电路信号的同步。

16、一种存储器电路元件应用装置，其特征在于其包括:

一存储器电路元件脚位组，包括一存储器电路元件电源脚位、一存储器电路元件接地脚位以及多数个脚位;

一存储器电路，包括信号线组;

一开关装置，包括一第一总线、一第二总线、一第三总线、一第一控制线，该第一总线耦接该存储器电路元件脚位组，该第一控制线耦接该存储器电路元件脚位组其中之一，该存储器电路的信号线组至少部分耦接该第二总线，利用控制线信号，以决定该第一总线耦接该第二总线或该第三

总线；以及

一可程式存储器电路，包括一第四总线、一第五总线、一第二控制线，该第二控制线耦接该存储器电路元件脚位组其中之一，该第四总线耦接至该第三总线，该存储器电路的信号线组至少部分耦接该第五总线，根据该第二控制线信号，以决定是否写入，根据写入的数据以修补存储器电路的缺陷。

17、根据权利要求 16 所述的存储器电路元件应用装置，其特征在于其中耦接开关装置的存储器电路元件脚位为除了该存储器电路元件接地脚位与该存储器电路元件电源脚位之外的脚位。

18、根据权利要求 16 所述的存储器电路元件应用装置，其特征在于其中所述的存储器电路元件脚位组透过该开关装置耦接至该存储器电路时，可用该集成电路元件脚位测试该存储器电路的缺陷。

19、根据权利要求 16 所述的存储器电路元件应用装置，其特征在于其中所述的存储器电路元件脚位透过该开关装置耦接至该可程式存储器时，可用该存储器电路元件脚位程式化该可程式存储器以修补该存储器电路的缺陷。

20、根据权利要求 16 所述的存储器电路元件应用装置，其特征在于其中所述的可程式存储器是为一次程式化存储器。

21、根据权利要求 16 所述的存储器电路元件应用装置，其特征在于其中所述的可程式存储器是为闪存。

存储器电路元件应用装置

技术领域

本发明涉及一种应用于集成电路的装置，特别是涉及一种存储器电路元件应用装置。

背景技术

习知的存储器，如动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)或包含存储器的系统单晶片等，是以半导体制程制造，但随着电子元件的微小而复杂化以及制程的进步，存储器容量亦同步扩大。

然而，存储器电路在制作过程中，于设计时，就必需要先决定存储器阵列的定址长度与数据长度；若经过制程下线后，想要在回头改变定址长度与数据长度，则已经无法用激光修补方式做到改变定址长度与数据长度。

另外，动态随机存取存储器，被期待以较小的面积，具有更大的记忆容量，当存储器容量越来越大时，因更细微的加工，伴随信号微小化，不可避免的，在半导体制造上产生错误的存储器位元(memory bit 或称作存储器胞室 memory cell)的机率也越来越高，使得良率降低，因此，存储器除了正常所需成列成行的存储器区域，同时留有备用电路(redundancy circuit 或称作备用胞室 redundancy cell)，利用激光修补技术改变电路路径，但是，若封装完成后，仍有损坏区段，则此存储器无法使用。

发明内容

本发明的目的在于，提供一种新型结构的存储器电路元件应用装置，所要解决的技术问题是使其可使存储器电路改变其定址长度(Address Length)与数据长度(Data Length)，从而更加适于实用。

本发明的另一目的在于，提供一种存储器电路元件应用装置，所要解决的技术问题是使其可以修补存储器电路损坏区段，从而更加适于实用。

本发明的目的及解决其技术问题是采用以下技术方案来实现的。为了达到上述发明目的，依据本发明的存储器电路元件应用装置，其包括存储器电路元件脚位组、开关装置、存储器电路、可程式存储器电路以及单向性导通元件整流装置。存储器电路又包括定址总线与数据总线长度重新配置电路以及存储器逻辑电路。而存储器电路元件脚位组包括存储器电路元件电源脚位、存储器电路元件接地脚位以及多数个脚位。而单向性导通元件整流装置，耦接存储器电路元件电源脚位与存储器电路元件接地脚位以

接受一外部电源，并从固定的两端分别固定提供一正电位及一接地电位以供应内部所有元件的电源。而开关装置包括第一总线、第二总线、第三总线以及第一控制线，第一总线耦接存储器电路元件脚位组，第一控制线耦接存储器电路元件电源脚位与存储器电路元件接地脚位二者其一，利用第一控制线信号决定决定该第一总线耦接该第二总线或该第三总线。而存储器电路内部的定址总线与数据总线长度重新配置电路包括第四总线、第五总线以及第六总线，第四总线耦接至第三总线，第六总线耦接至该存储器逻辑电路，依据第五总线的输入信号，以决定定址总线与数据总线长度配置。存储器电路内部的存储器逻辑电路，根据定址总线与数据总线长度重新配置电路所配置的定址总线与数据总线长度储存数据。可程式存储器电路包括第七总线、第二控制线以及第八总线，第七总线耦接第二总线，第二控制线耦接至存储器电路元件电源脚位与存储器电路元件接地脚位二者中另一个，第八总线耦接至第五总线，利用第二控制线信号，以决定写入状态或输出状态，当写入状态时，利用集成电路元件脚位对其作程式化，当输出状态时，将程式化后的结果输出，经由输出总线，送至该存储器电路的定址总线与数据总线长度重新配置电路，用以决定该存储器电路的定址长度与数据长度。

本发明的目的及解决其技术问题还采用以下的技术方案来实现。又，为了达到上述发明目的，依据本发明的存储器电路元件应用装置，其包括存储器电路元件脚位组、存储器电路、开关装置、可程式存储器电路以及单向性导通元件整流装置。其中，存储器电路元件脚位组包括存储器电路元件电源脚位、存储器电路元件接地脚位以及多数个脚位。存储器电路包括内部电源线、内部接地线以及信号线组。开关装置包括第一总线、第二总线、第三总线、控制线、内部电源线以及一内部接地线，第一总线耦接存储器电路元件脚位组，控制线耦接存储器电路元件电源脚位与存储器电路元件接地脚位二者其一，存储器电路的信号线组至少部分耦接第二总线。可程式存储器电路包括第四总线、第五总线、内部电源线以及内部接地线，第四总线耦接至第三总线，存储器电路的信号线组至少部分耦接第五总线。单向性导通元件整流装置，包括一电源输入端、外部接地端、内部电源端与内部接地端，电源输入端耦接存储器电路元件电源脚位，外部接地端耦接存储器电路元件接地脚位，内部电源端耦接存储器电路的内部电源线、可程式存储器电路的内部电源线以及开关装置的内部电源线，内部接地端耦接存储器电路的内部接地线、可程式存储器电路的内部接地线以及开关装置的内部接地线，用以供应内部所有元件的电源。而开关装置利用控制线信号，以决定第一总线耦接第二总线或第三总线。且利用可程式存储器电路，用以修补存储器电路的缺陷。

再者，为了达到上述目的，依据本发明的存储器电路元件应用装置，其包括存储器电路元件脚位组、开关装置、存储器电路以及可程式存储器电路。存储器电路元件脚位组包括多数个脚位。开关装置包括第一总线、第二总线、第三总线以及第一控制线；第一总线耦接至存储器电路元件脚位组，第一控制线耦接存储器电路元件脚位组其中之一，利用第一控制线信号决定第一总线耦接第二总线或第三总线。存储器电路包括存储器逻辑电路以及定址总线与数据总线长度重新配置电路。存储器逻辑电路用以储存/读取数据。定址总线与数据总线长度重新配置电路包括第四总线、第五总线以及第六总线，第四总线耦接至第三总线，第六总线耦接至存储器逻辑电路，依据第五总线的输入信号，以决定定址总线与数据总线长度配置，并将第四总线送入的信号，按照第五总线输入的设定，判定并对存储器逻辑电路存取。可程式存储器电路包括第七总线、第二控制线以及第八总线，第七总线耦接第二总线，第二控制线耦接至存储器电路元件脚位组其中之一，第八总线耦接第五总线，利用第二控制线信号，以决定写入状态或输出状态，当写入状态时，利用第七总线输入的信号作程式化的动作，当输出状态时，将程式化后的结果输出，经由第八总线，送至定址总线与数据总线长度重新配置电路，用以决定存储器电路的定址长度与数据长度。

此外，为了达到上述目的，依据本发明的存储器电路元件应用装置，其包括存储器电路元件脚位组、存储器电路、开关装置以及可程式存储器电路。其中，存储器电路元件脚位组包括记忆体电路元件脚位、记忆体电路元件接地脚位以及多数个脚位。存储器电路包括信号线组。开关装置包括第一总线、第二总线、第三总线、第一控制线，第一总线耦接存储器电路元件脚位组，第一控制线耦接存储器电路元件脚位组其中之一，存储器电路的信号线组至少部分耦接第二总线，利用控制线信号，以决定第一总线耦接第二总线或第三总线。可程式存储器电路包括第四总线、第五总线、第二控制线，第二控制线耦接存储器电路元件脚位组其中之一，第四总线耦接至第三总线，存储器电路的信号线组至少部分耦接第五总线，根据第二控制线信号，以决定是否写入，根据写入的数据以修补存储器电路的缺陷。

本发明因电源输入端采用单向性导通元件整流装置结构，因此外部电源端与地端反接，对于集成电路内部的电源与地端不受影响，且可以利用外部电源脚位当作控制信号，来控制修补存储器或决定存储器定址长度与数据长度。

本发明与现有技术相比具有明显的优点和有益效果。经由上述可知，本发明是有关于一种存储器电路元件应用装置，此装置是于集成电路存储器元件内部加入单向性导通元件整流装置与可程式存储器与开关元件，利用

单向性导通元件整流装置，使元件外部电源正接或反接，内部电源供应皆不受影响。再利用元件外部电源脚位信号作判断信号。当正接时，判定逻辑为 1，此时元件外部脚位连接至存储器，可对存储器作测试；反接时，判定逻辑为 0，此时元件外部脚位连接至可程式存储器，利用元件外部脚位对可程式存储器作程式化可用作修补存储器，亦或是改变存储器位址与数据排线长度。

上述说明仅是本发明技术方案的概述，为了能够更清楚了解本发明的技术手段，而可依照说明书的内容予以实施，并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂，以下特举较佳实施例，并配合附图，详细说明如下。

附图说明

图 1 为本发明第一实施例存储器电路元件应用装置电路方块图。

图 2 为本发明第一实施例存储器电路元件应用装置另一实施方式电路方块图。

图 3 为本发明第二实施例存储器电路元件应用装置电路方块图。

图 4 为本发明第三实施例存储器电路元件应用装置电路方块图。

图 5 为本发明第四实施例存储器电路元件应用装置电路方块图。

PWR：存储器电路元件电源脚位

GND：存储器电路元件接地脚位

100、200、300：单向性导通元件整流装置

102、202、302：开关装置　　104、204：存储器电路

106、206、304：可程式存储器电路

108、208、308、400、500：存储器电路元件脚位组

110、112、114、130、134：总线

148、150、152、210、212：总线

214、230、234、248、250：总线

252、310、312、314、322、324：总线

116、132、216、232、316：控制线

118、126、136、218、226、236、318、328、332：内部电源线

120、128、138、220、228、238、320、330、334：内部接地线

122、222：定址总线与数据总线长度重新配置电路

124、224：存储器逻辑电路　　140、240、338：电源输入端

142、242、340：外部接地端　　144、244、342：内部电源端

146、246、344：内部接地端　　254：锁存器

306：存储器电路　　336：信号线组

401、501：脚位

具体实施方式

为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效，以下结合附图及较佳实施例，对依据本发明提出的存储器电路元件应用装置其具体实施方式、结构、特征及其功效，详细说明如后。

图 1 为本发明一实施例的存储器电路元件应用装置电路方块图，请参照图 1 所示，其包含存储器电路元件电源脚位 PWR、存储器电路元件接地脚位 GND、单向性导通元件整流装置 100、开关装置 102、存储器电路 104、可程式存储器电路 106（可程式存储器电路可以包括一次程式化存储器 One Time Programming, OTP Memory 或闪存 Flash Memory...等等，以下皆称之为可程式存储器电路，不另外举例）以及存储器电路元件脚位组 108。其中，开关装置 102 包括总线 110、总线 112、总线 114、控制线 116、内部电源线 118 以及一内部接地线 120。而存储器电路 104 包括定址总线与数据总线长度重新配置电路 122（Address Bus and Data Bus Length Reconfiguration Circuit）、存储器逻辑电路 124、内部电源线 126 以及内部接地线 128。而可程式存储器电路 106 包括总线 130、控制线 132、总线 134、内部电源线 136 以及内部接地线 138。而单向性导通元件整流装置 100 包括电源输入端 140、外部接地端 142、内部电源端 144 以及内部接地端 146。其中，定址总线与数据总线长度重新配置电路 122 又包括总线 148、总线 150 以及总线 152。

单向性导通元件整流装置 100 的电源输入端 140 耦接存储器电路元件电源脚位 PWR，其外部接地端 142 耦接存储器电路元件接地脚位 GND，内部电源端 144 耦接开关装置 102 的内部电源线 118、存储器电路 104 的内部电源线 126 以及可程式存储器电路 106 的内部电源线 136，其内部接地端耦接开关装置 102 的内部接地线 120、存储器电路 104 的内部接地线 128 以及可程式存储器电路 106 的内部接地线 138。开关装置 102 的总线 110 耦接至存储器电路元件脚位组 108，控制线 116 耦接存储器电路元件电源脚位 PWR（此实施例用存储器电路元件电源脚位 PWR，亦可使用存储器电路元件接地脚位 GND），总线 112 耦接可程式存储器电路 106 的总线 130，总线 114 耦接存储器电路 104 内部定址总线与数据总线长度重新配置电路 122 的总线 148。而可程式存储器电路 106 的总线 130 耦接开关装置 102 的总线 112，而其控制线 132 耦接存储器电路元件接地脚位（此实施例用存储器电路元件接地脚位 GND，亦可使用存储器电路元件电源脚位 PWR），其总线 134 耦接存储器电路 104 内部的定址总线与数据总线长度重新配置电路 122 的总线 150。存储器电路 104 内部定址总线与数据总线长度重新配置电路 122 的总线 148 耦接

该开关装置 102 的总线 114，总线 152 耦接存储器逻辑电路 124。

单向性导通元件整流装置 100 其功能为无论电源(正电位)接存储器电路元件电源脚位 PWR，地电位(电位为 0)接存储器电路元件接地脚位 GND 或电源(正电位)接存储器电路元件接地脚位 GND，地电位(电位为 0)接存储器电路元件电源脚位 PWR，于存储器电路元件内部供应电源皆不受影响(单向性导通元件整流装置为习知，例如桥式整流，任何熟知电子领域者，皆有许多不同的方式实施，故不在此赘述)。而开关装置 102 利用控制线 116 信号决定总线 110 连接总线 112 或总线 114。可程式存储器电路 106 利用控制线 132 信号决定写入状态或输出状态，当写入状态时，利用其总线 130 的信号作程式化的动作，当输出状态时，将程式化后的结果输出至总线 134，送至存储器电路 104 内部的定址总线与数据总线长度重新配置电路 122，用以决定该存储器电路的定址长度(Address Length)与数据长度(Data Length)。定址总线与数据总线长度重新配置电路 122 依据总线 150 的输入信号，决定定址总线长度与数据总线长度配置。存储器逻辑电路 124 则根据定址总线与数据总线长度重新配置电路 122 所送入的信号，作储存数据或读取数据。

根据上例来说，请参见图 1 所示，当本发明存储器电路元件应用装置正接时，电源(正电位)接存储器电路元件电源脚位 PWR，地电位(电位为 0)接存储器电路元件接地脚位 GND 时，此时开关装置 102 的控制线 116 接收到逻辑 1 的信号(此实施例用存储器电路元件电源脚位 PWR，熟习此技艺者，应当知晓，亦可使用存储器电路元件接地脚位 GND 作控制线信号)，则开关装置 102 将开关切至总线 112。而可程式存储器电路 106 的控制线 132 接收到逻辑 0 的信号(此实施例用存储器电路元件接地脚位 GND，熟习此技艺者，应当知晓，亦可使用存储器电路元件电源脚位 PWR 作控制线信号)，此时，可程式存储器电路 106 即进入写入状态。由于此时相当于存储器电路元件脚位组 108 电性耦接至可程式存储器电路 106，即可用存储器电路元件脚位组 108 输入信号对可程式存储器电路 106 作程式化的动作。

当本发明存储器电路元件应用装置反接时，电源(正电位)接存储器电路元件接地脚位 GND，地电位(电位为 0)接存储器电路元件电源脚位 PWR 时，此时，开关装置 102 接收到逻辑 0 的信号，并将开关切换至总线 114。而可程式存储器电路 106 也接收到逻辑 1 的状态，由于先前已经对可程式存储器作程式化，此时，可程式存储器 106 根据先前程式化的结果输出至输出总线 134。而存储器电路 104 内部的定址总线与数据总线长度重新配置电路 122 的总线 150 接收到可程式存储器 106 的输出信号，便决定存储器电路的定址总线长度与数据总线长度的配置(如 1M×16 或 2M×8 或 4M×4…等等)。由于此时，开关装置 102 的开关切换至总线 114，而总线 114 耦接存储器电路

104 内部的定址总线与数据总线长度重新配置电路 122 的总线 148，相当于存储器电路元件脚位组 108 电性耦接至存储器电路 104 内部的定址总线与数据总线长度重新配置电路 122，如此便可定义存储器电路元件脚位组 108 对应设定(1M×16 或 2M×8 或 4 M ×4)对存储器作存取的动作。

上述的存储器电路元件应用装置，更可以在可程式存储器与存储器电路之间加入锁存器 254，如图 2 所示，可以将可程式存储器输出数据与存储器时脉同步，其余操作模式便如上面所述，故不予赘述。

图 3 为本发明另一实施例的存储器电路元件应用装置电路方块图，请参见图 3 所示，其包括存储器电路元件电源脚位 PWR、存储器电路元件接地脚位 GND、单向性导通元件整流装置 300、开关装置 302、可程式存储器电路 304 (同样的，这里的可程式存储器电路可以包括一次程式化存储器 OTP Memory 或闪存 Flash Memory...等等，以下皆称之为可程式存储器电路，不另外举例)、存储器电路 306 以及存储器电路元件脚位组 308。其中，开关装置包括总线 310、总线 312、总线 314、控制线 316、内部电源线 318 以及内部接地线 320。可程式存储器电路 304 包括总线 322、总线 324、控制线 326、内部电源线 328 以及内部接地线 330。存储器电路 306 包括内部电源线 332、内部接地线 334 以及信号线组 336。单向性导通元件整流装置 300 包括电源输入端 338、外部接地端 340、内部电源端 342 与内部接地端 344。

单向性导通元件整流装置 300 的电源输入端 338 耦接存储器电路元件电源脚位 PWR，其外部接地端 340 耦接存储器电路元件接地脚位 GND，内部电源端 342 耦接存储器电路 306 的内部电源线 332、可程式存储器电路 304 的内部电源线 328 以及开关装置 302 的内部电源线 318，内部接地端 344 耦接存储器电路 306 的内部接地线 334、可程式存储器电路 304 的内部接地线 330 以及开关装置 302 的内部接地线 320。而开关装置 302 的总线 310 耦接存储器电路元件脚位组 308，其控制线 316 耦接存储器电路元件电源脚位 PWR(此实施例用存储器电路元件电源脚位 PWR，亦可使用存储器电路元件接地脚位 GND)。存储器电路 306 的信号线组 336 至少部分耦接总线 312，总线 314 耦接可程式存储器 304。可程式存储器电路 304 的总线 322 耦接开关装置的总线 314，其控制线 326 耦接存储器电路元件接地脚位 GND(此实施例用存储器电路元件接地脚位 GND，亦可使用存储器电路元件电源脚位 PWR)存储器电路 306 至少部分耦接其总线 324。

单向性导通元件整流装置 300 的功能与图 1 的单向性导通元件整流装置 100 相同，故在此不予赘述。而开关装置 302 利用控制线 316 信号决定总线 310 连接总线 312 或总线 314。可程式存储器电路 304 可用以修补存储器电路 306 的缺陷。

根据上例来说，请参见图 3 所示，当本发明存储器电路元件应用装置

正接时，电源(正电位)接存储器电路元件电源脚位 PWR，地电位(电位为 0)接存储器电路元件接地脚位 GND 时，此时开关装置 302 的控制线 316 接收到一逻辑 1 的信号(此实施例用存储器电路元件电源脚位 PWR，熟习此技艺者，应当知晓，亦可使用存储器电路元件接地脚位 GND 作控制线信号)，则开关装置 302 将开关切至总线 312。此时，相当于存储器电路元件脚位组 308 耦接存储器电路 306，如此便可以使用存储器电路元件脚位组 308 与存储器电路 306 的信号线对应关系来测试存储器电路 306 内部的缺陷。

当本发明存储器电路元件应用装置反接时，电源(正电位)接存储器电路元件接地脚位 GND，地电位(电位为 0)接存储器电路元件电源脚位 PWR 时，此时，开关装置 302 接收到逻辑 0 的信号，并将开关切换至总线 314。此时，相当于存储器电路元件脚位组 308 耦接可程式存储器 304 的总线 322，可程式存储器 304 的控制线 326 接收到逻辑 1 的信号，此时，可程式存储器 304 转变为可写入状态。而之前经由测试出存储器电路 306 的缺陷，便可使用存储器电路元件脚位组 308 将可程式存储器 304 作程式化，以修补存储器电路 306 的缺陷。

上述图 1 以及图 2 的存储器电路元件应用装置，可以用另一种实施方式，请参见图 4 所示。其中，图 4 与图 2 的差别在于将单向性导通元件整流装置 300 移除，另外开关元件的控制线以及可程式存储器的控制线耦接在存储器电路元件脚位组脚位 400 上的同一脚位 401 上(任何熟习此技艺者，应当了解，控制线仍可接在不同脚位上，依照应用而定，故不予赘述)，其操作相似于图 1 以及图 2，而控制的不同处在于，不需要将存储器电路元件正反接，只需要将脚位 401 加入控制信号即可程式化可程式存储器，达到改变内部的定址总线与数据总线长度的作用。

同样道理，图 3 亦有另一种实施方式如图 5，请参照图 5 所示。其中，图 5 与图 3 不同处在于将单向性导通元件整流装置 300 移除，另外，开关元件/可程式存储器的控制线耦接在存储器电路元件脚位组脚位 500 上的同一脚位 501 上(任何熟习此技艺者，应当了解，控制线仍可接在不同脚位上，依照应用而定，故不予赘述)，其操作相似于图 3，而控制的不同处在于，不需要将存储器电路元件正反接，改为将脚位 501 加入控制信号，以程式化可程式存储器，并用以修补存储器电路缺陷。

以上所述，仅是本发明的较佳实施例而已，并非对本发明作任何形式上的限制，虽然本发明已以较佳实施例揭露如上，然而并非用以限定本发明，任何熟悉本专业的技术人员，在不脱离本发明技术方案范围内，当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例，但凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰，均仍属于本发明技术方案的范围内。

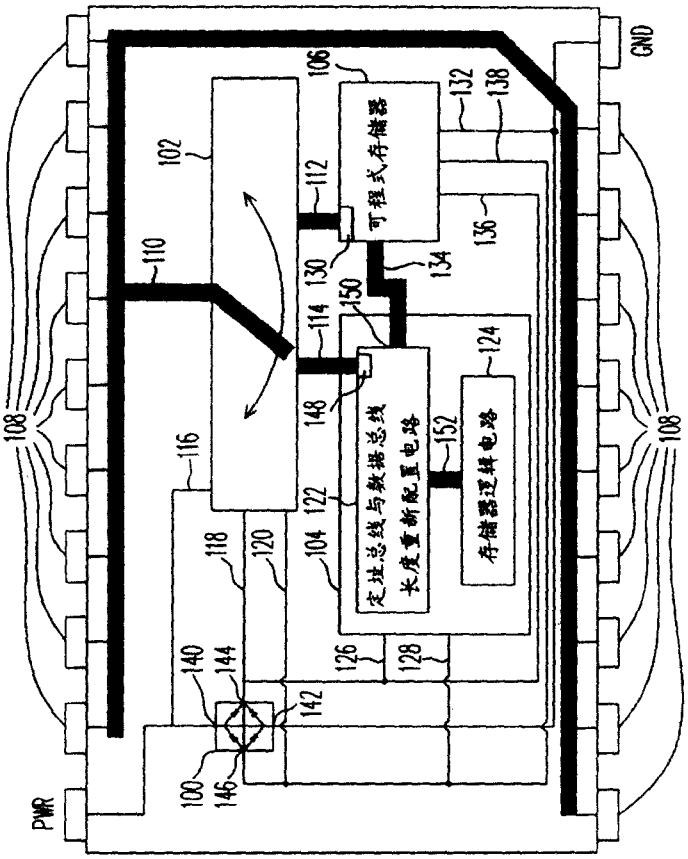

GND
PWR
可程式存储器
定址总线与数据总线
长度重新配置电路
存储器逻辑电路
100
102
104
106
108
110
112
114
116
118
120
122
124
126
128
130
132
134
136
138
140
142
144
146
148
150
152

图 1

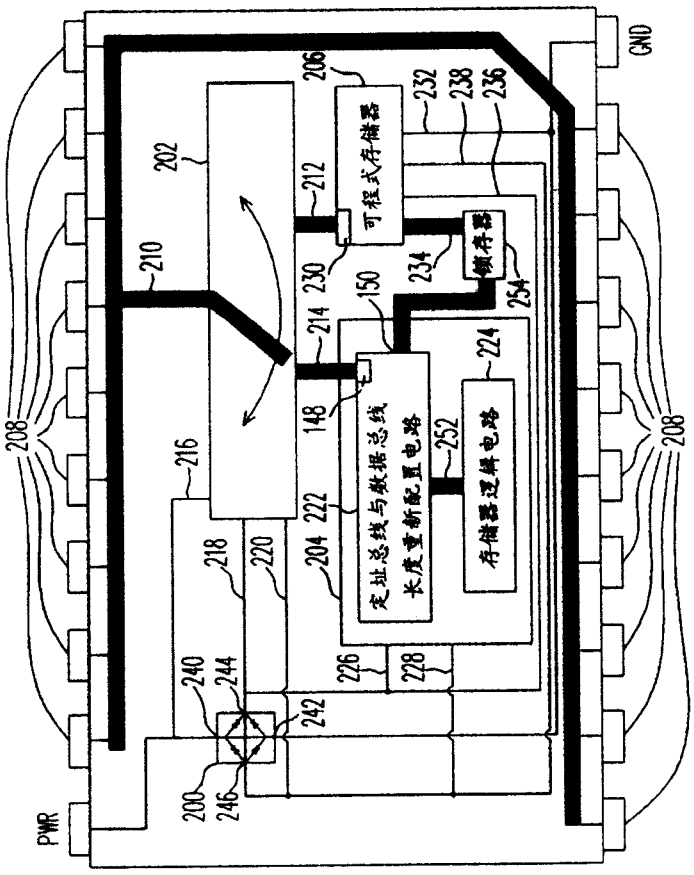

GND
PWR
208
206
232
238
236
202
212
可程式存储器
210
230
234
锁存器
254
150
214
224
148
定址总线与数据总线
长度重新配置电路
252
存储器逻辑电路
216
222
204
218
220
240
244
242
226
228
200
246

图 2

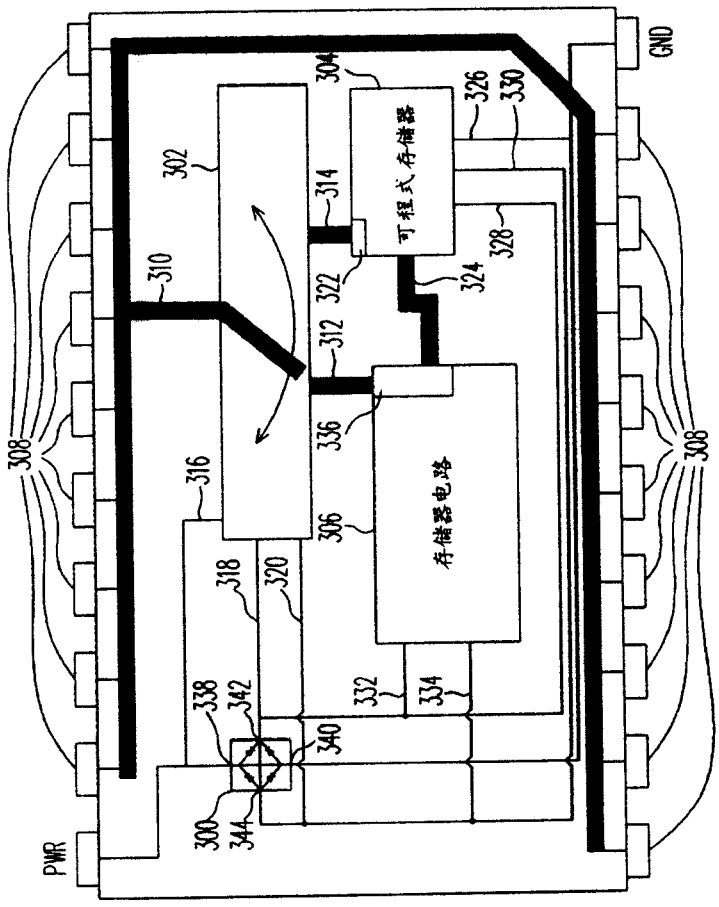

GND
PWR
308
308
304
326
330
302
314
可程式存储器
328
310
322
324
312
336
存储器电路
316
306
318
320
332
334
338
342
340
300
344

图 3

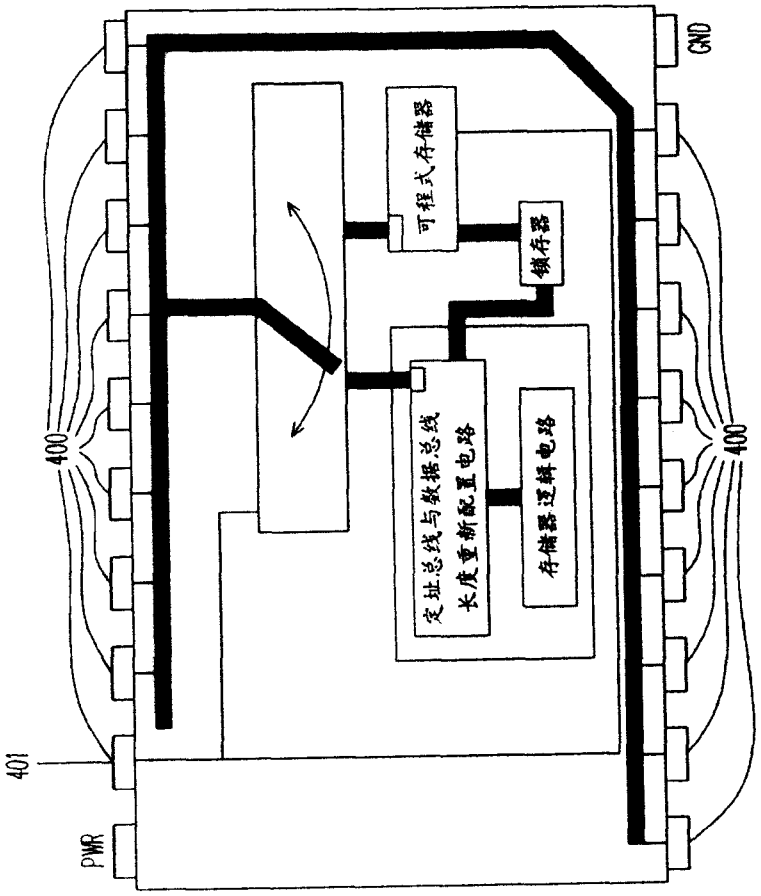


图 4

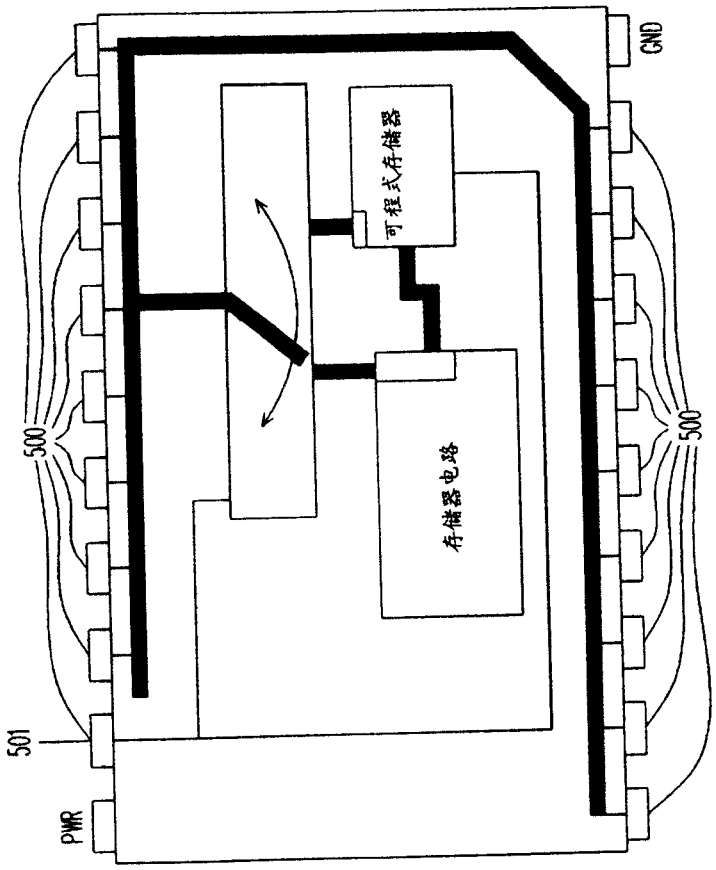


图 5