



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0039867  
(43) 공개일자 2020년04월17일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 29/786 (2006.01)  
H01L 51/52 (2006.01)  
(52) CPC특허분류  
H01L 27/3262 (2013.01)  
H01L 27/3276 (2013.01)  
(21) 출원번호 10-2018-0118769  
(22) 출원일자 2018년10월05일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
배준우  
경기도 화성시 동탄공원로 21-12, 912동 101호 (능동, 푸른마을 포스코더샵2차)  
구소영  
경기도 용인시 기흥구 서천동로 60 (서천동, 서천마을4단지)  
(74) 대리인  
팬코리아특허법인

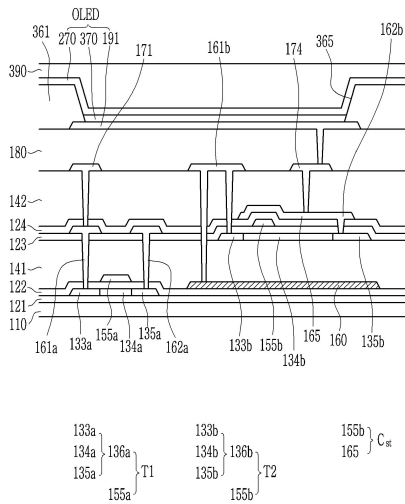
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

일 실시예에 따른 유기 발광 표시 장치는 기관, 상기 기관 위에 위치하는 제1 버퍼층, 상기 제1 버퍼층 위에 위치하는 제1 반도체층, 상기 제1 반도체층 위에 위치하는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 위치하는 제1 게이트 전극과 차단층, 상기 제1 게이트 전극 위에 위치하는 제2 버퍼층, 상기 제2 버퍼층 위에 위치하는 제2 반도체층, 상기 제2 반도체층 위에 위치하는 제2 게이트 절연막, 및 상기 제2 게이트 절연막 위에 위치하는 제2 게이트 전극을 포함한다.

대표도 - 도3



(52) CPC특허분류

*H01L 29/786* (2013.01)

*H01L 51/5237* (2013.01)

(72) 발명자

**김한빛**

서울특별시 관악구 인현11길 16, 301호 (봉천동 , 도담빌)

**엔귀엔탄티엔**

서울특별시 마포구 서강로 83, 104동 802호 (창전동, 창전동현대홈타운)

**이경원**

서울특별시 강서구 강서로45다길 30-27, 101동 506호 (화곡동 , 초록아파트)

**이용수**

서울특별시 서초구 신반포로 137, 2동 403호 (반포동 , 경남아파트)

**이재섭**

서울특별시 서초구 사임당로 137, 2동 905호 (서초동, 신동아아파트)

**조규철**

경기도 수원시 영통구 영통로 460, 305동 1004호 (영통동 , 대우.동신아파트)

## 명세서

### 청구범위

#### 청구항 1

기관,

상기 기관 위에 위치하는 제1 버퍼층,

상기 제1 버퍼층 위에 위치하는 제1 반도체층,

상기 제1 반도체층 위에 위치하는 제1 게이트 절연막,

상기 제1 게이트 절연막 위에 위치하는 제1 게이트 전극과 차단층,

상기 제1 게이트 전극 위에 위치하는 제2 버퍼층,

상기 제2 버퍼층 위에 위치하는 제2 반도체층,

상기 제2 반도체층 위에 위치하는 제2 게이트 절연막, 및

상기 제2 게이트 절연막 위에 위치하는 제2 게이트 전극을 포함하는 유기 발광 표시 장치.

#### 청구항 2

제1항에서,

상기 차단층은 상기 제2 반도체층과 중첩하는 유기 발광 표시 장치.

#### 청구항 3

제2항에서,

상기 차단층은 상기 제1 게이트 전극과 동일한 층에 위치하는 유기 발광 표시 장치.

#### 청구항 4

제3항에서,

구동 전압을 전달하는 구동 전압선을 더 포함하고,

상기 차단층은 상기 구동 전압선과 연결되어 상기 구동 전압을 인가 받는 유기 발광 표시 장치.

#### 청구항 5

제4항에서,

상기 제1 반도체층은,

상기 제1 게이트 전극과 중첩하는 제1 채널 영역, 및

상기 제1 채널 영역의 양 옆에 위치하는 제1 소스 영역과 제1 드레인 영역을 포함하고,

상기 제2 반도체층은,

상기 제2 게이트 전극과 중첩하는 제2 채널 영역, 및

상기 제2 채널 영역의 양 옆에 위치하는 제2 소스 영역과 제2 드레인 영역을 포함하는 유기 발광 표시 장치.

#### 청구항 6

제5항에서,

상기 차단층은 상기 제2 채널 영역과 중첩하는 유기 발광 표시 장치.

**청구항 7**

제6항에서,

상기 제2 게이트 전극 위에 위치하는 제3 게이트 절연막, 및

상기 제3 게이트 절연막 위에 위치하고, 상기 제2 게이트 전극인 제1 유지 전극과 중첩하는 제2 유지 전극을 포함하는 유기 발광 표시 장치.

**청구항 8**

제7항에서,

상기 제1 소스 영역 및 상기 제1 드레인 영역과 각각 연결되는 제1 소스 전극과 제1 드레인 전극, 및

상기 제2 소스 영역 및 상기 제2 드레인 영역과 각각 연결되는 제2 소스 전극과 제2 드레인 전극을 포함하고,

상기 제2 유지 전극은 상기 제2 드레인 전극과 연결되는 유기 발광 표시 장치.

**청구항 9**

제8항에서,

상기 제2 유지 전극 위에 위치하는 화소 전극,

상기 화소 전극 위에 위치하는 유기 발광층, 및

상기 유기 발광층 위에 위치하는 공통 전극을 포함하고,

상기 제2 드레인 전극은 상기 화소 전극과 연결되는 유기 발광 표시 장치.

**청구항 10**

제9항에서,

상기 공통 전극 위에 위치하는 봉지층을 더 포함하는 유기 발광 표시 장치.

**청구항 11**

제7항에서,

상기 제1 소스 영역 및 상기 제1 드레인 영역과 각각 연결되는 제1 소스 전극과 제1 드레인 전극, 및

상기 제2 소스 영역 및 상기 제2 드레인 영역과 각각 연결되는 제2 소스 전극과 제2 드레인 전극을 포함하고,

상기 제2 유지 전극은 상기 구동 전압선과 연결되는 유기 발광 표시 장치.

**청구항 12**

제11항에서,

상기 제1 반도체층과 상기 제2 반도체층 중 어느 하나는 산화물 반도체이고, 다른 하나는 다결정 규소를 포함하는 유기 발광 표시 장치.

**청구항 13**

기관,

상기 기관 위에 위치하는 제1 트랜지스터,

상기 제1 트랜지스터 위에 위치하는 제2 트랜지스터, 및

상기 제2 트랜지스터의 아래에 위치하는 차단층을 포함하고,

상기 제1 트랜지스터는,

상기 기관 위에 위치하는 제1 반도체층, 및

상기 제1 반도체층 위에 위치하는 제1 게이트 전극을 포함하고,  
상기 차단층은 상기 제1 반도체층 위에 위치하는 유기 발광 표시 장치.

**청구항 14**

제13항에서,  
상기 제1 트랜지스터와 상기 제2 트랜지스터 사이에 위치하는 버퍼층을 포함하고,  
상기 제2 트랜지스터는,  
상기 버퍼층 위에 위치하는 제2 반도체층, 및  
상기 제2 반도체층 위에 위치하는 제2 게이트 전극을 포함하는 유기 발광 표시 장치.

**청구항 15**

제14항에서,  
상기 제2 반도체층은,  
상기 제2 게이트 전극과 중첩하는 채널 영역, 및  
상기 채널 영역의 양 옆에 위치하는 소스 영역과 드레인 영역을 포함하고,  
상기 차단층은 상기 채널 영역과 중첩하는 유기 발광 표시 장치.

**청구항 16**

제15항에서,  
구동 전압을 전달하는 구동 전압선을 더 포함하고,  
상기 차단층은 상기 구동 전압선에 연결되어 상기 구동 전압을 인가 받는 유기 발광 표시 장치.

**청구항 17**

제16항에서,  
상기 차단층은 상기 제1 게이트 전극과 동일한 층에 위치하는 유기 발광 표시 장치.

**청구항 18**

제16항에서,  
상기 제1 트랜지스터는 상기 제1 게이트 전극 위에 위치하고 상기 제1 게이트 전극과 중첩하는 제3 게이트 전극을 포함하고,  
상기 차단층은 상기 제3 게이트 전극과 동일한 층에 위치하는 유기 발광 표시 장치.

**청구항 19**

제18항에서,  
상기 차단층은 상기 제2 반도체층의 상기 소스 영역과 상기 드레인 영역과도 중첩하는 유기 발광 표시 장치.

**청구항 20**

제19항에서,  
상기 제1 반도체층과 상기 제2 반도체층 중 어느 하나는 산화물 반도체이고, 다른 하나는 다결정 규소를 포함하는 유기 발광 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 개시는 유기 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 유기 발광 표시 장치의 유기 발광 소자는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극인 캐소드(cathode)로부터 주입된 전자(electron)와 다른 전극인 애노드(anode)로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 유기 발광 표시 장치에 대한 기술이 발전함에 따라 유기 발광 표시 장치는 고해상도화되고 있다. 이에 따라, 유기 발광 표시 장치의 고집적화의 필요성이 높아지고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 실시예들은 고해상도 구현이 가능하고, 표시 품질이 향상된 유기 발광 표시 장치를 제공하기 위한 것이다.

**과제의 해결 수단**

[0005] 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 위치하는 제1 버퍼층, 상기 제1 버퍼층 위에 위치하는 제1 반도체층, 상기 제1 반도체층 위에 위치하는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 위치하는 제1 게이트 전극과 차단층, 상기 제1 게이트 전극 위에 위치하는 제2 버퍼층, 상기 제2 버퍼층 위에 위치하는 제2 반도체층, 상기 제2 반도체층 위에 위치하는 제2 게이트 절연막, 및 상기 제2 게이트 절연막 위에 위치하는 제2 게이트 전극을 포함한다.

[0006] 상기 차단층은 상기 제2 반도체층과 중첩할 수 있다.

[0007] 상기 차단층은 상기 제1 게이트 전극과 동일한 층에 위치할 수 있다.

[0008] 본 실시예에 따른 유기 발광 표시 장치는 구동 전압을 전달하는 구동 전압선을 더 포함하고, 상기 차단층은 상기 구동 전압선과 연결되어 상기 구동 전압을 인가 받을 수 있다.

[0009] 상기 제1 반도체층은, 상기 제1 게이트 전극과 중첩하는 제1 채널 영역, 및

[0010] 상기 제1 채널 영역의 양 옆에 위치하는 제1 소스 영역과 제1 드레인 영역을 포함하고, 상기 제2 반도체층은, 상기 제2 게이트 전극과 중첩하는 제2 채널 영역, 및 상기 제2 채널 영역의 양 옆에 위치하는 제2 소스 영역과 제2 드레인 영역을 포함할 수 있다.

[0011] 상기 차단층은 상기 제2 채널 영역과 중첩할 수 있다.

[0012] 상기 제2 게이트 전극 위에 위치하는 제3 게이트 절연막, 및 상기 제3 게이트 절연막 위에 위치하고, 상기 제2 게이트 전극인 제1 유지 전극과 중첩하는 제2 유지 전극을 포함할 수 있다.

[0013] 상기 제1 소스 영역 및 상기 제1 드레인 영역과 각각 연결되는 제1 소스 전극과 제1 드레인 전극, 및 상기 제2 소스 영역 및 상기 제2 드레인 영역과 각각 연결되는 제2 소스 전극과 제2 드레인 전극을 포함하고, 상기 제2 유지 전극은 상기 제2 드레인 전극과 연결될 수 있다.

[0014] 상기 제2 유지 전극 위에 위치하는 화소 전극, 상기 화소 전극 위에 위치하는 유기 발광층, 및 상기 유기 발광층 위에 위치하는 공통 전극을 포함하고, 상기 제2 드레인 전극은 상기 화소 전극과 연결될 수 있다.

[0015] 상기 공통 전극 위에 위치하는 봉지층을 더 포함할 수 있다.

[0016] 상기 제1 소스 영역 및 상기 제1 드레인 영역과 각각 연결되는 제1 소스 전극과 제1 드레인 전극, 및 상기 제2 소스 영역 및 상기 제2 드레인 영역과 각각 연결되는 제2 소스 전극과 제2 드레인 전극을 포함하고, 상기 제2 유지 전극은 상기 구동 전압선과 연결될 수 있다.

[0017] 상기 제1 반도체층과 상기 제2 반도체층 중 어느 하나는 산화물 반도체이고, 다른 하나는 다결정 규소를 포함할 수 있다.

- [0018] 일 실시예에 따른 유기 발광 표시 장치는 기관, 상기 기관 위에 위치하는 제1 트랜지스터,
- [0019] 상기 제1 트랜지스터 위에 위치하는 제2 트랜지스터, 및 상기 제2 트랜지스터의 아래에 위치하는 차단층을 포함하고, 상기 제1 트랜지스터는, 상기 기관 위에 위치하는 제1 반도체층, 및 상기 제1 반도체층 위에 위치하는 제1 게이트 전극을 포함하고, 상기 차단층은 상기 제1 반도체층 위에 위치한다.
- [0020] 상기 제1 트랜지스터와 상기 제2 트랜지스터 사이에 위치하는 버퍼층을 포함하고, 상기 제2 트랜지스터는, 상기 버퍼층 위에 위치하는 제2 반도체층, 및 상기 제2 반도체층 위에 위치하는 제2 게이트 전극을 포함할 수 있다.
- [0021] 상기 제2 반도체층은, 상기 제2 게이트 전극과 중첩하는 채널 영역, 및 상기 채널 영역의 양 옆에 위치하는 소스 영역과 드레인 영역을 포함하고, 상기 차단층은 상기 채널 영역과 중첩할 수 있다.
- [0022] 본 실시예에 따른 유기 발광 표시 장치는 구동 전압을 전달하는 구동 전압선을 더 포함하고, 상기 차단층은 상기 구동 전압선에 연결되어 상기 구동 전압을 인가 받을 수 있다.
- [0023] 상기 차단층은 상기 제1 게이트 전극과 동일한 층에 위치할 수 있다.
- [0024] 상기 제1 트랜지스터는 상기 제1 게이트 전극 위에 위치하고 상기 제1 게이트 전극과 중첩하는 제3 게이트 전극을 포함하고, 상기 차단층은 상기 제3 게이트 전극과 동일한 층에 위치할 수 있다.
- [0025] 상기 차단층은 상기 제2 반도체층의 상기 소스 영역과 상기 드레인 영역과도 중첩할 수 있다.
- [0026] 상기 제1 반도체층과 상기 제2 반도체층 중 어느 하나는 산화물 반도체이고, 다른 하나는 다결정 규소를 포함할 수 있다.

**발명의 효과**

- [0027] 실시예들에 따르면, 유기 발광 표시 장치의 설계 자유도가 증가할 수 있고, 고해상도 구현이 가능하며, 표시 품질이 향상될 수 있다.

**도면의 간단한 설명**

- [0028] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 3은 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- 도 4는 비교예와 일 실시예에 따른 유기 발광 표시 장치의 순간 잔상 지속 시간을 나타내는 그래프이다.
- 도 5는 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 6은 다른 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- 도 7은 다른 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0029] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0030] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0031] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0032] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는

"상에" 위치하는 것을 의미하는 것은 아니다.

- [0033] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0034] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0035] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- [0036] 도 1을 참고하면, 일 실시예에 따른 유기 발광 표시 장치는 게이트 구동부(GD), 데이터 구동부(DD), 및 화소부(40)를 포함할 수 있다. 화소부(40)는 복수의 화소(PX)를 포함한다. 화소(PX)는 이미지(image)을 표시하는 최소 단위를 말하며, 유기 발광 표시 장치는 복수의 화소(PX)를 통해 이미지를 표시한다.
- [0037] 게이트 구동부(GD)는 외부로부터 공급되는 구동 전원 및 제어 신호들에 대응하여 스캔 신호를 생성하고, 이를 게이트선(152)으로 공급한다. 화소들(PX)은 스캔 신호에 의해 선택되어 순차적으로 데이터 전압을 공급받는다.
- [0038] 게이트 구동부(GD)는 화소부(40)에 포함되는 화소 회로와 함께 기판 위에 박막 트랜지스터의 형태로 구비되거나, 칩의 형태로 기판 위에 실장될 수 있다. 게이트 구동부(GD)의 위치는 도시한 예로 한정되지 않는다.
- [0039] 데이터 구동부(DD)는 외부로부터 공급되는 데이터 및 제어 신호들에 대응하여 데이터 전압을 생성하고, 이를 데이터선(171)으로 공급한다. 데이터선(171)으로 공급된 데이터 전압은 스캔 신호가 공급될 때마다 스캔 신호에 의해 선택된 화소(PX)로 공급된다. 실시예에 따라서는 유기 발광 표시 장치는 발광 제어 신호를 공급하는 발광 제어 구동부(미도시)를 더 포함할 수도 있다.
- [0040] 화소부(40)는 게이트선(152)과 데이터선(171)의 교차부에 위치하는 복수의 화소(PX)를 포함한다. 화소부(40)는 외부로부터 고전위 화소 전원인 구동 전압(ELVDD)과 저전위 화소 전원인 공통 전압(ELVSS)을 공급받고, 구동 전압(ELVDD)과 공통 전압(ELVSS)은 각 화소(PX)로 전달된다.
- [0041] 화소(PX)는 데이터 전압에 대응하여 구동 전압(ELVDD)으로부터 공통 전압(ELVSS)으로 흐르는 구동 전류에 상응하는 휘도로 발광하여 영상을 표시한다.
- [0042] 이하, 도 2와 도 3을 참고하여 일 실시예에 따른 유기 발광 표시 장치에 대해 설명한다.
- [0043] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0044] 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 복수개의 신호선(152, 171, 172), 복수개의 트랜지스터(T1, T2), 유지 축전기(Cst), 그리고 유기 발광 소자(OLED)를 포함한다. 또한, 본 실시예에 따른 유기 발광 표시 장치는 구동 트랜지스터(T2)와 평면상 중첩하도록 위치하는 차단층(160)을 더 포함한다.
- [0045] 신호선(152, 171, 172)은 스캔 신호(Sn)를 전달하는 게이트선(152), 데이터 전압(Dm)을 전달하는 데이터선(171) 및 구동 전압(ELVDD)을 전달하는 구동 전압선(172)을 포함한다.
- [0046] 트랜지스터(T1, T2)는 스위칭 트랜지스터(T1)와 구동 트랜지스터(T2)를 포함한다.
- [0047] 스위칭 트랜지스터(T1)는 게이트선(152)과 연결되는 게이트 전극, 데이터선(171)과 연결되는 제1 전극 및 구동 트랜지스터(T2)의 게이트 전극과 연결되는 제2 전극을 포함한다. 스위칭 트랜지스터(T1)의 제2 전극은 유지 축전기(Cst)의 제1 유지 전극과도 연결되어 있다. 스위칭 트랜지스터(T1)는 게이트선(152)에 연결되어 스캔 신호(Sn)에 응답하여 턴 온 되며, 스위칭 트랜지스터(T1)가 턴 온 되는 경우, 데이터선(171)을 통해 공급되는 데이터 전압(Dm)이 제1 유지 축전기(Cst)의 제1 유지 전극에 공급된다.
- [0048] 구동 트랜지스터(T2)는 유지 축전기(Cst)의 제1 유지 전극과 연결되는 게이트 전극, 구동 전압(ELVDD)을 인가 받는 제1 전극 및 유기 발광 소자(OLED)의 제1 전극과 연결되는 제2 전극을 포함할 수 있다. 구동 트랜지스터(T2)의 제1 전극은 차단층(160)과도 연결되어 있으며, 구동 트랜지스터(T2)의 제2 전극은 유지 축전기(Cst)의 제2 유지 전극과도 연결되어 있다. 구동 트랜지스터(T2)는 유지 축전기(Cst)에 저장된 데이터 전압에 따라 구동 전류를 유기 발광 소자(OLED)로 출력한다.
- [0049] 유지 축전기(Cst)는 제1 유지 전극과 제2 유지 전극을 포함한다. 유지 축전기(Cst)의 제1 유지 전극은 스위칭 트랜지스터(T1)의 제2 전극 및 구동 트랜지스터(T2)의 게이트 전극과 연결된다. 유지 축전기(Cst)의 제2 유지 전극은 구동 트랜지스터(T2)의 제2 전극과 연결된다. 또한, 유지 축전기(Cst)의 제2 유지 전극은 유기 발광 소

자(OLED)의 제1 전극과도 연결된다. 유지 축전기(Cst)는 스위칭 트랜지스터(T1)를 통해서 공급되는 데이터 전압(Dm)을 저장할 수 있다. 유지 축전기(Cst)에 저장된 데이터 전압(Dm)은 구동 트랜지스터(T2)가 턴 온 되는 정도를 조절하여 구동 전류의 크기를 정한다. 한편, 도 2에서는 두 개의 트랜지스터와 한 개의 커패시터를 포함하는 구조를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니며 추가적으로 트랜지스터 또는 커패시터를 더 포함할 수 있다.

- [0050] 유기 발광 소자(OLED)는 구동 트랜지스터(T2)의 제2 전극과 연결되는 제1 전극 및 공통 전압(ELVSS)이 인가되는 제2 전극을 포함한다. 유기 발광 소자(OLED)의 제1 전극은 애노드(anode)이고, 유기 발광 소자(OLED)의 제2 전극은 캐소드(cathode)일 수 있다. 유기 발광 소자(OLED)는 구동 트랜지스터(T2)로부터 출력되는 구동 전류에 따라 발광하여 그 밝은 정도에 따라서 계조를 표현한다.
- [0051] 차단층(160)은 구동 전압(ELVDD)이 전달되는 구동 전압선(172)과 전기적으로 연결된다. 차단층(160)은 도전 특성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다. 차단층(160)에는 구동 전압(ELVDD)이 일정하게 인가되어 차단층(160)에 특정 전하가 주입되면서 전위가 변하는 것을 방지할 수 있다. 차단층(160)은 회로도상 구동 트랜지스터(T2)의 제2 게이트 전극과 같은 역할을 한다. 다만, 차단층(160)에는 일정 전압이 인가되므로 구동 트랜지스터(T2)를 턴 온 시키거나 하지 않고, 구동 트랜지스터(T2)가 일정한 특성을 가지도록 한다.
- [0052] 도 3은 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0053] 도 3을 참조하면, 본 실시예에 따른 유기 발광 표시 장치는 기판(110), 스위칭 트랜지스터(T1), 구동 트랜지스터(T2), 및 유기 발광 소자(OLED)를 포함한다.
- [0054] 기판(110)은 잘 휘어지고 구부러지며 접히거나 말릴 수 있는 플라스틱 등의 플렉서블 소재를 포함할 수 있다. 예컨대, 기판(110)은 폴리이미드(polyimide), 폴리아미드(polyamide), 폴리카보네이트(polycarbonate), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate) 같은 폴리머로 이루어질 수 있다. 기판(110)은 유리 같은 재료로 이루어진 리지드(rigid) 기판일 수도 있다.
- [0055] 기판(110) 위에는 제1 버퍼층(121)이 위치한다. 제1 버퍼층(121)은 실리콘질화물(SiN<sub>x</sub>) 또는 실리콘산화물(SiO<sub>x</sub>) 등을 포함할 수 있다. 제1 버퍼층(121)은 기판(110)과 제1 반도체층(136a) 사이에 위치하여, 기판(110)으로부터 제1 반도체층(136a)으로 확산될 수 있는 불순물을 차단하고, 기판(110)을 평탄화시켜 제1 버퍼층(121) 위에 형성되는 제1 반도체층(136a)의 스트레스를 완화할 수 있다.
- [0056] 제1 버퍼층(121) 위에는 제1 반도체층(136a)이 위치한다. 제1 반도체층(136a)은 다결정 규소로 이루어질 수 있다.
- [0057] 제1 반도체층(136a)은 비정질 규소(amorphous silicon)를 엑시머 레이저 어닐링(excimer layer annealing, ELA) 같은 결정화 방법에 의해 결정화하여 형성된 다결정 규소로 이루어질 수 있으며, 제1 채널 영역(134a), 제1 소스 영역(133a) 및 제1 드레인 영역(135a)을 포함한다. 제1 소스 영역(133a) 및 제1 드레인 영역(135a)은 각각 제1 채널 영역(134a)의 양 옆에 배치되어 있다. 제1 채널 영역(134a)은 불순물이 도핑되지 않은 진성 반도체(intrinsic semiconductor)이고, 제1 소스 영역(133a) 및 제1 드레인 영역(135a)은 도전성 불순물이 도핑되어 있는 불순물 반도체(impurity semiconductor)이다. 도전성 불순물은 P형 불순물일 수 있다.
- [0058] 제1 반도체층(136a) 위에는 제1 게이트 절연막(122)이 위치한다. 제1 게이트 절연막(122)은 실리콘질화물(SiN<sub>x</sub>) 및 실리콘산화물(SiO<sub>x</sub>) 중 적어도 하나를 포함한 단층 또는 다층일 수 있다.
- [0059] 제1 게이트 절연막(122) 위에는 제1 게이트 전극(155a)과 차단층(160)이 위치한다.
- [0060] 제1 게이트 전극(155a)은 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 및 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다층막일 수 있다. 제1 게이트 전극(155a)과 제1 반도체층(136a)은 스위칭 트랜지스터(T1)를 구성할 수 있다.
- [0061] 차단층(160)은 제1 게이트 전극(155a)과 동일한 층에 위치한다. 차단층(160)은 제1 게이트 전극(155a)과 동일한 층에 함께 형성되어 추가 마스크 공정 없이 차단층(160)을 형성할 수 있으므로, 공정이 간소화될 수 있다. 차단층(160)은 오프닝을 통해 구동 전압선(172)과 전기적으로 연결되어 구동 전압(ELVDD)을 인가 받는다. 차단층(160)은 도전 특성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다.

- [0062] 제1 게이트 전극(155a), 차단층(160) 및 제1 게이트 절연막(122) 위에는 제2 버퍼층(141)이 위치한다. 제2 버퍼층(141)은 실리콘질화물( $\text{SiN}_x$ ) 또는 실리콘산화물( $\text{SiO}_x$ ) 등을 포함할 수 있다. 제2 버퍼층(141)에는 제1 소스 영역(133a) 및 제1 드레인 영역(135a)을 각각 노출하는 오프닝이 위치한다.
- [0063] 제2 버퍼층(141) 위에 제2 반도체층(136b)이 위치한다. 제2 반도체층(136b)은 제2 채널 영역(134b), 제2 소스 영역(133b) 및 제2 드레인 영역(135b)을 포함한다. 제2 소스 영역(133b) 및 제2 드레인 영역(135b)은 각각 제2 채널 영역(134b)의 양 옆에 배치되어 있다.
- [0064] 제2 반도체층(136b)은 산화물 반도체로 이루어질 수 있다. 제1 반도체층(136a)이 다결정 규소로 이루어지고 제2 반도체층(136b)이 산화물 반도체인 것으로 설명하였지만, 스위칭 트랜지스터(T1)의 제1 반도체층(136a)이 다결정 규소에 비해 오프 전류 특성이 좋은 산화물 반도체로 형성되고, 구동 트랜지스터(T2)의 제2 반도체층(136b)이 다결정 규소로 형성될 수도 있다.
- [0065] 그러나 이에 제한되지 않고, 제1 반도체층(136a)과 제2 반도체층(136b)이 모두 다결정 규소로 이루어지거나, 제1 반도체층(136a)과 제2 반도체층(136b)이 모두 산화물 반도체로 이루어지는 것도 가능하다.
- [0066] 제2 반도체층(136b) 위에 제2 게이트 절연막(123)이 위치한다. 제2 게이트 절연막(123)은 실리콘질화물( $\text{SiN}_x$ ) 및 실리콘산화물( $\text{SiO}_x$ ) 중 적어도 하나를 포함한 단층 또는 다층일 수 있다.
- [0067] 제2 게이트 절연막(123) 위에 제1 소스 전극(161a)과 제1 드레인 전극(162a)이 위치한다. 제1 소스 전극(161a)과 제1 드레인 전극(162a)은 제1 게이트 절연막(122), 제2 버퍼층(141), 및 제2 게이트 절연막(123)에 형성된 오프닝을 통해 제1 반도체층(136a)의 제1 소스 영역(133a) 및 제1 드레인 영역(135a)과 각각 연결된다.
- [0068] 제2 게이트 절연막(123) 위에는 제2 채널 영역(134b)과 중첩하는 제2 게이트 전극(155b) 또한 위치한다. 제2 게이트 전극(155b)은 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 및 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다중막일 수 있다. 제2 게이트 전극(155b), 제2 반도체층(136b)은 구동 트랜지스터(T2)를 구성할 수 있다.
- [0069] 본 실시예에 따른 유기 발광 표시 장치에서는 스위칭 트랜지스터(T1)와 구동 트랜지스터(T2)가 다른 층에 위치한다. 다시 말해, 스위칭 트랜지스터(T1)의 제1 반도체층(136a)과 구동 트랜지스터(T2)의 제2 반도체층(136b)은 다른 층에 위치한다. 따라서, 스위칭 트랜지스터(T1)와 구동 트랜지스터(T2)의 간격을 좁히거나 부분적으로 중첩하게 배치하는 것이 가능하여, 설계 자유도가 증가한다. 또한, 화소의 개구율을 증가시키거나, 표시 장치의 해상도를 증가시키는데 유리하다.
- [0070] 이 때, 차단층(160)은 구동 트랜지스터(T2)의 제2 채널 영역(134b)과 중첩하는 영역에 위치한다. 차단층(160)은 제2 채널 영역(134b)의 양 옆에 위치하는 제2 소스 영역(133b) 및 제2 드레인 영역(135b)과도 중첩할 수 있다. 또한, 차단층(160)은 스위칭 트랜지스터(T1)의 제1 채널 영역(134a)과는 중첩하지 않을 수 있다. 구동 트랜지스터(T2)의 하부에 차단층(160)이 위치하여, 스위칭 트랜지스터(T1)와 구동 트랜지스터(T2)의 기생 용량에 의한 킥백 전압을 최소화할 수 있고, 후술하는 바와 같이, 잔상이 남지 않도록 하여 유기 발광 표시 장치의 표시 품질이 향상될 수 있다. 또한, 제2 반도체층(136b)의 아래에 위치하는 차단층(160)은 플로팅 되지 않고 구동 전압(ELVDD)을 인가 받으므로 불필요한 기생 용량으로 인한 표시 품질의 저하를 방지할 수 있다.
- [0071] 제2 게이트 절연막(123), 제1 소스 전극(161a), 제1 드레인 전극(162a) 및 제2 게이트 전극(155b) 위에는 제3 게이트 절연막(124)이 위치하고, 제3 게이트 절연막(124) 위에는 제2 드레인 전극(162b)과 제2 드레인 전극(162b)에서 연장되어 형성된 제2 유지 전극(165)이 위치한다.
- [0072] 제2 드레인 전극(162b)은 제2 게이트 절연막(123)과 제3 게이트 절연막(124)에 형성된 오프닝을 통해 구동 트랜지스터(T2)의 제2 드레인 영역(135b)과 연결된다. 제2 유지 전극(165)은 제2 드레인 전극(162b)로부터 연장되어 제2 게이트 전극(155b)과 중첩한다. 제2 게이트 전극(155b)과 제2 유지 전극(165)은 제3 게이트 절연막(124)를 사이에 두고 중첩하여 유지 축전기(Cst)를 구성한다. 이 때, 제2 게이트 전극(155b)은 유지 축전기(Cst)의 제1 유지 전극일 수 있다. 제3 게이트 절연막(124)은 유전체가 되며, 유지 축전기(Cst)에서 축전된 전하와 제1 유지 전극(155b) 및 제2 유지 전극(165) 사이의 전압에 의해 스토리지 커패시턴스(Storage Capacitance)가 결정된다.
- [0073] 제3 게이트 절연막(124)과 제2 유지 전극(165) 위에 층간 절연막(142)이 위치한다. 층간 절연막(142)은 실리콘질화물( $\text{SiN}_x$ ) 및 실리콘산화물( $\text{SiO}_x$ ) 중 적어도 하나를 포함한 단층 또는 다층일 수 있다.
- [0074] 층간 절연막(142) 위에 제2 소스 전극(161b)과 연결 부재(174)가 위치한다. 제2 소스 전극(161b)은 층간 절연막

(142)과 제2 게이트 절연막(123) 및 제3 게이트 절연막(124)에 형성된 오프닝을 통해 제2 반도체층(136b)의 제2 소스 영역(133b)과 연결된다. 연결 부재(174)는 층간 절연막(142)에 형성된 오프닝을 통해 구동 트랜지스터(T2)의 제2 드레인 전극(162b) 및 유지 축전기(Cst)의 제2 유지 전극(165)과 연결된다.

- [0075] 제2 소스 전극(161b)은 연장되어 구동 전압선(172)과 연결되어 구동 전압(ELVDD)을 인가받고, 제2 버퍼층(141)과 층간 절연막(142)에 형성된 오프닝을 통해 차단층(160)과도 연결된다. 이에 따라, 차단층(160)은 플로팅 되지 않고, 구동 전압(ELVDD)을 인가 받는다.
- [0076] 층간 절연막(142) 위에는 데이터선(171)도 위치한다. 데이터선(171)은 층간 절연막(142)에 위치하는 오프닝을 통해 스위칭 트랜지스터(T1)의 제1 소스 전극(161a)과 연결되어 스위칭 트랜지스터(T1)에 데이터 전압을 전달한다.
- [0077] 층간 절연막(142), 데이터선(171), 제2 소스 전극(161b) 및 제2 드레인 전극(162b) 위에는 보호막(180)이 위치한다. 보호막(180)은 층간 절연막(142), 제2 소스 전극(161b) 및 제2 드레인 전극(162b)을 덮어 평탄화시키므로 보호막(180) 위에 화소 전극(191)을 단차 없이 형성할 수 있다. 이러한 보호막(180)은 폴리아크릴계 수지(polyacrylates resin), 폴리이미드계 수지(polyimides resin) 등의 유기물 또는 유기물과 무기물의 적층막 등으로 만들어질 수 있다.
- [0078] 보호막(180) 위에는 화소 전극(191)이 위치한다. 화소 전극(191)은 보호막(180)에 형성된 오프닝을 통해 연결 부재(174)와 연결된다. 따라서, 화소 전극(191)은 연결 부재(174)를 통해 구동 트랜지스터(T2)의 제2 드레인 전극(162b)과 연결되어 있다. 구동 트랜지스터(T2)는 화소 전극(191)에 연결되어 유기 발광 소자에 구동 전류를 공급한다.
- [0079] 보호막(180)과 화소 전극(191)의 위에는 이를 덮는 격벽(361)이 위치하고, 격벽(361)은 화소 전극(191)을 드러내는 화소 개구부(365)를 가진다. 격벽(361)은 폴리아크릴계 수지(polyacrylates resin), 폴리이미드계 수지(polyimides resin) 등의 유기물 또는 실리카 계열의 무기물을 포함할 수 있다.
- [0080] 화소 개구부(365)에 의해 노출된 화소 전극(191) 위에는 유기 발광층(370)이 위치한다. 유기 발광층(370)은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어질 수 있다. 또한, 유기 발광층(370)은 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 더 포함하는 다층막일 수 있다.
- [0081] 유기 발광층(370)은 적색광을 방출하는 적색 유기 발광층, 녹색광을 방출하는 녹색 유기 발광층 및 청색광을 방출하는 청색 유기 발광층을 포함할 수 있다.
- [0082] 유기 발광층(370) 위에는 공통 전극(270)이 위치한다. 공통 전극(270)은 복수의 화소에 걸쳐 위치할 수 있다. 화소 전극(191), 유기 발광층(370)과 공통 전극(270)은 유기 발광 소자(OLED)를 구성할 수 있다.
- [0083] 여기서, 화소 전극(191)은 정공 주입 전극인 애노드이며, 공통 전극(270)은 전자 주입 전극인 캐소드 일 수 있다. 그러나 본 발명에 따른 일 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시장치의 구동 방법에 따라 화소 전극(191)이 캐소드가 되고, 공통 전극(270)이 애노드가 될 수도 있다. 화소 전극(191) 및 공통 전극(270)으로부터 각각 정공과 전자가 유기 발광층(370) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.
- [0084] 공통 전극(270) 위에 봉지층(390)이 위치한다. 유기 발광 소자(OLED)는 수분과 산소에 매우 취약하므로, 봉지층(390)이 유기 발광 소자(OLED)를 밀봉하여 외부의 수분 및 산소의 유입을 차단한다. 봉지층(390)은 복수의 층을 포함할 수 있고, 그 중 무기막과 유기막을 모두 포함하는 복합막으로 형성될 수 있으며, 무기막, 유기막, 무기막이 순차적으로 형성된 3중층으로 형성될 수 있다.
- [0085] 도 4는 비교예와 일 실시예에 따른 유기 발광 표시 장치의 순간 잔상 지속 시간을 나타내는 그래프이다. 도 4에서 A는 차단층을 포함하지 않는 비교예에 따른 유기 발광 표시 장치를 나타내고, B는 본 발명의 일 실시예에 따라 구동 트랜지스터의 채널 영역과 중첩하는 차단층을 포함하는 유기 발광 표시 장치를 나타낸다.
- [0086] 유기 발광 표시 장치에서 10초간 블랙과 화이트를 표시한 후 동시에 저계조의 회색을 구동하면 동일한 색상을 구동함에도 불구하고 블랙을 표시하던 영역과 화이트를 표시하던 영역에서 휘도차가 발생한다. 구체적으로, 블랙을 표시하던 영역은 저계조의 회색 구동 직후에 구동하고자 하는 회색에 비해 더 밝게 보이고, 화이트를 표시하던 영역은 구동하고자 하는 회색에 비해 더 어둡게 보인다. 순간 잔상은 이러한 휘도차에 의해 시인되는 잔상

을 의미한다.

- [0087] 도 4의 순간 잔상의 지속 시간은 저계조 회색 구동 직후부터 블랙을 표시하던 영역과 화이트를 표시하던 영역의 휘도차가 0.4 %에 도달하기 까지 걸리는 시간을 측정 한 결과이다. 여기에서, 휘도차는 (B-W)/(B+W)로 계산되며, B는 블랙을 표시하던 영역의 휘도를, W는 화이트를 표시하던 영역의 휘도를 의미한다. 순간 잔상은 표시 장치의 표시 품질과도 직결되는 문제로 순간 잔상의 지속 시간이 줄어들면 더 선명한 이미지 구현이 가능하다. 이러한, 순간 잔상은 유기 발광 표시 장치 내의 트랜지스터 간에 발생하는 수직 크로스톡을 최소화하여 개선할 수 있다.
- [0088] 도 4를 참조하면, A의 경우, 순간 잔상은 7.66151초 지속되었다. 그러나, B의 경우에는 순간 잔상이 4.42379초 지속되는 것을 확인할 수 있었다. 따라서, 차단층을 포함하는 유기 발광 표시 장치는 차단층을 포함하지 않는 유기 발광 표시 장치(비교예)에 비해 약 3.2초만큼 순간 잔상이 개선됨을 알 수 있다.
- [0089] 이하, 도 5와 도 6을 참조하여 본 발명의 다른 일 실시예에 따른 유기 발광 표시 장치에 대해 설명한다.
- [0090] 도 5는 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0091] 도 5를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 복수개의 신호선(152, 171, 172), 복수개의 트랜지스터(T1, T2), 유지 축전기(Cst), 그리고 유기 발광 소자(OLED)를 포함한다. 또한, 본 실시예에 따른 유기 발광 표시 장치는 구동 트랜지스터(T2)와 평면상 중첩하도록 위치하는 차단층(160)을 더 포함한다. 유지 축전기(Cst)의 제2 유지 전극이 구동 전압선(172) 및 구동 트랜지스터(T2)의 제1 전극에 연결되는 것을 제외하면 도 2와 유사하므로, 중복되는 내용의 설명은 생략한다.
- [0092] 유지 축전기(Cst)는 제1 유지 전극과 제2 유지 전극을 포함한다. 유지 축전기(Cst)의 제1 유지 전극은 스위칭 트랜지스터(T1)의 제2 전극 및 구동 트랜지스터(T2)의 게이트 전극과 연결된다. 유지 축전기(Cst)의 제2 유지 전극은 구동 전압선(172)과 연결된다. 또한, 유지 축전기(Cst)의 제2 유지 전극은 구동 트랜지스터(T2)의 제1 전극과 차단층(160)과도 연결된다.
- [0093] 유지 축전기(Cst)는 스위칭 트랜지스터(T1)를 통해서 공급되는 데이터 전압(Dm)을 저장할 수 있다. 유지 축전기(Cst)에 저장된 데이터 전압(Dm)은 구동 트랜지스터(T2)가 턴 온 되는 정도를 조절하여 구동 전류의 크기를 정한다.
- [0094] 차단층(160)은 구동 전압(ELVDD)이 전달되는 구동 전압선(172)과 전기적으로 연결된다. 차단층(160)은 도전 특성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다. 차단층(160)에는 구동 전압(ELVDD)이 일정하게 인가되어 차단층(160)에 특정 전하가 주입되면서 전위가 변하는 것을 방지할 수 있다. 차단층(160)은 회로도상 구동 트랜지스터(T2)의 제2 게이트 전극과 같은 역할 한다. 다만, 차단층(160)에는 일정 전압이 인가되므로 구동 트랜지스터(T2)를 턴 온 시키거나 하지 않고, 구동 트랜지스터(T2)가 일정한 특성을 가지도록 한다.
- [0095] 도 6은 다른 일 실시예에 따른 유기 발광 표시 장치의 단면도이다. 도 6의 구성은 도 3과 유사하므로, 도 3과 중복되는 내용의 구체적인 설명은 생략한다.
- [0096] 도 6을 참조하면, 본 실시예에 따른 유기 발광 표시 장치는 기관(110), 스위칭 트랜지스터(T1), 구동 트랜지스터(T2), 및 유기 발광 소자(OLED)를 포함한다.
- [0097] 기관(110)은 플렉서블 소재를 포함하거나, 기관(110)은 유리 같은 재료로 이루어진 리지드(rigid) 기관일 수도 있다.
- [0098] 기관(110) 위에는 제1 버퍼층(121)이 위치하고, 제1 버퍼층(121) 위에는 제1 반도체층(136a)이 위치한다. 제1 반도체층(136a)은 다결정 규소로 이루어질 수 있고, 제1 채널 영역(134a), 제1 소스 영역(133a) 및 제1 드레인 영역(135a)을 포함한다. 제1 소스 영역(133a) 및 제1 드레인 영역(135a)은 각각 제1 채널 영역(134a)의 양 옆에 배치되어 있다. 제1 채널 영역(134a)은 불순물이 도핑되지 않은 진성 반도체(intrinsic semiconductor)이고, 제1 소스 영역(133a) 및 제1 드레인 영역(135a)은 도전성 불순물이 도핑되어 있는 불순물 반도체(impurity semiconductor)이다. 도전성 불순물은 P형 불순물일 수 있다.
- [0099] 제1 반도체층(136a) 위에는 제1 게이트 절연막(122)이 위치한다. 제1 게이트 절연막(122)은 실리콘질화물(SiN<sub>x</sub>) 및 실리콘산화물(SiO<sub>x</sub>) 중 적어도 하나를 포함한 단층 또는 다층일 수 있다.
- [0100] 제1 게이트 절연막(122) 위에는 제1 게이트 전극(155a)과 차단층(160)이 위치한다. 제1 게이트 전극(155a)과 제

1 반도체층(136a)은 스위칭 트랜지스터(T1)를 구성할 수 있다.

- [0101] 차단층(160)은 제1 게이트 전극(155a)과 동일한 층에 위치한다. 차단층(160)은 제1 게이트 전극(155a)과 동일한 층에 함께 형성되어 추가 마스크 공정 없이 차단층(160)을 형성할 수 있으므로, 공정이 간소화될 수 있다. 차단층(160)은 오프닝을 통해 구동 전압선(172)과 전기적으로 연결되어 구동 전압(ELVDD)을 인가 받는다. 차단층(160)은 도전 특성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다.
- [0102] 제1 게이트 전극(155a), 차단층(160) 및 제1 게이트 절연막(122) 위에는 제2 버퍼층(141)이 위치한다. 제2 버퍼층(141)에는 제1 소스 영역(133a) 및 제1 드레인 영역(135a)을 각각 노출하는 오프닝이 위치한다.
- [0103] 제2 버퍼층(141) 위에 제2 반도체층(136b)이 위치한다. 제2 반도체층(136b)은 제2 채널 영역(134b), 제2 소스 영역(133b) 및 제2 드레인 영역(135b)을 포함한다. 제2 소스 영역(133b) 및 제2 드레인 영역(135b)은 각각 제2 채널 영역(134b)의 양 옆에 배치되어 있다. 제2 반도체층(136b)은 산화물 반도체로 이루어질 수 있다.
- [0104] 또는, 스위칭 트랜지스터(T1)의 제1 반도체층(136a)이 다결정 규소에 비해 오프 전류 특성이 좋은 산화물 반도체로 형성되고, 구동 트랜지스터(T2)의 제2 반도체층(136b)이 다결정 규소로 형성될 수도 있다. 그러나 이에 제한되지 않고, 제1 반도체층(136a)과 제2 반도체층(136b)이 모두 다결정 규소로 이루어지거나, 제1 반도체층(136a)과 제2 반도체층(136b)이 모두 산화물 반도체로 이루어지는 것도 가능하다.
- [0105] 제2 반도체층(136b) 위에 제2 게이트 절연막(123)이 위치하고, 제2 게이트 절연막(123) 위에 제1 소스 전극(161a)과 제1 드레인 전극(162a)이 위치한다. 제1 소스 전극(161a)과 제1 드레인 전극(162a)은 제1 게이트 절연막(122), 제2 버퍼층(141), 및 제2 게이트 절연막(123)에 형성된 오프닝을 통해 제1 반도체층(136a)의 제1 소스 영역(133a) 및 제1 드레인 영역(135a)과 각각 연결된다.
- [0106] 제2 게이트 절연막(123) 위에는 제2 채널 영역(134b)과 중첩하는 제2 게이트 전극(155b) 또한 위치한다. 제2 게이트 전극(155b)과 제2 반도체층(136b)은 구동 트랜지스터(T2)를 구성할 수 있다.
- [0107] 본 실시예에 따른 유기 발광 표시 장치에서는 스위칭 트랜지스터(T1)와 구동 트랜지스터(T2)가 다른 층에 위치한다. 다시 말해, 스위칭 트랜지스터(T1)의 제1 반도체층(136a)과 구동 트랜지스터(T2)의 제2 반도체층(136b)은 다른 층에 위치한다. 따라서, 스위칭 트랜지스터(T1)와 구동 트랜지스터(T2)의 간격을 좁히거나 부분적으로 중첩하게 배치하는 것이 가능하여, 설계 자유도가 증가한다. 또한, 화소의 개구율을 증가시키거나, 표시 장치의 해상도를 증가시키는데 유리하다.
- [0108] 이 때, 차단층(160)은 구동 트랜지스터(T2)의 제2 채널 영역(134b)과 중첩하는 영역에 위치한다. 차단층(160)은 제2 채널 영역(134b)의 양 옆에 위치하는 제2 소스 영역(133b) 및 제2 드레인 영역(135b)과도 중첩할 수 있다. 또한, 차단층(160)은 스위칭 트랜지스터(T1)의 제1 채널 영역(134a)과는 중첩하지 않을 수 있다. 구동 트랜지스터(T2)의 하부에 차단층(160)이 위치하여, 스위칭 트랜지스터(T1)와 구동 트랜지스터(T2)의 기생 용량에 의한 킥백 전압을 최소화할 수 있고, 후술하는 바와 같이, 잔상이 남지 않도록 하여 유기 발광 표시 장치의 표시 품질이 향상될 수 있다. 덧붙여, 제2 반도체층(136b)의 아래에 위치하는 차단층(160)은 플로팅 되지 않고 구동 전압(ELVDD)을 인가 받으므로 불필요한 기생 용량으로 인한 표시 품질의 저하를 방지할 수 있다.
- [0109] 제2 게이트 절연막(123), 제1 소스 전극(161a), 제1 드레인 전극(162a) 및 제2 게이트 전극(155b) 위에는 제3 게이트 절연막(124)이 위치하고, 제3 게이트 절연막(124) 위에 제2 유지 전극(165)이 위치한다. 제2 게이트 전극(155b)과 제2 유지 전극(165)은 제3 게이트 절연막(124)를 사이에 두고 중첩하여 유지 축전기(Cst)를 구성한다. 이 때, 제2 게이트 전극(155b)은 유지 축전기(Cst)의 제1 유지 전극일 수 있다.
- [0110] 제3 게이트 절연막(124)과 제2 유지 전극(165) 위에 층간 절연막(142)이 위치하고, 층간 절연막(142) 위에 제2 소스 전극(161b)과 제2 드레인 전극(162b)이 위치한다. 제2 소스 전극(161b)과 제2 드레인 전극(162b)은 층간 절연막(142)과 제2 게이트 절연막(123) 및 제3 게이트 절연막(124)에 형성된 오프닝을 통해 제2 반도체층(136b)의 제2 소스 영역(133b) 및 제2 드레인 영역(135b)과 각각 연결된다.
- [0111] 제2 소스 전극(161b)은 연장되어 구동 전압선(172)과 연결되어 구동 전압(ELVDD)을 인가받고, 제2 버퍼층(141)과 층간 절연막(142)에 형성된 오프닝을 통해 차단층(160)과도 연결된다. 이에 따라, 차단층(160)은 플로팅 되지 않고, 구동 전압(ELVDD)을 인가 받는다.
- [0112] 제2 소스 전극(161b)은 층간 절연막(142)에 형성된 오프닝을 통해 유지 축전기(Cst)의 제2 유지 전극(165)과도 연결된다. 이에 따라, 유지 축전기(Cst)의 제2 유지 전극(165)은 구동 전압(ELVDD)을 인가 받는다.

- [0113] 층간 절연막(142) 위에는 데이터선(171)도 위치한다. 데이터선(171)은 층간 절연막(142)에 위치하는 오프닝을 통해 스위칭 트랜지스터(T1)의 제1 소스 전극(161a)과 연결되어 스위칭 트랜지스터(T1)에 데이터 전압을 전달한다.
- [0114] 층간 절연막(142), 데이터선(171), 제2 소스 전극(161b) 및 제2 드레인 전극(162b) 위에는 보호막(180)이 위치한다.
- [0115] 보호막(180) 위에는 화소 전극(191)이 위치한다. 화소 전극(191)은 보호막(180)에 형성된 오프닝을 통해 제2 드레인 전극(162b)과 연결되어 있다. 구동 트랜지스터(T2)는 화소 전극(191)에 연결되어 유기 발광 소자(OLED)에 구동 전류를 공급한다.
- [0116] 보호막(180)과 화소 전극(191)의 위에는 이를 덮는 격벽(361)이 위치하고, 격벽(361)은 화소 전극(191)을 드러내는 화소 개구부(365)를 가진다. 화소 개구부(365)에 의해 노출된 화소 전극(191) 위에는 유기 발광층(370)과 공통 전극(270)이 차례로 위치한다. 공통 전극(270)은 복수의 화소에 걸쳐 위치할 수 있다. 화소 전극(191), 유기 발광층(370)과 공통 전극(270)은 유기 발광 소자(OLED)를 구성할 수 있다.
- [0117] 공통 전극(270) 위에 봉지층(390)이 위치한다. 봉지층(390)은 유기 발광 소자(OLED)를 밀봉하여 외부의 수분 및 산소의 유입을 차단한다.
- [0118] 도 7은 다른 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0119] 도 7을 참조하면, 본 실시예에 따른 유기 발광 표시 장치는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 차단층(260)을 포함한다.
- [0120] 본 실시예에 따른 유기 발광 표시 장치는 기판(210)과 기판(210) 위에 위치하는 제1 버퍼층(221)을 포함한다.
- [0121] 제1 버퍼층(221) 위에는 제1 반도체층(236a)이 위치한다. 제1 반도체층(236a)은 다결정 규소로 이루어질 수 있고, 제1 채널 영역(234a), 제1 소스 영역(233a) 및 제1 드레인 영역(235a)을 포함한다. 제1 소스 영역(233a) 및 제1 드레인 영역(235a)은 각각 제1 채널 영역(234a)의 양 옆에 배치되어 있다.
- [0122] 제1 반도체층(236a) 위에 제1 게이트 절연막(222)이 위치하고, 제1 게이트 절연막(222) 위에는 제1 게이트 전극(255a)이 위치한다. 제1 게이트 전극(255a)은 제1 반도체층(236a)의 제1 채널 영역(234a)과 중첩한다. 제1 게이트 전극(255a)과 제1 반도체층(236a)은 제1 트랜지스터(T1)를 구성할 수 있다.
- [0123] 제1 게이트 전극(255a) 위에 제2 게이트 절연막(223)이 위치하고, 제2 게이트 절연막(223) 위에 제2 게이트 전극(265) 및 차단층(260)이 위치한다. 제2 게이트 전극(265)은 제1 게이트 전극(255a) 및 제1 반도체층(236a)의 제1 채널 영역(234a)과 중첩한다. 제1 게이트 전극(255a)과 제2 게이트 전극(265)은 제2 게이트 절연막(223)을 사이에 두고 중첩하여 유지 축전기를 구성할 수 있다.
- [0124] 차단층(260)은 제2 게이트 전극(265)과 동일한 층에 위치한다. 차단층(260)은 오프닝을 통해 구동 전압선(272)과 전기적으로 연결되어 구동 전압(ELVDD)을 인가 받는다. 차단층(260)은 도전 특성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다.
- [0125] 제2 게이트 전극(265), 차단층(260) 및 제2 게이트 절연막(223) 위에 제2 버퍼층(241)이 위치하고, 제2 버퍼층(241) 위에 제2 반도체층(236b)이 위치한다. 제2 반도체층(236b)은 제2 채널 영역(234b), 제2 소스 영역(233b) 및 제2 드레인 영역(235b)을 포함한다. 제2 소스 영역(233b) 및 제2 드레인 영역(235b)은 각각 제2 채널 영역(234b)의 양 옆에 배치되어 있다. 제2 반도체층(236b)은 산화물 반도체로 이루어질 수 있다.
- [0126] 제2 반도체층(236b) 위에 제3 게이트 절연막(224)이 위치하고, 제3 게이트 절연막(224) 위에 제2 채널 영역(234b)과 중첩하는 제3 게이트 전극(255b)이 위치한다. 제3 게이트 전극(255b)과 제2 반도체층(236b)은 제2 트랜지스터(T2)를 구성할 수 있다.
- [0127] 차단층(260)은 제2 트랜지스터(T2)의 제2 채널 영역(234b)과 중첩하는 영역에 위치한다. 차단층(260)은 제2 채널 영역(234b)의 양 옆에 위치하는 제2 소스 영역(233b) 및 제2 드레인 영역(235b)과도 중첩할 수 있다. 또한, 차단층(260)은 제1 트랜지스터(T1)의 제1 채널 영역(234a)과는 중첩하지 않을 수 있다.
- [0128] 제1 트랜지스터(T1)의 제1 반도체층(236a)이 다결정 규소로 이루어지고, 제2 트랜지스터(T2)의 제2 반도체층(236b)이 산화물 반도체인 것으로 설명하였으나, 제1 반도체층(236a)이 산화물 반도체로 이루어지고, 제2 반도체

체층(236b)이 다결정 규소로 이루어지는 것도 가능하다. 또한, 제1 반도체층(236a)과 제2 반도체층(236b)이 모두 다결정 규소로 이루어지거나, 제1 반도체층(236a)과 제2 반도체층(236b)이 모두 산화물 반도체로 이루어지는 것도 가능하다.

[0129] 제3 게이트 전극(255b)과 제3 게이트 절연막(224) 위에 층간 절연막(242)이 위치하고, 층간 절연막(242) 위에 제1 소스 전극(261a), 제1 드레인 전극(262a), 제2 소스 전극(261b), 및 제2 드레인 전극(262b)이 위치한다.

[0130] 제1 소스 전극(261a), 제1 드레인 전극(262a)은 제2 버퍼층(241)과 층간 절연막(242)에 형성된 오프닝을 통해 제1 반도체층(236a)의 제1 소스 영역(233a) 및 제1 드레인 영역(235a)과 각각 연결된다.

[0131] 또한, 제2 소스 전극(261b), 제2 드레인 전극(262b)은 층간 절연막(242)에 형성된 오프닝을 통해 제2 반도체층(236b)의 제2 소스 영역(233b) 및 제2 드레인 영역(235b)과 각각 연결된다.

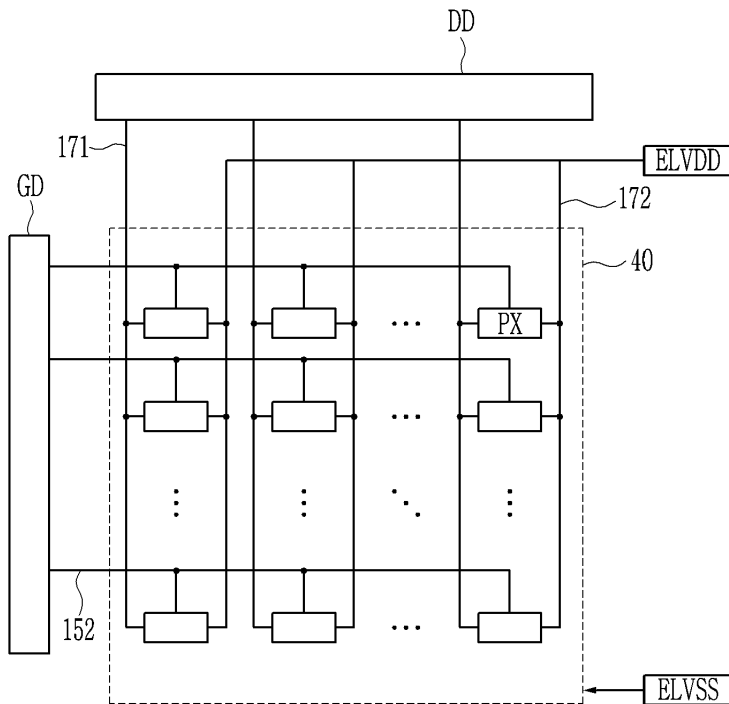
[0132] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

**부호의 설명**

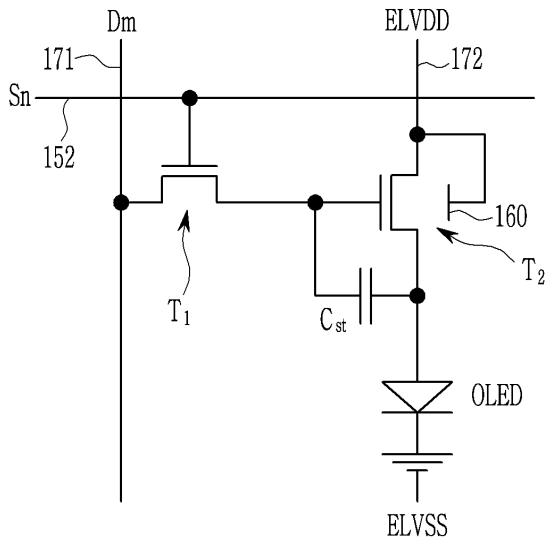
- [0133] 110, 210: 기판    122, 222: 제1 게이트 절연막
- 123, 223: 제2 게이트 절연막    124, 224: 제3 게이트 절연막
- 136a, 236a: 제1 반도체층    136b, 236b: 제2 반도체층
- 155a, 255a: 제1 게이트 전극    155b, 265: 제2 게이트 전극
- 160, 260: 차단층    191: 화소 전극
- 270: 공통 전극    370: 유기 발광층

**도면**

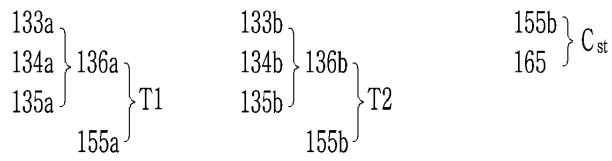
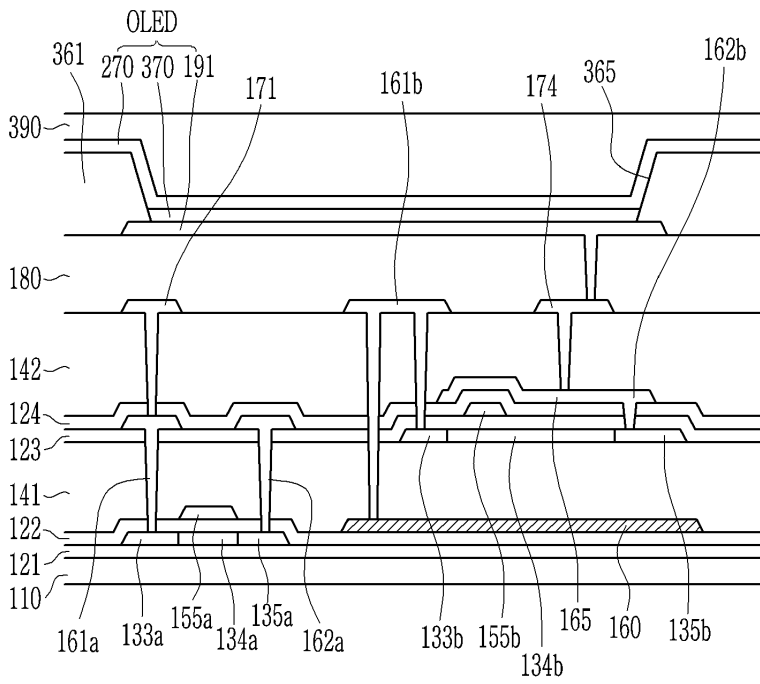
**도면1**



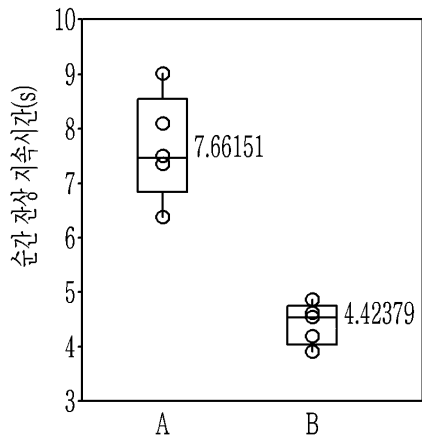
도면2



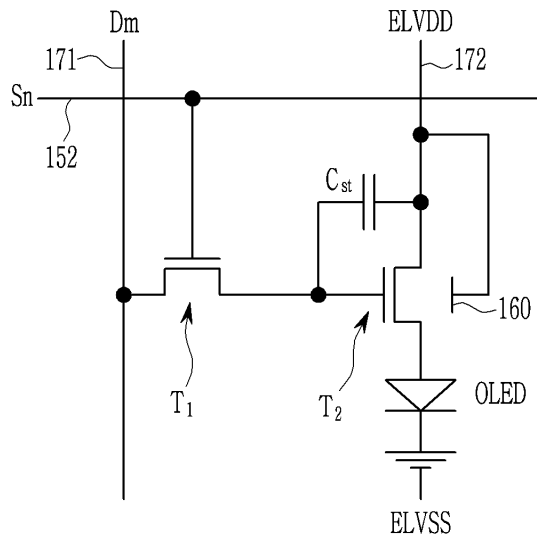
도면3



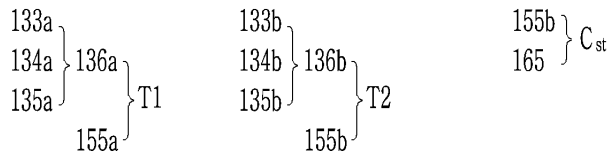
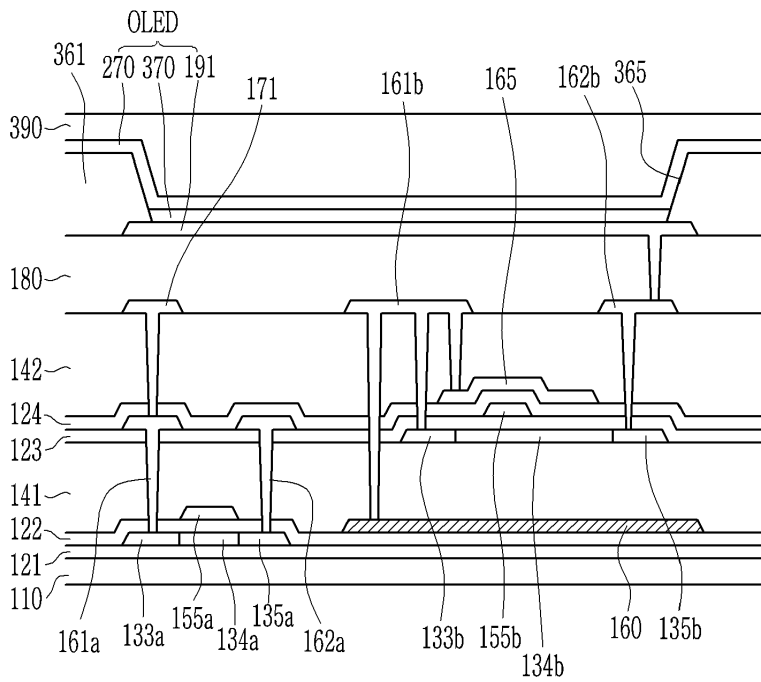
도면4



도면5



도면6



도면7

