

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-84591  
(P2009-84591A)

(43) 公開日 平成21年4月23日(2009.4.23)

(51) Int.Cl.	F I	テーマコード (参考)
<b>C23C 16/515 (2006.01)</b>	C 2 3 C 16/515	4 K 0 3 0
<b>C23C 16/27 (2006.01)</b>	C 2 3 C 16/27	
<b>H05H 1/24 (2006.01)</b>	H 0 5 H 1/24	
<b>H05H 1/46 (2006.01)</b>	H 0 5 H 1/46	R

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号	特願2007-251807 (P2007-251807)	(71) 出願人	000004064 日本碍子株式会社 愛知県名古屋市瑞穂区須田町2番56号
(22) 出願日	平成19年9月27日 (2007.9.27)	(74) 代理人	110000017 特許業務法人アイテック国際特許事務所
		(72) 発明者	齊藤 隆雄 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内
		(72) 発明者	寺澤 達矢 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内
		Fターム(参考)	4K030 BA28 CA02 CA17 FA01 JA09

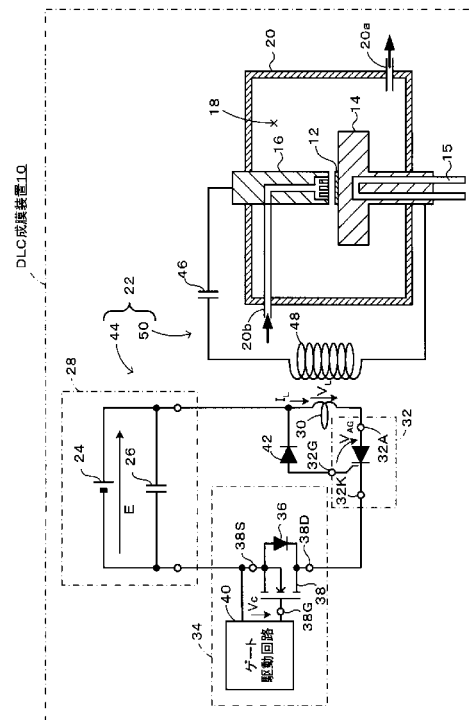
(54) 【発明の名称】 DLC成膜装置

(57) 【要約】

【課題】体積抵抗率がシリコンよりも小さい金属材料からなる基板上にDLCを100hPa以上常圧以下で一に成膜する。

【解決手段】DLC成膜装置10は、体積抵抗率がシリコンよりも小さい金属材料からなる基板12上にダイヤモンド・ライク・カーボン(DLC)を100hPa以上常圧以下で成膜する装置である。このDLC成膜装置10は、基板12を支持する支持電極14と、この支持電極14から離間し且つ該支持電極14と対向する対向電極16と、支持電極14と対向電極16とを包含する閉空間18と、閉空間18の外側にて支持電極14と対向電極との間にコンデンサ素子46とコイル素子48とが直列接続され、支持電極14と対向電極16との間に直流パルス電圧を印加するパルス供給源を有する電気回路22とを備えている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

体積抵抗率がシリコンよりも小さい金属材料からなる基板上にダイヤモンド・ライク・カーボン(DLC)を100hPa以上常圧以下で成膜するDLC成膜装置であって、  
 前記基板を支持する支持電極と、  
 前記支持電極から離間し且つ該支持電極と対向する対向電極と、  
 前記支持電極と前記対向電極とを包含する閉空間と、  
 前記閉空間の外側にて前記支持電極と前記対向電極との間にコンデンサ素子とコイル素子とが直列接続され、前記支持電極と前記対向電極との間に直流パルス電圧を印加するパルス供給源を有する電気回路と、  
 を備えたDLC成膜装置。

10

## 【請求項 2】

前記電気回路は、前記支持電極と前記対向電極との間に連続して供給されるパルス群のうちの1つ目のパルスの電圧又は1つずつ断続的に供給されるパルスの電圧につき0Vを超えてから再び0Vに戻るまでの時間(第1パルス幅)が1 $\mu$ sec未満となるように前記コンデンサ素子のキャパシタンスと前記コイル素子のインダクタンスとが設定されている、

請求項1に記載のDLC成膜装置。

## 【請求項 3】

前記コンデンサ素子のキャパシタンスと前記コイル素子のインダクタンスは、前記支持電極と前記対向電極とをコンデンサとみなしたときのキャパシタンスと前記コンデンサ素子のキャパシタンスと前記コイル素子のインダクタンスとに基づいて算出される共振周波数の逆数の1/2の値である半周期が1 $\mu$ sec未満となるように設定されている、

請求項1又は2に記載のDLC成膜装置。

20

## 【請求項 4】

前記基板は、鉄系材質からなる、

請求項1～3のいずれか1項に記載のDLC成膜装置。

## 【請求項 5】

前記基板は、SUS材、SKD材又はSKH材からなる、

請求項4に記載のDLC成膜装置。

30

## 【請求項 6】

前記パルス発生源は、直流電源の両端にインダクタ、第1半導体スイッチ及び第2半導体スイッチが直列接続され、前記インダクタは、一端が前記第1半導体スイッチのアノード端子に接続されると共に他端がダイオードを介して前記第1半導体スイッチのゲート端子に接続され、前記ダイオードは、アノード端子が前記第1半導体スイッチのゲート端子に接続されており、前記第2半導体スイッチがターンオンされると前記第1半導体スイッチの導通に伴って前記インダクタに誘導エネルギーが蓄積され、前記第2半導体スイッチがターンオフされると前記第1半導体スイッチのターンオフに伴って前記インダクタでパルス電圧が発生し該インダクタと磁氣的に結合された前記コイル素子に前記パルス電圧を昇圧して供給する、

40

請求項1～5のいずれか1項に記載のDLC成膜装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、DLC成膜装置に関し、詳しくは体積抵抗率がシリコンよりも小さい金属材料からなる基板上にDLCを100hPa以上常圧以下で成膜するDLC成膜装置に関する。

## 【背景技術】

## 【0002】

従来、この種のDLC成膜装置としては、基板上にDLC(ダイヤモンド・ライク・カ

50

ーボン)を常圧で成膜するものが知られている。例えば、特許文献1に記載のDLC成膜装置では、ステンレス製のチャンバ内で、シリコン基板を下部電極に支持し、下部電極の上方にシリコン基板から離間するように上部電極を配置し、両電極間に静電誘導サイリスタ素子を用いた電源を使って400hPaで周波数1kHzのパルス電圧を印加することにより、シリコン基板上にDLC膜が生成できると記載されている。

【特許文献1】特開2004-270022

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、特許文献1と同様の条件下でシリコンよりも体積抵抗率の小さい鉄系材質の基板を用いたときには、アーク放電が発生し、基板上に生成したDLC膜にアーク放電による細かい穴が形成されるという問題があった。アーク放電が発生する原因は、基板の体積抵抗率が小さいことに加えて、圧力が400hPaであり通常の成膜条件と比べると高圧であることが挙げられる。

10

【0004】

本発明は、このような課題に鑑みなされたものであり、体積抵抗率がシリコンよりも小さい金属材料からなる基板上にDLCを100hPa以上常圧以下で均一に成膜可能なDLC成膜装置を提供することを主目的とする。

【課題を解決するための手段】

【0005】

本発明は、上述の主目的を達成するために以下の手段を採った。

20

【0006】

本発明のDLC成膜装置は、  
体積抵抗率がシリコンよりも小さい金属材料からなる基板上にDLCを100hPa以上常圧以下で成膜するDLC成膜装置であって、  
前記基板を支持する支持電極と、  
前記支持電極から離間し且つ該支持電極と対向する対向電極と、  
前記支持電極と前記対向電極とを包含する閉空間と、  
前記閉空間の外側にて前記支持電極と前記対向電極との間にコンデンサ素子とコイル素子とが直列接続され、前記支持電極と前記対向電極との間に直流パルス電圧を印加するパルス供給源を有する電気回路と、  
を備えたものである。

30

【0007】

このDLC成膜装置では、体積抵抗率がシリコンよりも小さい金属材料からなる基板を支持電極に支持した状態で、パルス供給源により支持電極と対向電極との間に直流パルス電圧を印加する。このとき、支持電極と対向電極とを接続する電気回路には、コンデンサ素子とコイル素子とが直列接続されている。このため、支持電極に支持された基板上にDLCを100hPa以上常圧以下で成膜する際、支持電極と対向電極との間に直流パルス電圧を印加したとしても、支持電極と対向電極との間に連続して供給されるパルス群のうちの1つ目のパルスの電圧又は1つずつ断続的に供給されるパルスの電圧につき0Vを超えてから再び0Vに戻るまでの時間(第1パルス幅)がアーク放電が発生するほど長くなりすぎることはない。したがって、DLC膜にアーク放電による細かい穴が形成されることはなく、均一なDLC膜が得られる。なお、DLC膜とは、硬質炭素膜やアモルファスカーボン膜とも呼ばれる膜である。

40

【0008】

本発明のDLC成膜装置において、前記電気回路は、前記第1パルス幅が1 $\mu$ sec未満となるように前記コンデンサ素子のキャパシタンスと前記コイル素子のインダクタンスとが設定されていることが好ましい。このように第1パルス幅を1 $\mu$ sec未満にすることにより、体積抵抗率がシリコンよりも小さい金属材料からなる基板上にDLCを成膜する際にアーク放電が発生するのを確実に防ぐことができる。このとき、前記コンデンサ素

50

子のキャパシタンスと前記コイル素子のインダクタンスは、前記支持電極と前記対向電極とをコンデンサとみなしたときのキャパシタンスと前記コンデンサ素子のキャパシタンスと前記コイル素子のインダクタンスとに基づいて算出される共振周波数  $f$  の逆数（周期  $T$ ）の  $1/2$  の値である半周期  $T/2$  が  $1 \mu\text{sec}$  未満となるように設定されていることが好ましい。後述する実施例から明らかなように、第1パルス幅が  $1 \mu\text{sec}$  未満であればアーク放電を防止でき、第1パルス幅は計算値である半周期  $T/2$  とみなすことができることが実証されている。このため、この半周期  $T/2$  が  $1 \mu\text{sec}$  未満となるように設定すれば、第1パルス幅が  $1 \mu\text{sec}$  未満となりアーク放電を防止することが可能となる。

#### 【0009】

本発明の D L C 成膜装置において、前記基板は、鉄系材質からなるものとしてもよい。例えば、シリコンの体積抵抗率は例えば  $10^{-2} \sim 10^6 \text{ cm}$  であるのに対して、鉄系材質の体積抵抗率は例えば  $10^{-4} \sim 10^{-6} \text{ cm}$  であるため、鉄系材質からなる基板を使用した場合の方がシリコンからなる基板を使用した場合に比べてアーク放電が発生しやすく、本発明を適用する意義が高い。鉄系材質としては、S U S 材、S K D 材（ダイス鋼）又は S K H 材（ハイスピード鋼）が好ましい。S U S 材としては、例えば鉄 - クロム - ニッケル系の S U S 3 0 4 や S U S 3 1 6、鉄 - クロム系の S U S 4 1 0 や S U S 4 3 0、S U S 4 4 0 などが挙げられる。S K D 材としては、例えば S K D 1 1 や S K D 6 1 などが挙げられる。S K H 材としては、例えば S K H 2、S K H 1 0、S K H 5 1、S K H 5 5 などが挙げられる。また、アルミニウムを主成分とする材料からなる基板や銅を主成分とする材料からなる基板にも応用できることは当然である。

#### 【0010】

本発明の D L C 成膜装置において、前記パルス発生源は、直流電源の両端にインダクタ、第1半導体スイッチ及び第2半導体スイッチが直列接続され、前記インダクタは、一端が前記第1半導体スイッチのアノード端子に接続されると共に他端がダイオードを介して前記第1半導体スイッチのゲート端子に接続され、前記ダイオードは、アノード端子が前記第1半導体スイッチのゲート端子に接続されており、前記第2半導体スイッチがターンオンされると前記第1半導体スイッチの導通に伴って前記インダクタに誘導エネルギーが蓄積され、前記第2半導体スイッチがターンオフされると前記第1半導体スイッチのターンオフに伴って前記インダクタでパルス電圧が発生し該インダクタと磁氣的に結合された前記コイル素子に前記パルス電圧を昇圧して供給するようにしてもよい。こうすれば、急峻に立ち上がる直流パルス電圧を支持電極 - 対向電極間に供給することが可能となる。

#### 【発明を実施するための最良の形態】

#### 【0011】

次に、本発明の実施の形態を図面に基づいて説明する。図1は本発明の一実施形態である D L C 成膜装置 10 の概略構成を示す説明図である。

#### 【0012】

D L C 成膜装置 10 は、体積抵抗率がシリコンよりも小さい鉄系材質（例えば S U S 材や S K D 材、S K H 材など）からなる基板 12 上に D L C を  $100 \text{ hPa}$  以上常圧以下で成膜する装置である。この D L C 成膜装置 10 は、基板 12 を支持する支持電極 14 と、この支持電極 14 から離間し且つ該支持電極 14 と対向する対向電極 16 と、支持電極 14 と対向電極 16 とを包含する閉空間 18 を形成するステンレス製のチャンバ 20 と、支持電極 14 と対向電極 16 との間に直流パルス電圧を印加するパルス供給源を有する電気回路 22 とを備えている。

#### 【0013】

支持電極 14 は、材質が S U S 3 0 4 で直径が  $100 \text{ mm}$ 、厚さが  $10 \text{ mm}$  の円盤の下面に、直径が  $50 \text{ mm}$  の円柱状の軸が一体化されたものである。この支持電極 14 は、内部に冷却液が通過可能な冷却液通路 15 が形成されている。この冷却液通路 15 に流す冷却液の温度及び流量を制御することにより、支持電極 14 は所望の温度に維持することができる。

#### 【0014】

10

20

30

40

50

対向電極 16 は、材質が SUS 304 で直径が 5 mm、内径が 3 mm、高さが 50 mm の円筒部材である。この対向電極 16 は、支持電極 14 に載置される基板 12 の表面から 5 mm 離間している。

#### 【0015】

チャンバ 20 は、材質がステンレスの板材によって支持電極 14 及び対向電極 16 とを取り囲むように形成されている。このチャンバ 20 は、図示しない真空ポンプに接続され該真空ポンプの駆動により閉空間 18 の圧力を負圧に調整するための排気口 20a と、閉空間 18 内にヘリウムガスやメタンガスを供給可能なガス供給口 20b とを有している。ガス供給口 20b は、配管を通して対向電極 16 に接続され、対向電極 16 から支持電極 14 に向かってガスが吹き出るようになっている。

10

#### 【0016】

電気回路 22 は、直流電源 24 と高周波インピーダンスを低くするコンデンサ 26 とを有する直流電源部 28 の両端にインダクタ 30、第 1 半導体スイッチ 32 及び第 2 半導体スイッチ 34 が直列接続された一次巻線側回路 44 と、チャンバ 20 の外側で支持電極 14 と対向電極 16 との間にコンデンサ素子 46 及びコイル素子 48 が直列接続された二次巻線側回路 50 とで構成されている。一次巻線側回路 44 では、インダクタ 30 は、一端が第 1 半導体スイッチ 32 のアノード端子 32A に接続され、他端がダイオード 42 を介して第 1 半導体スイッチ 32 の制御端子であるゲート端子 32G に接続されている。ダイオード 42 は、アノード側が第 1 半導体スイッチ 32 のゲート端子 32G に接続されている。第 1 半導体スイッチ 32 は、電流制御形デバイスや自己消弧形デバイス、転流消弧形デバイスを用いることができるが、ここではターンオフ時の電圧上昇率 ( $dv/dt$ ) に対する耐量が極めて大きく且つ電圧定格の高い SI サイリスタを用いている。第 2 半導体スイッチ 34 は、自己消弧形デバイスや転流消弧形デバイスを用いることができるが、ここでは、アバランシェ形ダイオード 36 が逆並列で内蔵されたパワー MOSFET 38 を使用し、このパワー MOSFET 38 と、パワー MOSFET 38 のゲート端子 38G とソース端子 38S に接続されパワー MOSFET 38 のオンオフを制御するゲート駆動回路 40 とから構成されている。ここで、一次巻線側回路 44 のインダクタ 30 は一次巻線を構成し、二次巻線側回路 50 のコイル素子 48 は二次巻線を構成し、両者がトランスとして機能する。なお、パワー MOSFET 38 のドレイン端子 38D は第 1 半導体スイッチ 32 のカソード端子 32K に接続されている。

20

30

#### 【0017】

次に、DLC 成膜装置 10 の一次巻線側回路 44 でパルス電圧が発生するメカニズムを説明する。ゲート駆動回路 40 からパワー MOSFET 38 のゲート - ソース間に制御信号  $V_c$  が供給されると、パワー MOSFET 38 がオフからオンになる。このとき、ダイオード 42 の逆極性の極めて大きなインピーダンスにより、第 1 半導体スイッチ 32 は、ゲート端子 32G 及びカソード端子 32K 間に正に印加される電界効果によりターンオンしてアノード端子 32A - カソード端子 32K 間が通流する (A - K 間電流)。このようにして、第 1 及び第 2 半導体スイッチ 32, 34 が導通すると、インダクタ 30 に直流電源 24 の電圧  $E$  と略同等の電圧が印加され、所望のエネルギーが蓄積される。そして、所望のエネルギーが得られた後、ゲート駆動回路 40 からの制御信号の供給を停止し、パワー MOSFET 38 をターンオフさせる。すると、パワー MOSFET 38 がターンオフするのに伴ってインダクタ 30 でパルス電圧が発生する。具体的には、第 2 半導体スイッチ 34 がターンオフすると、インダクタ 30 の電流  $I_L$  は、第 1 半導体スイッチ 32 のアノード端子 32A - ゲート端子 32G - ダイオード 42 のアノード - ダイオード 42 のカソードの経路に転流するため、アノード端子 32A - ゲート端子 32G 間が通流する (A - G 間電流)。そして、インダクタ 30 に蓄積したエネルギーによる電流が引き続きアノード端子 32A からゲート端子 32G に流れ、第 1 半導体スイッチ 32 がオフ状態に移行するので、第 1 半導体スイッチ 32 のアノード - ゲート間電圧  $V_{AG}$  とインダクタ端子間電圧  $V_L$  が急上昇する。そして、電流  $I_L$  がゼロになると、電圧  $V_{AG}$  が最大となる。その後、第 1 半導体スイッチ 32 が非通流となり、ダイオード 42 がオフ状態に移行すると、電圧  $V_{AG}$

40

50

は急下降するが、インダクタ端子間電圧 $V_L$ は、インダクタ48に移行した電流が二次巻線側回路50のコンデンサ素子46を充電するので更に上昇を続ける。このときの様子を図2に示す。図2において、電流 $I_L$ はインダクタ30を流れる電流であり、電圧 $V_{AG}$ は第1半導体スイッチ32のアノード-ゲート間電圧であり、電圧 $V_L$ はインダクタ30の端子間電圧である。なお、パルス電圧の詳しいメカニズムについては例えば特許第3811681号に記載されている。

#### 【0018】

次に、こうしたDLC成膜装置10を用いて体積抵抗率がシリコンよりも小さい鉄系材質（例えばSUS材、SKD材、SKH材など）からなる基板12上にDLC膜を生成する場合について説明する。まず、基板12を支持電極14に支持した状態で、図示しない真空ポンプを用いて閉空間18の圧力が133Pa（1Torr）以下になるまで排気口20aから排気する。次いで、ヘリウムガスをガス供給口20bから対向電極16を介して閉空間18の圧力が100hPa以上常圧以下の範囲で定められた所定圧力となるまで供給する。次いで、ガス供給口20bからメタンガスとヘリウムガスとの混合気体を対向電極16を介して閉空間18に供給しながら、支持電極14と対向電極16との間に直流パルス電圧を印加する。すなわち、電気回路22の一次巻線側回路44により二次巻線側回路50のコイル素子48に直流パルス電圧を発生させる。すると、発生したパルス電圧が支持電極14と対向電極16との間に印加され、両電極14, 16の間にプラズマが発生し、基板12上にDLC膜が生成する。このとき、支持電極14と対向電極16とを接続する二次巻線側回路50には、コンデンサ素子46とコイル素子48とが直列接続されている。このため、支持電極14と対向電極16との間に直流パルス電圧を印加したとしても、支持電極14と対向電極16との間に連続して供給されるパルス群のうちの1つ目のパルスの電圧又は1つずつ断続的に供給されるパルスの電圧につき0Vを超えてから再び0Vに戻るまでの時間（第1パルス幅）がアーク放電が発生するほど長くなりすぎることはない。

#### 【0019】

以上詳述した本実施形態のDLC成膜装置10によれば、基板12上に生成したDLC膜にアーク放電による細かい穴が形成されることはなく、均一なDLC膜が得られる。また、第1パルス幅を1 $\mu$ sec未満となるようにコンデンサ素子46のキャパシタンスとコイル素子48のインダクタンスを設定することにより、支持電極14と対向電極16との間にアーク放電が発生するのをより確実に防止することができる。このとき、コンデンサ素子46のキャパシタンスを $C_1$ 、コイル素子48のインダクタンスを $L_0$ 、支持電極14と対向電極16とをコンデンサとみなしたときのキャパシタンスを $C_2$ とすると、合成キャパシタンス $C_0$ は式(1)で表され、共振周波数 $f$ は式(2)で表され、半周期( $T/2$ )は式(3)で表される。この半周期( $T/2$ )が1 $\mu$ sec未満となるように、両キャパシタンス $C_1$ ,  $C_2$ 及びインダクタンス $L_0$ を設定することが好ましい。

[数1]

$$C_0 = C_1 \cdot C_2 / (C_1 + C_2) \quad \dots (1)$$

$$f = 1 / (2 \cdot L_0 \cdot C_0) \quad \dots (2)$$

$$T / 2 = L_0 \cdot C_0 \quad \dots (3)$$

#### 【0020】

なお、本発明は上述した実施形態に何ら限定されることはなく、本発明の技術的範囲に属する限り種々の態様で実施し得ることはいうまでもない。

#### 【0021】

例えば、上述した実施形態では、電気回路22を一次巻線側回路44と二次巻線側回路50とで構成したが、インダクタ30の代わりにコイル素子48を電氣的に接続してもよい。この場合、コイル素子48は、一端が支持電極14に接続されると共に他端がコンデンサ素子46を介して対向電極16に接続される。このため、コイル素子48に発生したパルス電圧がそのまま支持電極14と対向電極16との間に印加されることになる。

#### 【0022】

上述した実施形態では、一次巻線側回路44として第1及び第2半導体スイッチ32, 34を開いたときにパルス電圧が発生するオープニング方式の回路を採用したが、スイッチを閉じたときにパルス電圧が発生するクロージング方式の回路を採用してもよい。

【実施例】

【0023】

[実施例1]

SUS440からなる直径30mm、厚さ5mmの基板12を支持電極14に支持した状態で、図示しない真空ポンプを用いて閉空間18の圧力が13Pa(0.1Torr)になるまで排気口20aから排気した。次いで、ヘリウムガスをガス供給口20bから対向電極16を介して閉空間18の圧力が400hPa(300Torr)となるまで供給した。次いで、ガス供給口20bから対向電極16を介してメタンガス50sccmとヘリウムガス2000sccmとの混合気体を閉空間18に供給しながら、支持電極14と対向電極16との間に直流パルス電圧を印加した。パルス電圧の波高値は+1.6kV、周波数は10kHz、立ち上がり時間及び立ち下がり時間はいずれも150nsec、第1パルス幅は300nsecであった。このパルス電圧を印加して5分間放電を行い、基板12上に直径10mmのDLC膜を生成した。なお、支持電極14の温度は200となるようにした。

10

【0024】

この実施例では、チャンバ容量(支持電極14と対向電極16とをコンデンサとみなしたときのキャパシタンス)を470pF、コンデンサ素子46のキャパシタンスを220pF、コイル素子48のインダクタンスを98μHとした。このため、合成キャパシタンスは150pF、共振周波数は1314kHzとなり、半周期の計算値は380nsecとなった。一方、半周期の実測値に相当する第1パルス幅は300nsecであった。このときの支持電極14-対向電極16間のパルス電圧の波形を図3に示す。

20

【0025】

得られたDLC膜について、ラマン分光装置(日本分光社製のNRS-1000)を使用して、ラマン分光分析を行った。その結果を図4に示す。図4から、波数1200~1500cm<sup>-1</sup>にショルダーピークが確認でき、1580cm<sup>-1</sup>周辺にメインピークが確認できた。このことから、良好なDLC膜であることが判明した。また、得られたDLC膜の硬度と弾性率とを、薄膜の機械的特性評価装置(MTSシステムズ社製のナノインデントータXP)を用いて測定した。その結果、硬度は20.9GPaと高く、弾性率は188GPaであった。また、表面粗さRaは0.1nmであり、膜厚は1.1μmであった。

30

【0026】

[実施例2]

コンデンサ素子46のキャパシタンスを440pFとした以外は実施例1と同様にして装置を構成した。このとき、合成キャパシタンスは227pF、共振周波数は1067kHzとなり、半周期の計算値は469nsecとなった。一方、半周期の実測値に相当する第1パルス幅は380nsecであった。

【0027】

[実施例3]

コンデンサ素子46のキャパシタンスを660pFとした以外は実施例1と同様にして装置を構成した。このとき、合成キャパシタンスは275pF、共振周波数は971kHzとなり、半周期の計算値は515nsecとなった。一方、半周期の実測値に相当する第1パルス幅は480nsecであった。

40

【0028】

[実施例4]

コンデンサ素子46のキャパシタンスを880pFとした以外は実施例1と同様にして装置を構成した。このとき、合成キャパシタンスは306pF、共振周波数は919kHzとなり、半周期の計算値は544nsecとなった。一方、半周期の実測値に相当する第1パルス幅は520nsecであった。

50

【 0 0 2 9 】

[ 実施例 5 ]

コンデンサ素子 4 6 のキャパシタンスを 1 1 0 0 p F とした以外は実施例 1 と同様に  
して装置を構成した。このとき、合成キャパシタンスは 3 2 9 p F、共振周波数は 8 8 6 k  
H z となり、半周期の計算値は 5 6 4 n s e c となった。一方、半周期の実測値に相当す  
る第 1 パルス幅は 5 7 0 n s e c であった。実施例 1 ~ 5 の半周期の計算値と実測値（第  
1 パルス幅）との関係を図 5 及び表 1 に示す。図 5 及び表 1 から明らかなように、半周期  
の計算値と実測値とは比較的よく一致している。

【表 1】

	コンデンサ素子の キャパシタンス (pF)	チャンバの キャパシタンス (pF)	合成 キャパシタンス (pF)	コイル素子の インダクタンス ( $\mu$ H)	共振周波数 (kHz)	半周期 (nsec)	実測した 第1パルス幅 (nsec)	実測した ピーク電圧 (kV)
実施例1	220	470	150	98	1314	381	300	1.6
実施例2	440	470	227	98	1067	469	380	1.7
実施例3	660	470	275	98	971	515	480	1.3
実施例4	880	470	306	98	919	544	520	1.3
実施例5	1100	470	329	98	886	564	570	1.4

10

20

30

40

【0030】

[実施例6]

コンデンサ素子46のキャパシタンスを8000 pFとした以外は実施例1と同様に  
して装置を構成した。このとき、合成キャパシタンスは444 pF、共振周波数は763 k  
Hzとなり、半周期の計算値は655 nsecとなった。一方、半周期の実測値に相当す

50

る第1パルス幅は970 nsecであったが、このときのパルス電圧の波形は図6に示すようになった。すなわち、このパルスは、実施例1～5のように時間の経過に伴い0Vを数回振動するパルスではなく、単一のパルスとなった。

【0031】

[比較例1]

基板12をシリコンウェハ(体積抵抗率 $0.01 \text{ cm}$ )とし、二次巻線側回路50にコンデンサ素子46を挿入しなかった以外は、実施例1と同様にして装置を構成した。第1パルス幅は図7の実線で示すように $0.85 \mu\text{sec}$ (850 nsec)であった。また、シリコンウェハ上に生成したDLC膜はアーク放電による穴がみられず均一な膜であった。このことから、第1パルス幅が $1 \mu\text{sec}$ 未満のときには、大気圧近傍でDLC成膜を行ったとしてもアーク放電が発生せず、安定に成膜が可能であることがわかる。

10

【0032】

[比較例2]

基板12をSUS製基板(体積抵抗率 $72 \times 10^{-6} \text{ cm}$ )とした以外は、比較例1と同様にして装置を構成した。第1パルス幅は図7の点線で示すように $2 \mu\text{sec}$ であった。また、SUS製基板上に生成したDLC膜にはアーク放電による穴がみられた。このことから、第1パルス幅が $2 \mu\text{sec}$ のときには、大気圧近傍でDLC成膜を行うとアーク放電が発生して均一な成膜が得られないことがわかった。

【図面の簡単な説明】

【0033】

20

【図1】DLC成膜装置10の概略構成を示す説明図である。

【図2】各部の電流及び電圧の動作波形の説明図である。

【図3】実施例1の支持電極14 - 対向電極16間電圧の波形を示す説明図である。

【図4】実施例1のDLC膜のラマン分光分析のグラフである。

【図5】実施例1～5の半周期の計算値と実測値(第1パルス幅)との関係を表すグラフである。

【図6】実施例6の支持電極14 - 対向電極16間電圧の波形を示す説明図である。

【図7】比較例1, 2の支持電極14 - 対向電極16間電圧の波形を示す説明図である。

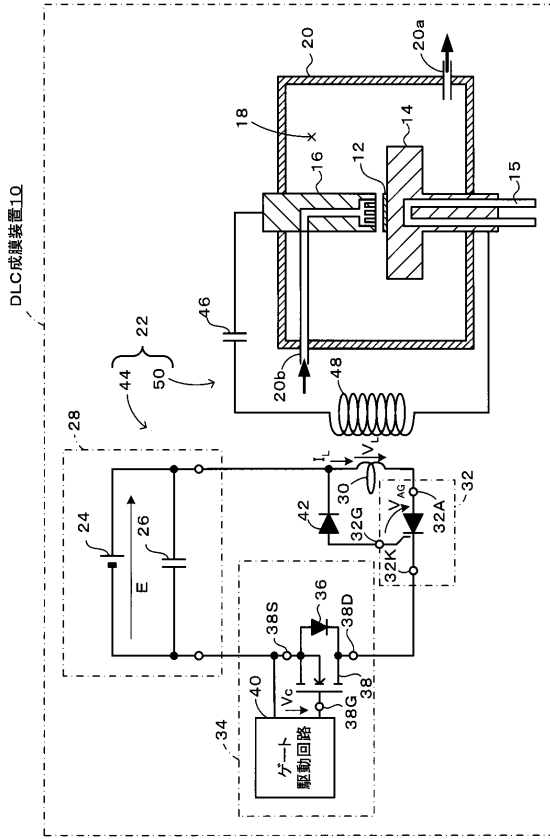
【符号の説明】

【0034】

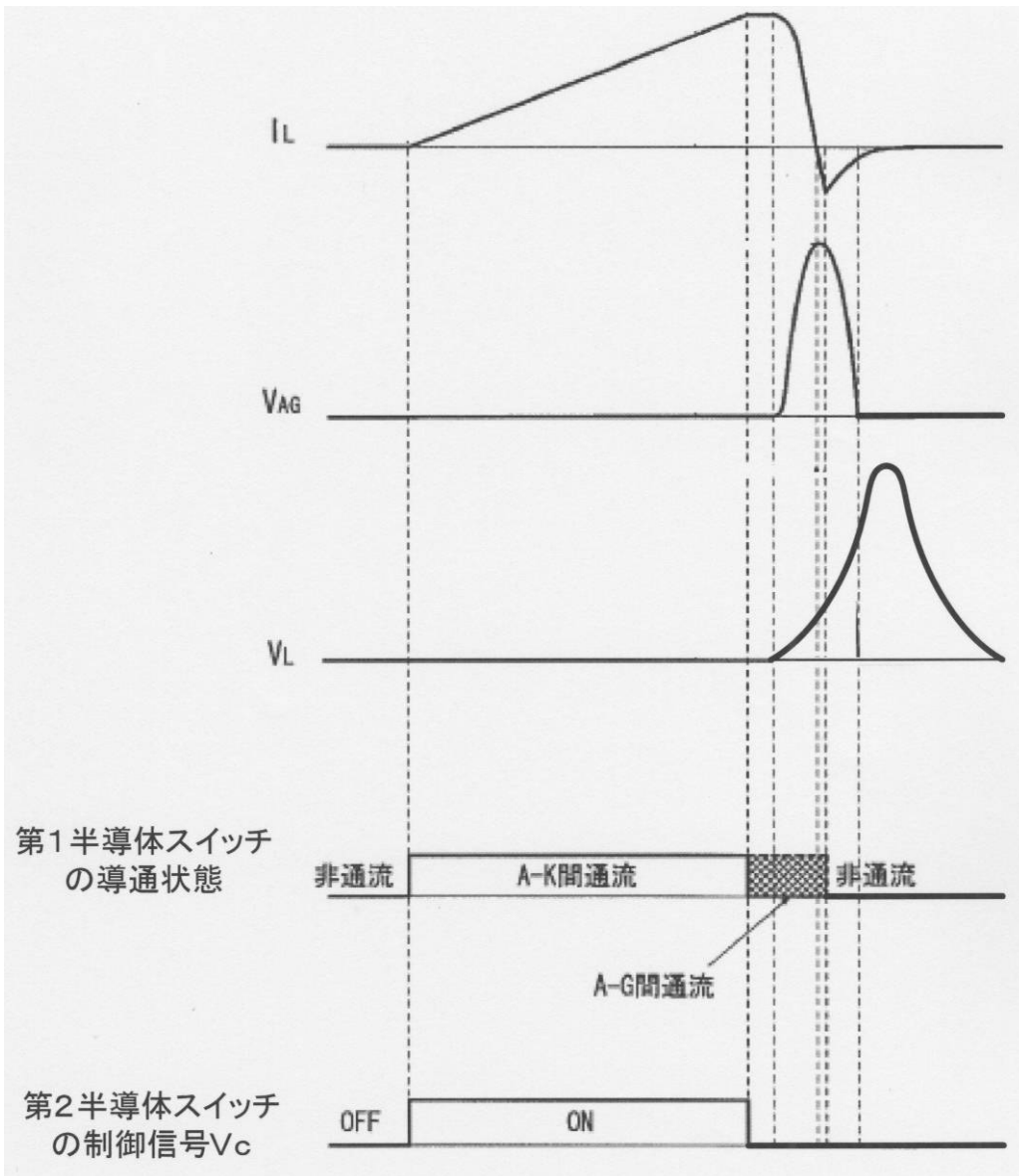
30

10 DLC成膜装置、12 基板、14 支持電極、15 冷却液通路、16 対向電極、18 閉空間、20 チャンバ、20a 排気口、20b ガス供給口、22 電気回路、24 直流電源、26 コンデンサ、28 直流電源部、30 インダクタ、32 第1半導体スイッチ、32A アノード端子、32G ゲート端子、32K カソード端子、34 第2半導体スイッチ、36 アバランシェ形ダイオード、38 パワーMOSFET、38G ゲート端子、38S ソース端子、38D ドレイン端子、40 ゲート駆動回路、42 ダイオード、44 一次巻線側回路、46 コンデンサ素子、48 コイル素子、50 二次巻線側回路。

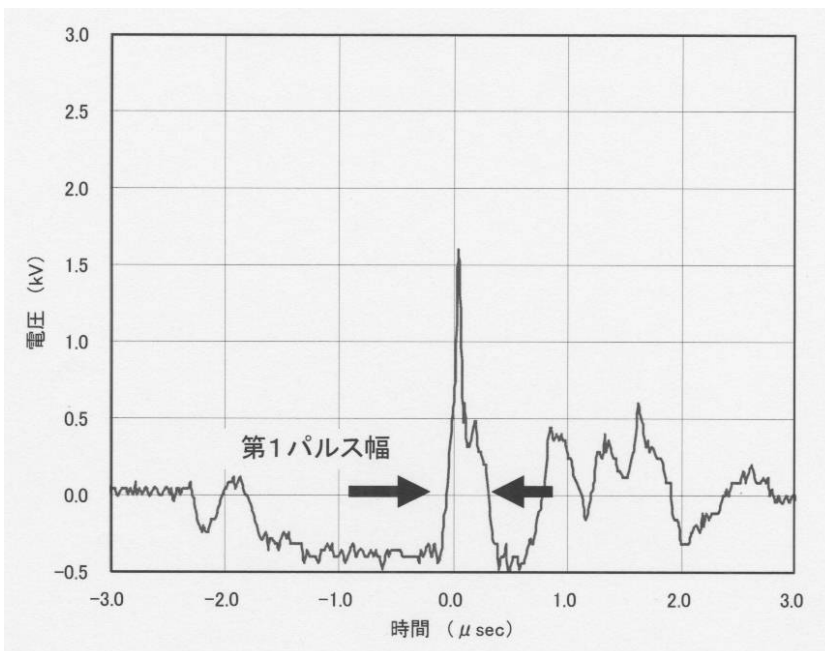
【図 1】



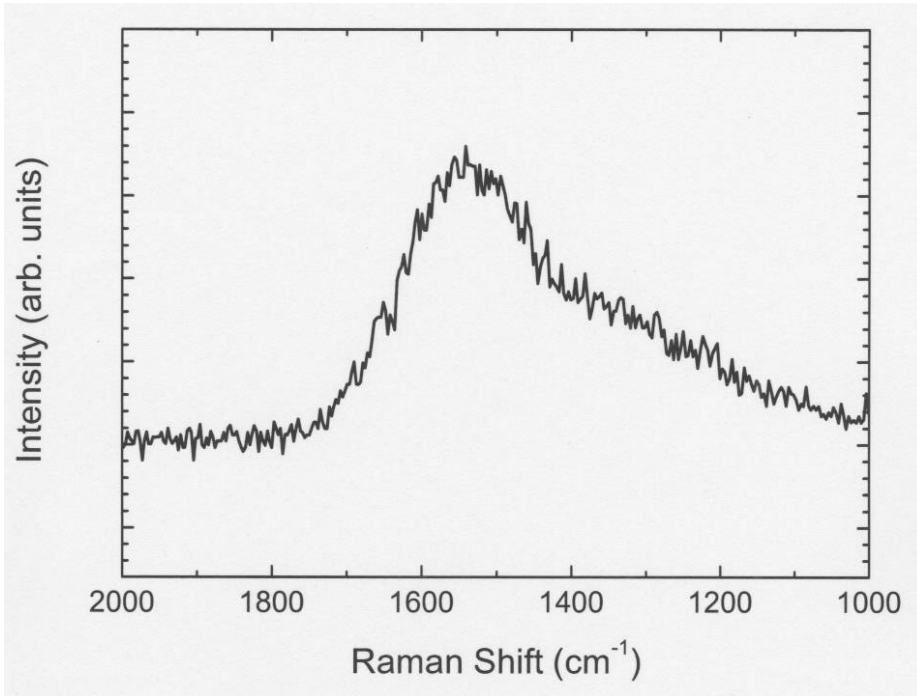
【 図 2 】



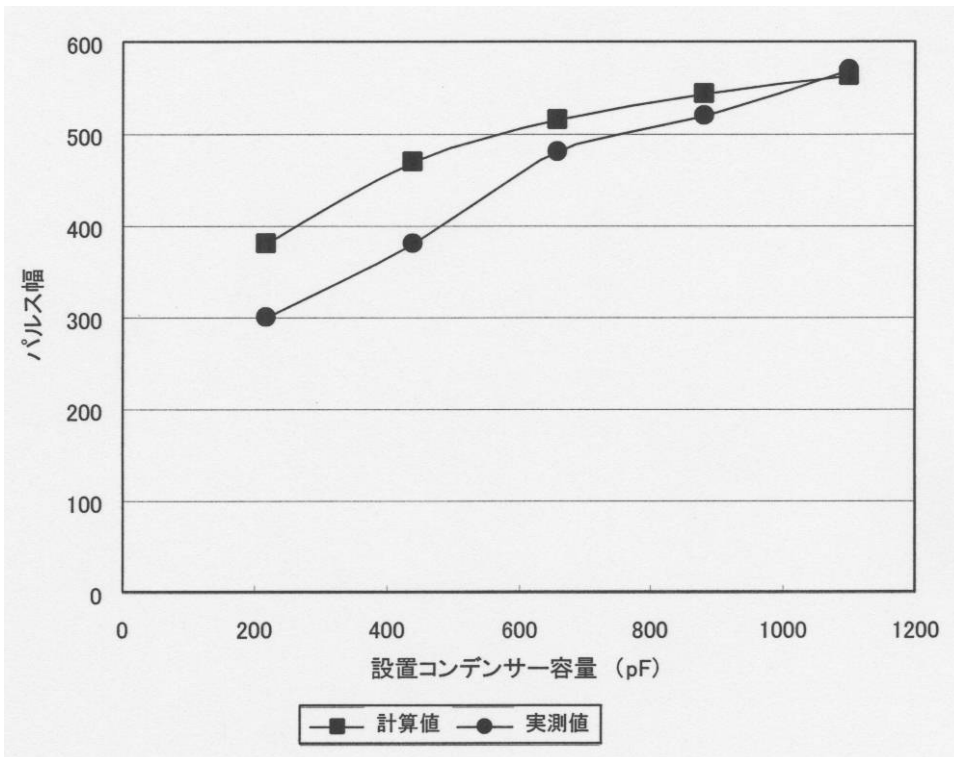
【 図 3 】



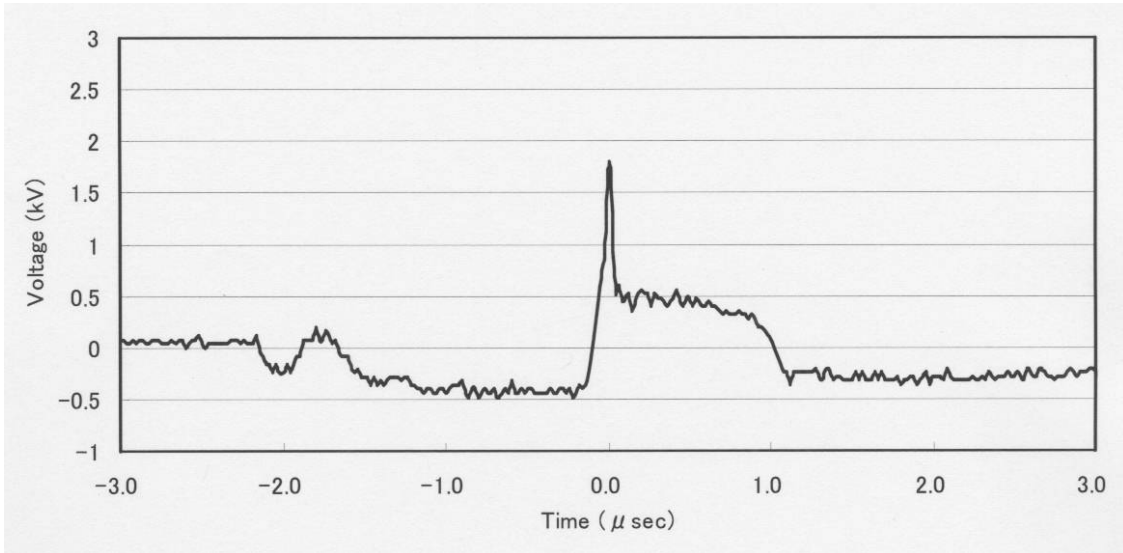
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

