



(12)发明专利

(10)授权公告号 CN 103026630 B

(45)授权公告日 2016.10.12

(21)申请号 201180036519.X

(22)申请日 2011.08.17

(65)同一申请的已公布的文献号
申请公布号 CN 103026630 A

(43)申请公布日 2013.04.03

(30)优先权数据
12/857,674 2010.08.17 US

(85)PCT国际申请进入国家阶段日
2013.01.25

(86)PCT国际申请的申请数据
PCT/US2011/048037 2011.08.17

(87)PCT国际申请的公布数据
W02012/024371 EN 2012.02.23

(73)专利权人 德州仪器公司
地址 美国德克萨斯州

(72)发明人 罗伯特·F·佩恩 马尔科·科西

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

代理人 王璐

(51)Int.Cl.
H03M 1/12(2006.01)
H03M 1/66(2006.01)

(56)对比文件
CN 1739241 A, 2006.02.22,
CN 101164237 A, 2008.04.16,
CN 101001085 A, 2007.07.18,
TW 200642294 A, 2006.12.01,
CN 101802926 A, 2010.08.11,
CN 101217278 A, 2008.07.09,
杨振东. 浅谈自举电路在电路设计中的应用.《黑龙江科技信息》.2009,(第21期),第19, 237页.

审查员 梁静静

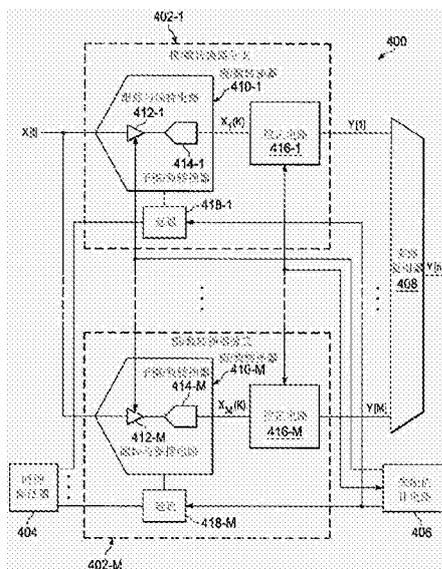
权利要求书2页 说明书6页 附图6页

(54)发明名称

具有可调谐带宽的跟踪与保持架构

(57)摘要

模/数转换器ADC(400)将模拟输入信号X(t)转换为数字信号Y[n]。为完成此操作,除法器(402)将时钟信号CLK(具有频率F_s或周期T_s)划分成M个时钟信号(每一时钟信号具有频率F_s/M),所述M个时钟信号由延迟电路(418-1到418-M)交错且提供到ADC(410-1到410-M)。此允许ADC(410-1到410-M)中的每一者将所述模拟信号X(t)转换为数字信号X₁(k)到X_M(k)。由校正电路(416-1到416-M)对数字信号X₁(k)到X_M(k)施加增益及DC偏移调整以产生数字信号Y[1]到Y[M],所述数字信号Y[1]到Y[M]可接着由多路复用器(408)多路复用以产生所述数字信号Y[N]。



1. 一种设备,其包括:
 - 时钟除法器,其接收时钟信号;
 - 多个模/数转换器ADC分支,其各自接收模拟输入信号;其中每一ADC分支包含:
 - 延迟电路,其耦合到所述时钟除法器;
 - ADC,其具有:
 - 自举电路,其耦合到所述延迟电路;
 - 取样开关,其耦合到所述自举电路;及
 - 控制器,其耦合到所述自举电路以将控制电压提供到所述自举电路以便控制所述取样开关的栅极电压以在所述取样开关被致动时调整所述取样开关的阻抗;及
 - 取样电容器,其耦合到所述取样开关;及
 - 校正电路,其耦合到所述ADC;及
 - 失配估计电路,其耦合到每一延迟电路、每一校正电路及每一控制器;其中所述失配估计电路将控制信号提供到每一控制器以调整所述ADC分支之间的相对带宽失配。
2. 根据权利要求1所述的设备,其中所述设备进一步包括耦合到每一ADC分支的多路复用器。
3. 根据权利要求2所述的设备,其中所述校正电路调整其ADC的输出以校正DC偏移及增益失配。
4. 根据权利要求2所述的设备,其中所述自举电路进一步包括:
 - 升压电容器,其在所述ADC的保持阶段期间被充电;
 - 晶体管,其具有第一无源电极、第二无源电极及控制电极;其中所述第一无源电极耦合到所述升压电容器,且所述第二无源电极耦合到所述取样开关;
 - 通过门电路,其耦合到所述延迟电路、耦合到所述晶体管的所述控制电极且接收所述控制电压;及
 - 偏斜电路,其耦合到所述取样开关且由所述控制电压控制。
5. 根据权利要求4所述的设备,其中所述晶体管进一步包括第一晶体管,且其中所述通过门电路进一步包括:
 - 第二晶体管,其具有第一无源电极、第二无源电极及控制电极;其中所述第二晶体管的所述第一无源电极耦合到所述控制器以便接收所述控制电压,所述第二晶体管的所述控制电极耦合到所述延迟电路,且所述第二晶体管的所述第二无源电极耦合到所述第一晶体管的所述控制电极;
 - 第三晶体管,其具有第一无源电极、第二无源电极及控制电极;其中所述第三晶体管的所述第一无源电极耦合到第二晶体管的所述第二无源电极,且所述第三晶体管的所述控制电极耦合到所述延迟电路;及
 - 第四晶体管,其具有第一无源电极、第二无源电极及控制电极;其中所述第四晶体管的所述第一无源电极耦合到所述第一晶体管的所述控制电极,所述第四晶体管的所述控制电极耦合到所述取样开关,且所述第四晶体管的所述第二无源电极耦合到所述第三晶体管的所述第二无源电极。
6. 根据权利要求5所述的设备,其中所述偏斜电路进一步包括具有第一无源电极、第二无源电极及控制电极的第五晶体管;其中所述第五晶体管的所述第一无源电极耦合到所述

取样开关,且所述第五晶体管的所述控制电极耦合到所述控制器以便接收所述控制电压。

7. 根据权利要求6所述的设备,其中所述控制器为数/模转换器DAC。

8. 根据权利要求6所述的设备,其中所述控制器为电荷泵。

9. 根据权利要求1所述的设备,其中所述设备进一步包含耦合到每一ADC分支的多路复用器;且每一ADC进一步包含耦合到输出电路的子ADC,所述输出电路耦合到所述取样电容器。

10. 根据权利要求1所述的设备,其进一步包括耦合到每一ADC分支的多路复用器;且其中所述取样开关包含耦合到所述自举电路的PMOS晶体管,所述取样电容器耦合到所述PMOS晶体管的漏极,所述ADC包含耦合到所述取样电容器的输出电路且包含耦合到所述输出电路的子ADC;且所述校正电路调整其ADC的所述输出以校正DC偏移及增益失配。

具有可调谐带宽的跟踪与保持架构

技术领域

[0001] 本发明大体来说涉及模/数转换器(ADC),且更特定来说涉及时间交错(TI)ADC。

背景技术

[0002] 图1展示常规模/数转换器(ADC)100。ADC100通常包括经实施使得在操作中ADC100可在多个取样时刻对模拟输入信号X(t)进行取样并将经取样信号转换成数字信号Y[n]的跟踪与保持(T/H)电路102及子ADC104。如图1中所展示,T/H电路104通常包括若干开关及电容器。开关具有非零电阻,此致使T/H电路102充当滤波器(通常为单极低通滤波器)。

[0003] 转到图2,其展示ADC100的模型200。在模型200中,ADC100的滤波器方面由滤波器202表示,而ADC100的功能性的其余部分由理想ADC204表示。滤波器202具有在时域中的传递函数 $h_a(t)$,所述传递函数在频域中又可表示为:

$$[0004] \quad H_a(\omega) = \frac{g_a e^{i\omega\Delta t}}{1 + i \left(\frac{\omega}{\omega_a} \right)} \quad (1)$$

[0005] 其中 g_a 为ADC100的增益, Δt_a 为相对于参考的时间延迟,且 ω_a 为截止频率(带宽)。此模型200在确定来自(举例来说)德州仪器公司(Texas Instruments(TI))的ADC的失配时可为有用的。

[0006] 在图3A中,可看出TI ADC300的实例。TI ADC300通常包括ADC100-1到100-M(其中ADC100-1到100-M中的每一者通常具有与来自图1的ADC100相同的结构),ADC100-1到100-M由除法器302时控使得来自ADC100-1到100-M的输出可由多路复用器304多路复用以产生数字信号Y[n]。然而,当构建TI ADC300时,ADC100-1到100-M并不彼此相同;存在轻微的结构及操作变化。这些轻微的变化导致ADC100-1到100-M之间的直流(DC)偏移失配、计时偏斜、增益失配及带宽失配。

[0007] 在所列的不同类型的失配中,由于带宽失配所致的性能影响是最弱的且至今在很大程度上一直被忽略,但为了构建高准确度(通常大于6个位)、高速度(通常大于1GS/s)TIADC,需要校正交错ADC分支之间的带宽失配。参看TI ADC300,可将在输入信号为具有频率 ω_* 的音调时的输出频谱表示为如下:

$$[0008] \quad Y(e^{i\omega}) = \sum_{k=0}^{M-1} \left(\frac{1}{M} \sum_{a=0}^{M-1} H_a(\omega_*) e^{-i \frac{2\pi k}{M} a} \right) \delta \left(\omega - \omega_* - \frac{2\pi k}{M} \right) \quad (2)$$

[0009] 假定2路TI ADC($M=2$),此通常表示带宽失配的上界或最坏情况,可将方程式(2)约简为:

[0010]

$$(3) \quad Y(e^{i\omega}) = \left(\frac{H_0(\omega_0) + H_1(\omega_0)}{2} \right) X(e^{i\omega}) + \left(\frac{H_0(\omega_0) - H_1(\omega_0)}{2} \right) X(e^{i(\omega-\pi)})$$

[0011] 其中无寄生动态范围(SFDR)为

$$(4) \quad SFDR = 20 \log_{10} \left(\frac{H_0(\omega_0) + H_1(\omega_0)}{H_0(\omega_0) - H_1(\omega_0)} \right)$$

[0013] 因此,可接着将M路交错TI ADC的SFDR确定为:

$$(5) \quad SFDR = \max_k \left(20 \log_{10} \left(\frac{A[0]}{A[k]} \right) \right)$$

[0015] 其中

$$(6) \quad A[k] = \sum_{a=0}^{M-1} H_a(\omega_0) e^{-i \frac{2\pi k}{M} a}$$

[0017] 现在,可出于模拟的目的将方程式(1)应用于TI ADC300,因此

$$(7) \quad H_a(\omega_0) = \frac{1}{1 + i\tau_a \omega_0}, \text{ 针对 } T_s > \tau_a = \frac{1}{\omega_a}$$

[0019] 其中 T_s 为时钟信号CLK的周期。此模拟得出:带宽失配的变化取决于增益失配及计时偏斜(在高准确度、高速度TI ADC的情况下)且带宽失配可显著影响性能。可在图3B中针对不同增益及偏斜补偿看出带宽失配的影响的模拟的实例。因此,为实现TI ADC的所要SFDR(即,大于70dB),应使TI ADC内的ADC的带宽在0.1%到0.25%内匹配。

[0020] 然而,至今,不存在用以盲确定带宽失配的估计算法或电路。在以下各项中描述两个已知的最相关的常规电路:赛特查德(Satarzadeh)等人的“对双通道时间交错A/D转换器的带宽失配校正(Bandwidth Mismatch Correction for a Two-Channel Time-Interleaved A/D Converter)”(2007年IEEE电路与系统国际讨论会的会刊,2007年);及蔡(Tsai)等人的“时间交错模/数转换器中的带宽失配及其校正(Bandwidth Mismatch and Its Correction in Time-Interleaved Analog-to-Digital Converters)”(IEEE电路与系统会报II:快报,第53卷,第10期,第1133到1137页,2006年10月23日)。这些电路中的任一者均未能充分地解决盲带宽失配估计的问题。

[0021] 然而,假定能够充分地执行盲带宽失配估计,TI ADC300中的T/H电路(如T/H电路102)的带宽的调整可能至少部分地因带宽匹配的精确度而为困难的。T/H电路102内所包含的切换电容器布置将因为其将难以实施而为不合意的,且电容调谐(例如借助变容管及调谐电压)也将由于信号相依性而为不合意的。因此,需要可根据盲带宽失配估计进行调整的带宽调整电路。

[0022] 一些其它常规电路描述于以下各项中:第5,500,612号、第6,232,804号及第6,255,865号美国专利;第2004/0070439号、第2004/0239545号及第2009/0009219号美国专利

公开案;及爱博(Abo)等人的出版物“1.5-V、10位、14.3-MS/s CMOS管线模/数转换器(A1.5-V,10-bit,14.3-MS/s CMOS Pipeline Analog-to-Digital Converter)”,IEEE固态电路期刊,第34卷,第5期,第599到606页,1999年5月。

发明内容

[0023] 实例性实施例提供一种设备,其包括:时钟除法器,其接收时钟信号;多个模/数转换器(ADC)分支,其各自接收模拟输入信号,其中每一ADC分支包含:延迟电路,其耦合到所述时钟除法器;ADC,其具有:自举电路,其耦合到所述延迟电路;取样开关,其耦合到所述自举电路;及控制器,其耦合到所述自举电路以将控制电压提供到所述自举电路以便控制所述取样开关的栅极电压以在所述取样开关被致动时调整所述取样开关的阻抗;取样电容器,其耦合到所述取样开关;及校正电路,其耦合到所述ADC;及失配估计电路,其耦合到每一延迟电路、每一校正电路及每一控制器,其中所述失配估计电路将控制信号提供到每一控制器以调整所述ADC分支之间的相对带宽失配。

[0024] 根据实例性实施例,所述设备进一步包括耦合到每一ADC分支的多路复用器。

[0025] 根据实例性实施例,所述校正电路调整其ADC的输出以校正DC偏移及增益失配。

[0026] 根据实例性实施例,所述自举电路进一步包括:升压电容器,其在所述ADC的保持阶段期间被充电;晶体管,其具有第一无源电极、第二无源电极及控制电极,其中所述晶体管的所述第一无源电极耦合到所述升压电容器,且其中所述晶体管的所述第二无源电极耦合到所述取样开关;通过门电路,其耦合到所述延迟电路、耦合到所述晶体管的所述控制电极且接收所述控制电压;及偏斜电路,其耦合到取样开关且由所述控制电压控制。

[0027] 根据实例性实施例,所述晶体管进一步包括第一晶体管,且其中所述通过门电路进一步包括:第二晶体管,其具有第一无源电极、第二无源电极及控制电极,其中所述第二晶体管的所述第一无源电极耦合到所述控制器以便接收所述控制电压,且其中所述第二晶体管的所述控制电极耦合到所述延迟电路,且其中所述第二晶体管的所述第二无源电极耦合到所述第一晶体管的所述控制电极;第三晶体管,其具有第一无源电极、第二无源电极及控制电极,其中所述第三晶体管的所述第一无源电极耦合到第二晶体管的所述第二无源电极,且其中所述第三晶体管的所述控制电极耦合到所述延迟电路;及第四晶体管,其具有第一无源电极、第二无源电极及控制电极,其中所述第四晶体管的所述第一无源电极耦合到所述第一晶体管的所述控制电极,且其中所述第四晶体管的所述控制电极耦合到所述取样开关,且其中所述第四晶体管的所述第二无源电极耦合到所述第三晶体管的所述第二无源电极。

[0028] 根据实例性实施例,所述偏斜电路进一步包括具有第一无源电极、第二无源电极及控制电极的第五晶体管,其中所述第五晶体管的所述第一无源电极耦合到所述取样开关,且其中所述第五晶体管的所述控制电极耦合到所述控制器以便接收所述控制电压。

[0029] 根据实例性实施例,所述控制器为数/模转换器(DAC)。

[0030] 根据实例性实施例,所述控制器为电荷泵。

[0031] 根据实例性实施例,一种设备包括:时钟除法器,其接收时钟信号;多个ADC分支,其各自接收模拟输入信号,其中每一ADC分支包含:延迟电路,其耦合到所述时钟除法器;ADC,其具有:自举电路,其耦合到所述延迟电路;取样开关,其耦合到所述自举电路;控制

器,其耦合到所述自举电路以将控制电压提供到所述自举电路以便控制所述取样开关的栅极电压以在所述取样开关被致动时调整所述取样开关的阻抗;取样电容器,其耦合到所述取样开关;输出电路,其耦合到所述取样电容器;及子ADC,其耦合到所述输出电路;及校正电路,其耦合到所述ADC;失配估计电路,其耦合到每一延迟电路、每一校正电路及每一控制器,其中所述失配估计电路将控制信号提供到每一控制器以调整所述ADC分支之间的相对带宽失配;及多路复用器,其耦合到每一ADC分支。

[0032] 根据实例性实施例,提供一种设备,其包括:时钟除法器,其接收时钟信号;多个ADC分支,其各自接收模拟输入信号,其中每一ADC分支包含:延迟电路,其耦合到所述时钟除法器;ADC,其具有:自举电路,其耦合到所述延迟电路;PMOS晶体管,其耦合到所述自举电路;控制器,其耦合到所述自举电路以将控制电压提供到所述自举电路以便控制取样开关的栅极电压以在所述取样开关被致动时调整所述取样开关的阻抗;取样电容器,其在所述PMOS晶体管的漏极处耦合到所述PMOS晶体管;输出电路,其耦合到所述取样电容器;及子ADC,其耦合到所述输出电路;及校正电路,其耦合到所述ADC,其中所述校正电路调整其ADC的输出以校正DC偏移及增益失配;失配估计电路,其耦合到每一延迟电路、每一校正电路及每一控制器,其中所述失配估计电路将控制信号提供到每一控制器以调整所述ADC分支之间的相对带宽失配;及多路复用器,其耦合到每一ADC分支。

[0033] 根据实例性实施例,所述PMOS晶体管进一步包括第一PMOS晶体管,且其中所述自举电路进一步包括:升压电容器,其在所述ADC的保持阶段期间被充电;第二PMOS晶体管,在其源极处耦合到所述升压电容器且在其漏极处耦合到第一PMOS开关的栅极;通过门电路,其耦合到所述延迟电路、耦合到所述第二PMOS晶体管的栅极且接收所述控制电压;及偏斜电路,其耦合到所述取样开关且由所述控制电压控制。

[0034] 根据实例性实施例,所述通过门电路进一步包括:第三PMOS晶体管,在其源极处耦合到所述控制器、在其栅极处耦合到所述延迟电路且在其漏极处耦合到所述第二PMOS晶体管的栅极;第一NMOS晶体管,在其漏极处耦合到所述第三PMOS晶体管的漏极且在其栅极处耦合到所述延迟电路;及第二NMOS晶体管,在其漏极处耦合到所述第三PMOS晶体管的漏极、在其源极处耦合到所述第一NMOS晶体管的源极且在其栅极处耦合到所述第一PMOS晶体管的栅极。

[0035] 根据实例性实施例,所述偏斜电路进一步包括第三NMOS晶体管,所述第三NMOS晶体管在其漏极处耦合到所述第一PMOS晶体管的栅极且在其栅极处耦合到所述控制器。

[0036] 根据实例性实施例,所述控制器为DAC或电荷泵。

附图说明

[0037] 参考附图来描述实例性实施例,附图中:

[0038] 图1是常规ADC的电路图;

[0039] 图2是图1的ADC的模型的框图;

[0040] 图3A是使用图1的ADC的常规TI ADC的电路图;

[0041] 图3B是展示带宽失配对TI ADC的无寄生动态范围(SFDR)的影响的模拟的实例;

[0042] 图4是根据本发明的实例性实施例的TI ADC的电路图;

[0043] 图5是图4的T/H电路的电路图;

[0044] 图6是5的自举电路的电路图;且

[0045] 图7是描绘图5的T/H电路的带宽对图5的T/H电路的取样开关的“接通”电阻的曲线图。

具体实施方式

[0046] 在图4中,参考编号400通常标示根据本发明的实例性实施例的TI ADC。ADC 400通常包括ADC分支402-1到402-M、除法器404、多路复用器或mux408及失配估计电路410。每一ADC分支402-1到402-M通常还包括(分别)ADC 410-1到410-M、校正电路416-1到416-M及可调整延迟元件或电路418-1到418-M。另外,每一ADC 410-1到410-M通常包括(分别)T/H电路412-1到412-M及子ADC 414-1到414-M。

[0047] 在操作中, TI ADC400将模拟输入信号 $X(t)$ 转换为数字信号 $Y[n]$ 。为完成此操作,除法器402将时钟信号CLK(具有频率 F_s 或周期 T_s)划分成M个时钟信号(每一时钟信号具有频率 F_s/M),所述M个时钟信号由延迟电路418-1到418-M交错且提供到ADC410-1到410-M。此允许ADC410-1到410-M中的每一者将模拟信号 $X(t)$ 转换为数字信号 $X_1(k)$ 到 $X_M(k)$ 。由校正电路416-1到416-M对数字信号 $X_1(k)$ 到 $X_M(k)$ 施加增益及DC偏移调整以产生数字信号 $Y[1]$ 到 $Y[M]$,所述数字信号 $Y[1]$ 到 $Y[M]$ 可接着由多路复用器408多路复用以产生数字信号 $Y[N]$ 。

[0048] 为大体确保信号 $Y[0]$ 到 $Y[M-1]$ 为匹配的,失配估计电路410计算并补偿增益失配、DC偏移失配、计时偏斜及带宽失配。失配估计电路410通常为数字信号处理器(DSP)或专用硬件,其确定增益失配、DC偏移失配、计时偏斜及带宽失配且可将增益、DC偏移、计时偏斜及带宽的调整提供到校正电路416-1到416-M及T/H电路412-1到412-M。可在标题为“时间交错模/数转换器中的带宽失配估计(BANDWIDTH MISMATCH ESTIMATION IN TIME-INTERLEAVED ANALOG-TO-DIGITAL CONVERTERS)”且出于所有目的以引用的方式并入的第12/572,717号共同待决美国专利申请案中找到对失配估计电路410的更完整解释。

[0049] 现在转到图5,可更详细地看出T/H电路412-1到412-M(为简单起见,下文称为412)。T/H电路412通常包括自举电路502、控制器504、取样开关S1(其通常为NMOS晶体管或NMOS开关)、取样电容器CSAMPLE及输出电路506。在操作中,自举电路502至少部分地基于时钟信号CLKIN(其是从相应延迟电路418-1到418-M接收的)及来自控制器504的控制电压VCNTL而控制取样开关S1的致动及去致动。通常,失配估计电路406将控制信号提供到控制器504(其可为数/模转换器(DAC)或电荷泵)以产生控制电压VCNTL。通过自举电路502,控制电压VCNTL能够控制取样开关S1的栅极电压以在取样开关S1被致动时调整取样开关S1的阻抗或“接通”电阻。

[0050] 参看图6,可更详细地看出自举电路502。当时钟信号CLKIN为逻辑低时(例如在保持阶段期间),反相器508将晶体管Q1(其通常为NMOS晶体管)“接通”,而通过门电路(其通常包括晶体管Q2、Q3及Q5)使晶体管Q4(其通常为PMOS晶体管)维持处于“关断”状态中。假定信号CLKZ为逻辑高使得晶体管Q8及Q9(其通常为NMOS晶体管)处于“接通”状态中且在时钟信号CLKIN的此逻辑低周期期间,供应电压VDD给升压电容器CBOOST充电。当时钟信号CLKIN转变为逻辑高时,通过门电路将晶体管Q4“接通”,而晶体管Q1被“关断”。此时,将电压施加到取样开关S1的栅极以将其“接通”。至少部分地根据电容器CBOOST的放电、输入信号IN(其是通过晶体管Q6施加的)及控制电压VCNTL(其是通过通过门电路及偏斜电路(所述偏斜电路

通常包括晶体管Q7及Q8)施加的)来产生取样开关S1的此栅极电压。通常,将此控制电压VCNTL施加到晶体管Q2(其通常为PMOS晶体管)的源极及晶体管Q7(其通常为NMOS晶体管)的栅极以便调整取样开关S1的栅极电压。因此,可通过使控制电压VCNTL变化而容易地控制取样开关S1的栅极电压。另外,由于取样开关S1通常为在线性区中操作的NMOS开关,因此此栅极电压的变化使取样开关S1的“接通”电阻变化,此调整由取样开关S1、电阻器R1及取样电容器CSAMPLE形成的滤波器的滤波特性(及带宽)。

[0051] 为了图解说明自举电路502及取样开关S1的操作,可在图7中看出描绘T/H电路412的带宽对取样开关S1的“接通”电阻的曲线图。如可看出,T/H电路502的带宽在针对0的VCNTL DAC代码的约2.956GHz到针对1023 Ω 的VCNTL DAC代码的约3.051GHz之间变化。因此,可调整具有标称带宽3GHz的多个T/H电路412(例如412-1到412-M)的带宽以使其在约0.25%与约0.1%之间内彼此匹配。

[0052] 本发明所涉及领域的技术人员将了解,可对所描述的实例性实施例做出修改且其它实施例可在所主张发明的范围内。

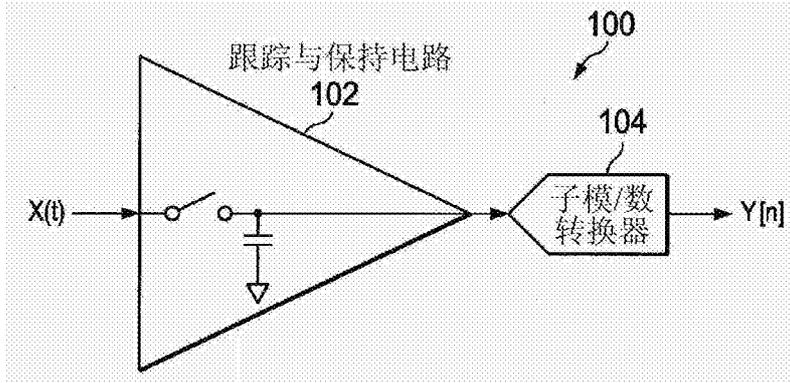


图1(现有技术)

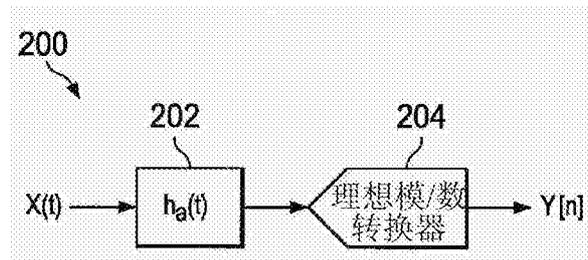


图2(现有技术)

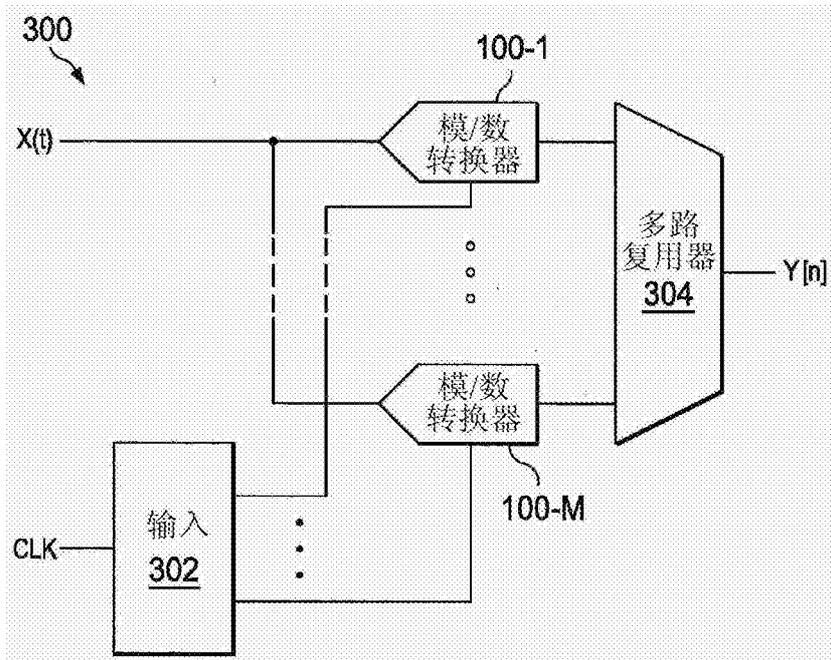


图3A(现有技术)

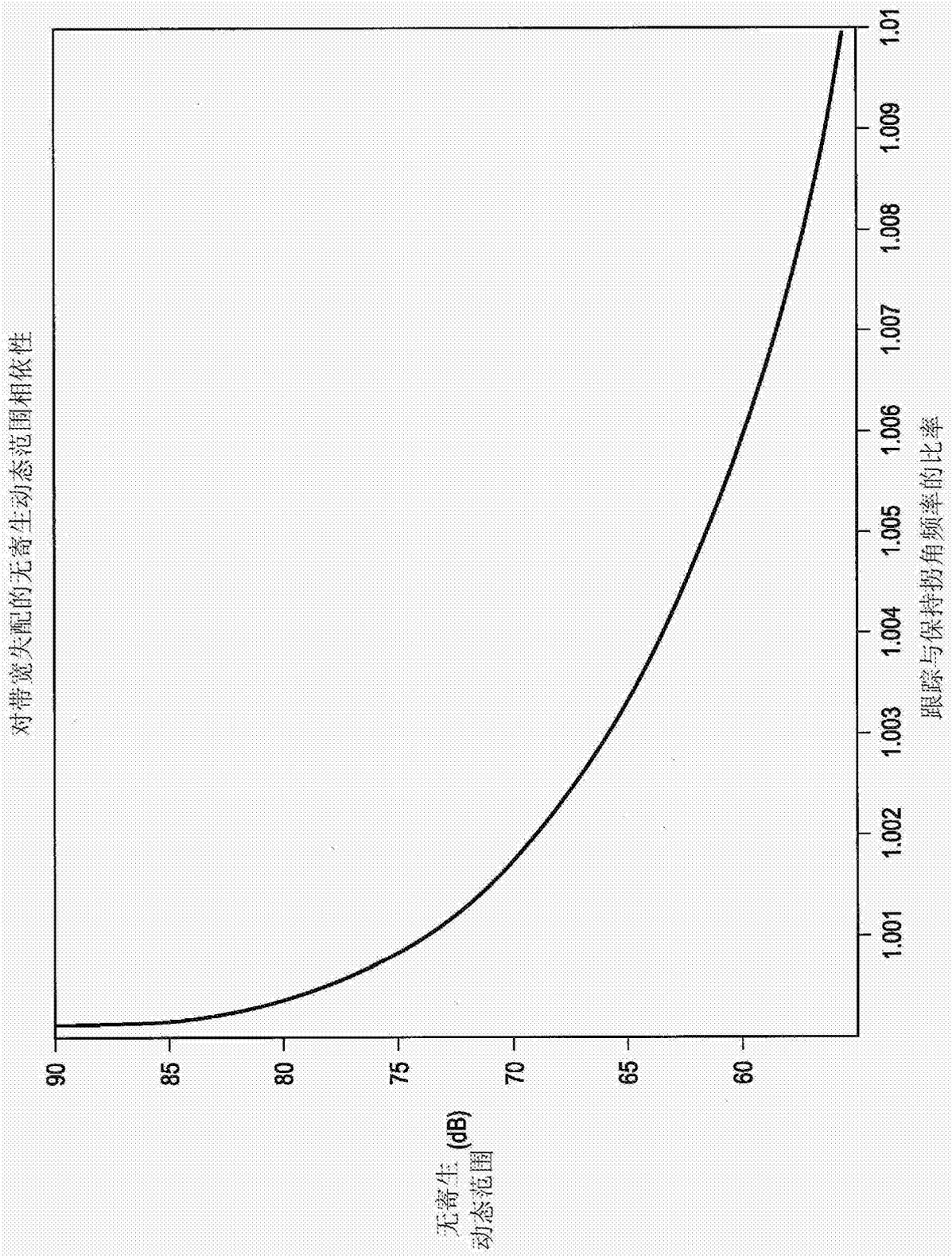


图3B

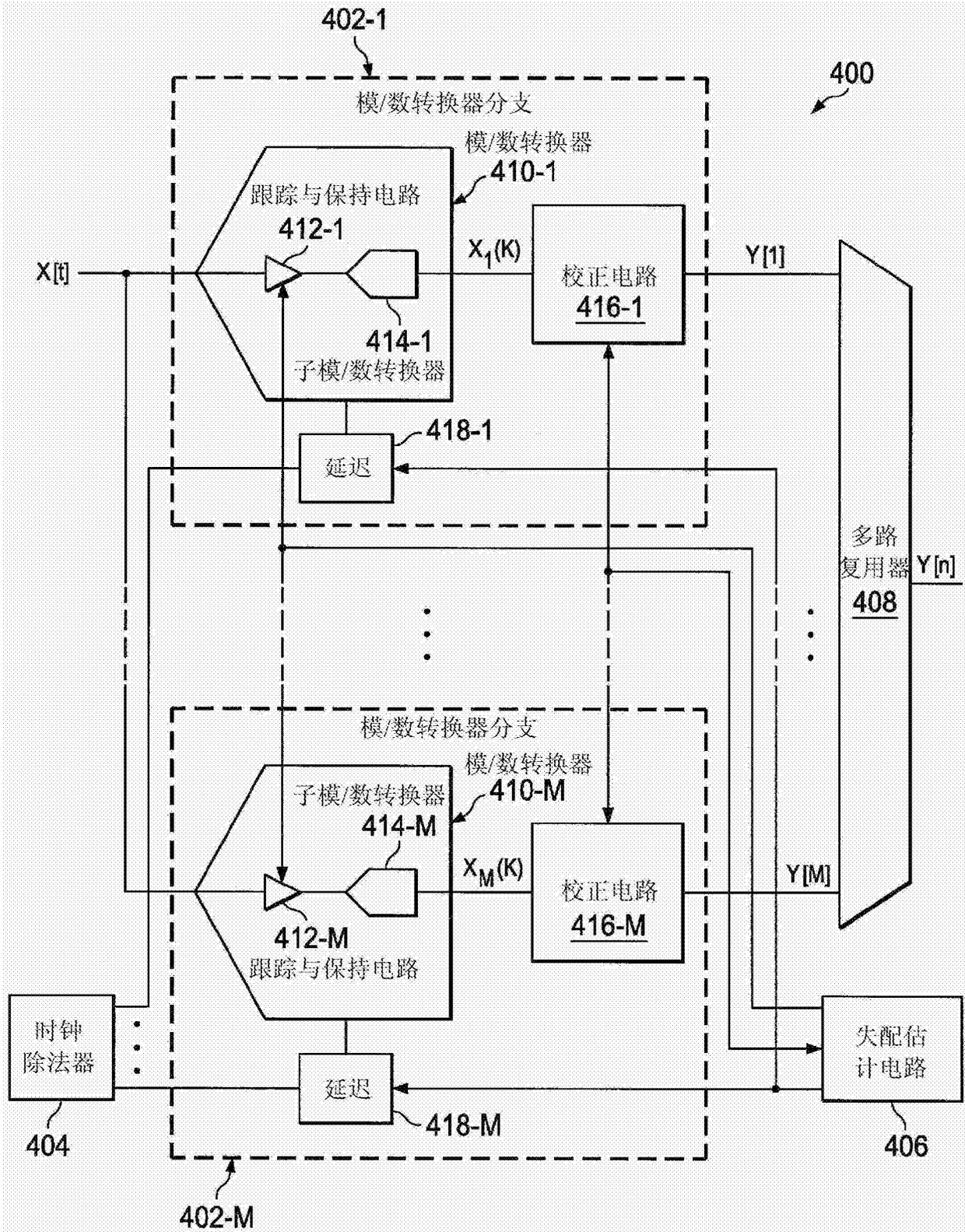


图4

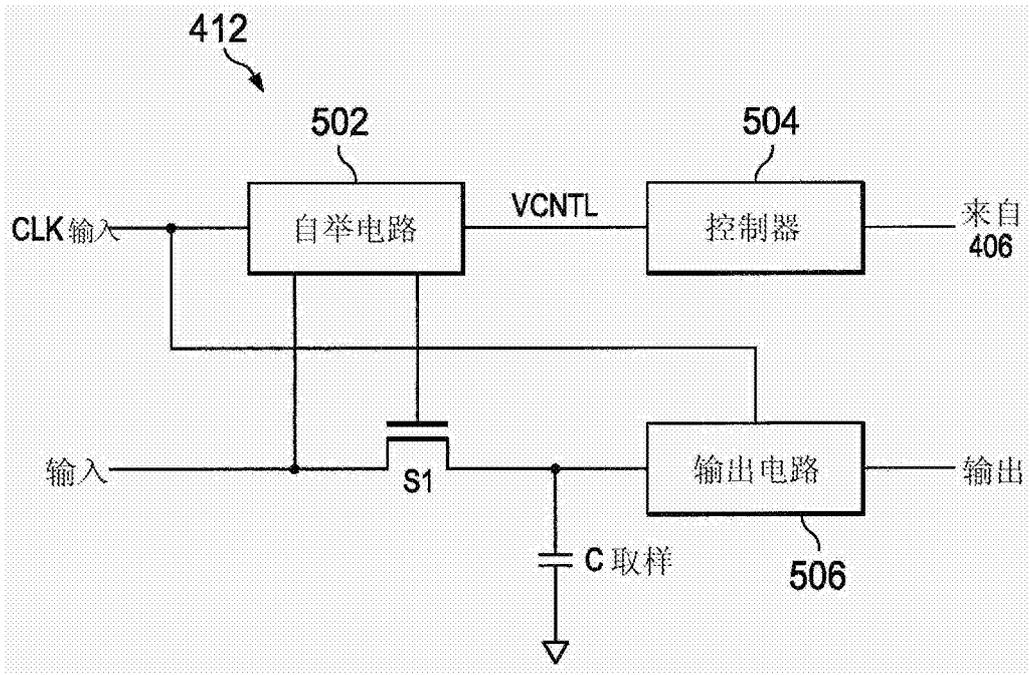


图5

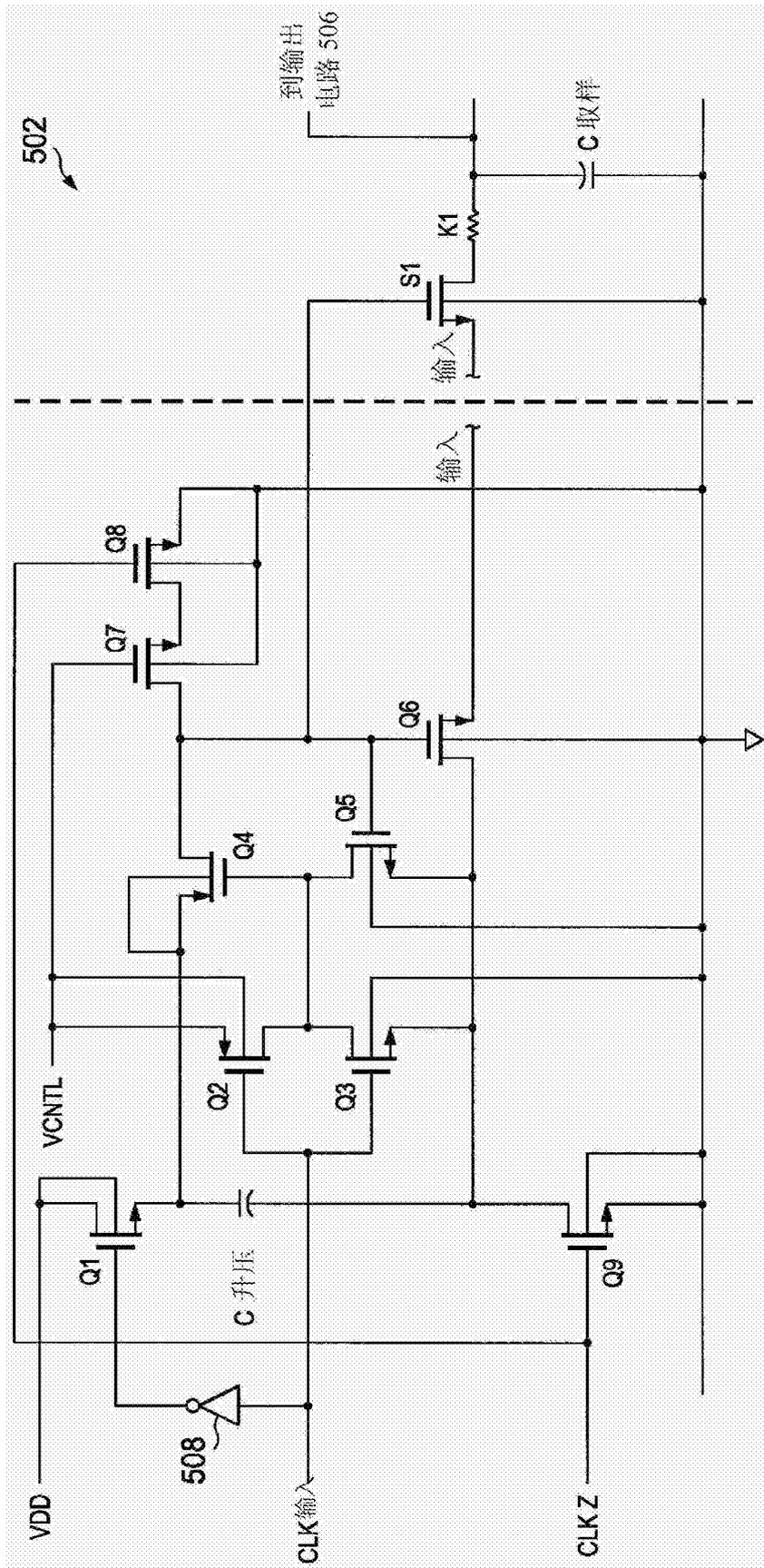


图6

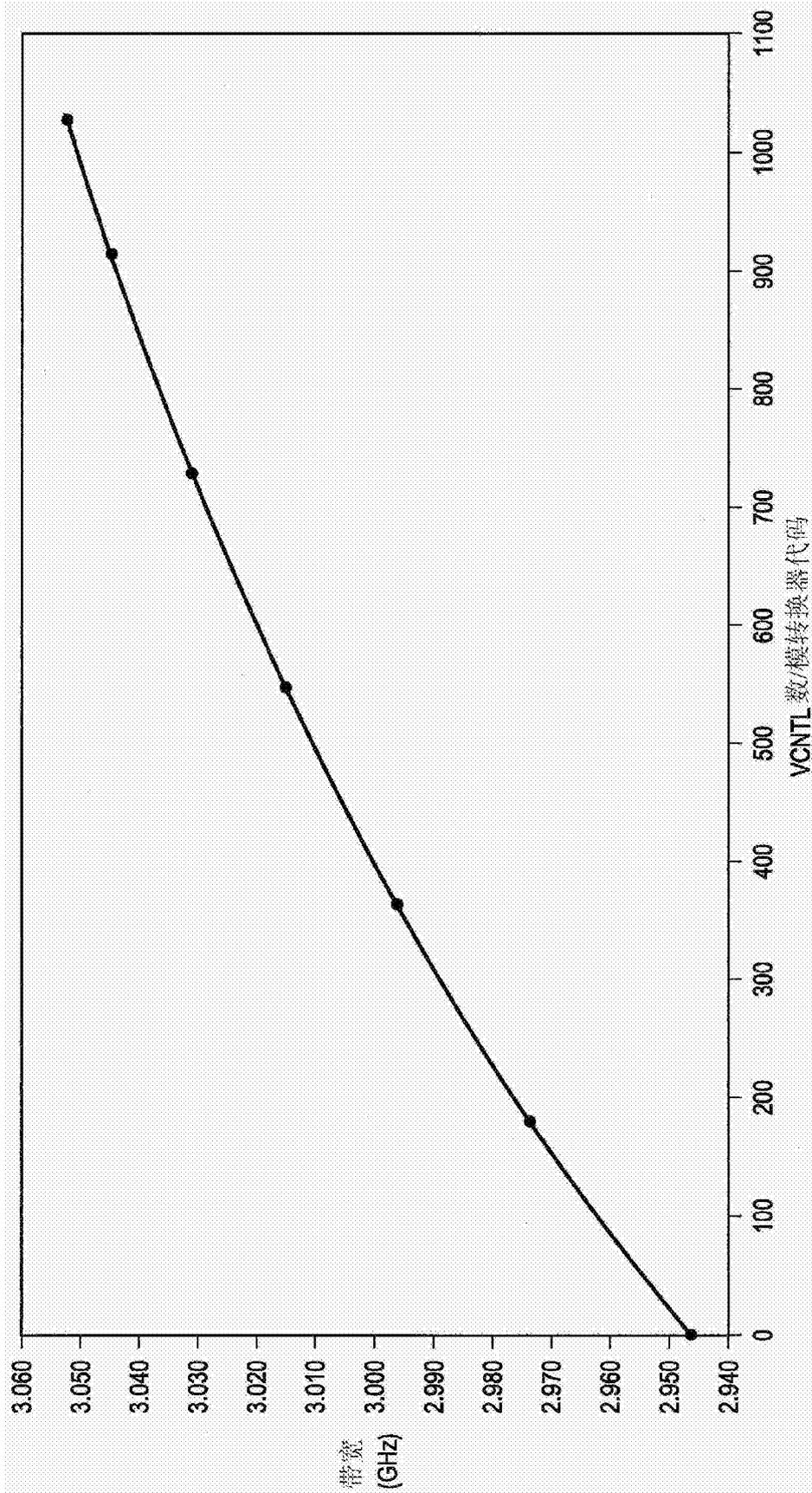


图7