



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

255207

(11)

(B1)

(22) Přihlášeno 27 01 84
(21) PV 634-84

(51) Int. Cl.⁴

G 05 B 13/02

(40) Zveřejněno 16 07 87
(45) Vydáno 15 11 88

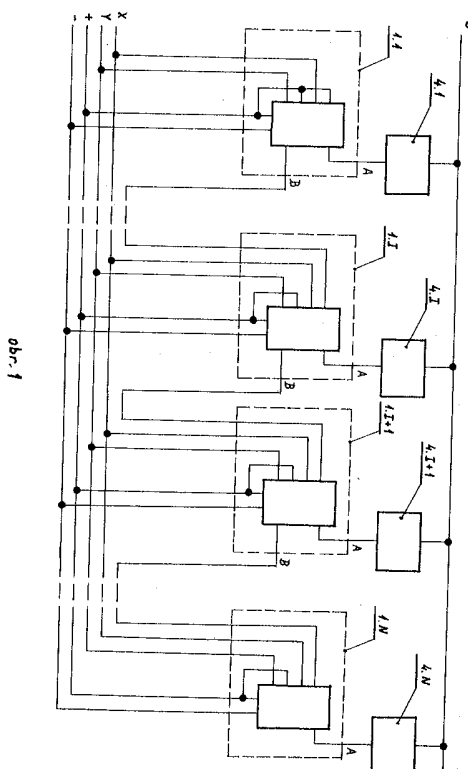
(75)

Autor vynálezu

POŠMOURNÝ MARTIN, BRANDÝS nad Labem

(54) Elektronický obvod pro ovládání vybraného objektu soustavy

Mikroelektronický sekvenční obvod realizující tři stavy, tj. stav zapnutí a vypnutí objektu zájmu k ústředním členům pomocí jedné sběrnice a stav posuvu umožňující realizaci těchto stavů postupně na všech objektech propojené soustavy. Zapojení paměťových klopných obvodů typu D a logických operátorů typu NAND realizuje funkce, které lze využít pro ovládání objektů propojené soustavy jedinou sérioparalelní cestou přenosu ovládacích impulsů. Počet impulsů vyslaných na přenosovou cestu je pak adresou pro inicializaci objektu zapojeného v pořadí na cestu. Využití je při spínání a ovládání vybraného objektu v propojené soustavě, který je řízen jedním ústředním členem pro celou soustavu. Může to být periodické prověřování parametrů skladovaného materiálu na mnoha místech, například v zásobnících obilních sil nebo realizace přípojnicového systému, který šetří vstupy a výstupy vyšších řídicích systémů osazených programovatelnými automaty či počítači a šetří rozvodná, větší-měděná vedení v rozlehlých soustavách.



Vynález se týká elektronického obvodu pro ovládání vybraného objektu soustavy, sestaveného ze základních operátorů logických funkcí a paměťových prvků, který ve funkci řadiče přivedením impulsů na jedinou přenosovou cestu spojující tyto řadiče propojené soustavy. Umožňuje pomocí příslušného hradla ovládaného navrženým řadičem připojení vybraného objektu na společné přenosové vedení informací, napájení, regulačních signálů a podobně.

V praxi jsou realizovány soustavy, kde z velkého počtu objektů zapojených v soustavě na ústřední vyhodnocovací, řídící, napájecí, regulační či jiný člen může být připojen jen jeden objekt. Dosahuje se toho spojovacími vedeními od jednotlivých objektů až do místa ústředního členu, kde se ručně či automaticky přepínají vedení pomocí hradel na ústřední člen. Další řešení jsou taková, že dálkově ovládaná hradla, připínající vstup nebo výstup objektu na společné vedení spojující objekty s ústředním členem, jsou zapojována hradly přímo u objektu.

K snížení počtu ovládacích vodičů těchto hradel se hradla vybavují různými zařízeními pro dekodování adresy vyslané řídícím členem. Při automatickém přepínání bývají v ústředních realizována různá blokovácí zařízení, která zaručí, že na sběrnici či přímo ústřední člen bude připojen právě jen jeden objekt soustavy. Všechny dosud užívané systémy vyžadují množství vodičů pro ovládání řadičů či hradel u objektů. Počet vodičů směrem k objektu sice podstatně snižují kódové řadiče, které však při montážích vyžadují nastavení a přiřazení objektu k adresovanému hradlu. Při rozsáhlých soustavách je nastavení dekodérů a přiřazování řadičů a hradel objektům náročnou operací externích montáží.

Odstranění uvedených nedostatků řeší elektronický obvod podle vynálezu ve spojení se zapojením soustavy pro dálkové připojení zvoleného objektu k řídící stanici společnou přenosovou cestou, které řeší čs. AO č. 215 504. Podstata vynálezu spočívá v tom, že přenosový vstup prvního paměťového klopného obvodu typu D řadiče je připojen buď na kladnou napájecí svorku nebo na druhý výstup předcházejícího řadiče.

Vstup hodinových impulsů prvního paměťového klopného obvodu typu D je připojen na první řídící svorku. Nastavovací vstup prvního paměťového klopného obvodu typu D je připojen na kladnou napájecí svorku. Nulovací vstup prvního paměťového klopného obvodu typu D je připojen na druhou řídící svorku. Výstup prvního paměťového klopného obvodu typu D je připojen na vstup třetího logického obvodu typu NAND. Negovaný výstup prvního paměťového klopného obvodu typu D je připojen na oba vstupy prvního logického obvodu typu NAND, jehož výstup je připojen na přenosový vstup druhého paměťového klopného obvodu typu D.

Vstupy druhého logického obvodu typu NAND jsou připojeny na první řídící svorku a jeho výstup je připojen na vstup hodinových impulsů druhého paměťového klopného obvodu typu D. Nastavovací vstup druhého paměťového klopného obvodu typu D je připojen na kladnou napájecí svorku. Nulovací vstup téhož obvodu je připojen na druhou řídící svorku. Negovaný výstup druhého paměťového klopného obvodu typu D je připojen na druhý vstup třetího logického obvodu typu NAND. Výstup třetího logického obvodu typu NAND, který tvoří současně první výstup řadiče, je připojen na vstup ovládaného objektu.

Nový účinek spočívá v tom, že elektronický obvod dle vynálezu umožňuje při identické stavbě pro všechny řadiče sériovou výrobu a přitom ovládat předem určený objekt přes jedinou přenosovou cestu propojující serioparalelně vstupy a výstupy řadičů. Systém ve spojení s vynálezem AO 215 504 minimalizuje potřeby rozvodných vedení k ovládání objektů, šetří vstupy a výstupy automatizovaných systémů řízení a snižuje pracnost externích montáží.

Na připojených výkresech je na obr. 1 uvedeno zapojené soustavy, které umožňuje připojení pouze jednoho sledovaného objektu ke sběrnici. Na obr. 2 je uvedeno zapojení elektronického obvodu pro ovládání vybraného objektu soustavy podle vynálezu.

Podle obr. 1 jsou řadiče 1.1, ..., 1.I, 1.I+1, ..., 1.N zapojeny do série tak, že

druhý výstup B předcházejícího řadiče je připojen na přenosový vstup D následujícího řadiče. Vstupy hodinových impulsů jsou připojeny paralelně na prvou řídící svorku X. Nulovací vstupy řadičů 1.1, ..., 1.I, 1.I+1, ..., 1.N jsou paralelně připojeny na druhou řídící svorku Y. Napájecí vstupy jsou připojeny k napájecím svorkám +, -. První výstup A řadičů 1.1, ..., 1.I, 1.I+1, ..., 1.N je připojen na vstup objektů 4.1, ..., 4.I, 4.I+1, ..., 4.N. Výstupy těchto objektů jsou připojeny na společnou sběrnici 5.

Podle obr. 2 je přenosový vstup D prvního paměťového klopného obvodu 2 typu D řadiče je připojen na kladnou napájecí svorku + nebo na druhý výstup B předcházejícího řadiče. Vstup C hodinových impulsů prvního paměťového klopného obvodu 2 typu D je připojen na prvou řídící svorku X. Nastavovací vstup S prvního paměťového klopného obvodu 2 typu D je připojen na kladnou napájecí svorku + a nulovací vstup R tohoto paměťového klopného obvodu 2 typu D je připojen na druhou řídící svorku Y. Výstup Q prvního paměťového klopného obvodu 2 typu D je připojen na první vstup třetího logického obvodu 8 typu NAND.

Negovaný výstup $\bar{Q}$ prvního paměťového klopného obvodu 2 typu D je připojen na oba vstupy prvního logického obvodu 6 typu NAND. Výstup logického obvodu 6 typu NAND je připojen na přenosový vstup D druhého paměťového klopného obvodu 3 typu D. Vstupy druhého logického obvodu 7 typu NAND jsou připojeny na prvou řídící svorku X a výstup tohoto obvodu 7 typu NAND je připojen na vstup C hodinových impulsů druhého paměťového klopného obvodu 3 typu D. Nastavovací vstup S druhého paměťového klopného obvodu 3 typu D je připojen na kladnou napájecí svorku +. Nulovací vstup R klopného obvodu 3 je připojen na druhou řídící svorku Y. Negovaný výstup $\bar{Q}$ druhého paměťového klopného obvodu 3 typu D je připojen na druhý vstup třetího logického obvodu 8 typu NAND. Výstup třetího logického obvodu 8 typu NAND, který současně tvoří první výstup A řadiče je připojen na vstup odpovídajícího ovládaného objektu 4.1, ..., 4.I, 4.I+1, ..., 4.N.

Na obr. 1 je zakresleno zapojení soustavy, které umožňuje připojit ke společné sběrnici 5 pouze jeden z objektů 4.1, ..., 4.N. Před inicializací soustavy je na řídící svorky X a Y přiváděna úroveň logické 0. Inicializace soustavy je realizována přivedením logické 1 na druhou řídící svorku Y. Každý z řadičů realizuje tři stavy. Jsou to stavy odpojení, zapojení a posuvu.

První stav odpojení je realizován řadičem 1.I pro první $I-1$ impulsy vyslané z první řídící svorky X. Po tuto dobu zůstává na přenosovém vstupu D hodnota logické 0. Stav odpojení odpovídá na první výstup A logická 1 a na druhém výstupu B logická 0.

Se sestupnou hranou $I-1$ impulsu se na druhém výstupu řadiče předcházejícího inicializovanému řadiči I nastaví logická 1, která se spojením na přenosový vstup D řadiče 1.I, kde se nastaví logická 1. Při přivedení I -tého impulsu na první řídící svorku X dochází na výstupech řadiče 1.I ke změně. Na prvním výstupu A je logická úroveň 0, pomocí níž je připojen objekt 4.I na společnou sběrnici 5 a na druhém výstupu B zůstává úroveň logické 0. Tato kombinace odpovídá stavu zapnutí. Objekt 4.I zůstává připojen na sběrnici 5 po dobu trvání I -tého impulsu na první řídící svorce X.

Třetím stavem, který řadič 1.I realizuje je stav posuvu. Po zániku I -tého impulsu je na prvním výstupu A řadiče 1.I logická 1 a na druhém výstupu B též logická 1. Tento stav zůstává po dobu všech dalších impulsů přiváděných na prvou řídící svorku X. Stav je možné změnit pouze při přivedení logické 0 na druhou řídící svorku Y, protože na druhé řídící svorce Y jsou napojeny nulovací vstupy všech řadičů. Při úrovni logické 0 na druhé řídící svorce Y se všechny řadiče nastaví do stavu odpojení.

Kombinace 0 na prvním výstupu A a logické 1 na druhém výstupu B řadiče je nežádoucí a není ji možno realizovat žádnou kombinací logických úrovní na vstupech řadiče.

Na obr. 2 je zapojení elektronického řadiče. Před inicializací soustavy je na vstupech

prvního paměťového klopného obvodu 2 typu D logická 0 s výjimkou nastavovacího vstupu S, kde je neustále úroveň logické 1. Na výstupu Q prvního paměťového klopného obvodu 2 typu D je logická 0 a na jeho negovaném výstupu $\bar{Q}$ je logická 1, která je zároveň přiváděna na oba vstupy logického operátoru 6 typu NAND. Tento logický operátor zde plní funkci invertoru.

Proto je na jeho výstupu logická 0, která je přiváděna na přenosový vstup D druhého paměťového klopného obvodu 3 typu D. Vstup C hodinových impulsů druhého paměťového klopného obvodu 3 typu D je připojen přes logický operátor 7 typu NAND, který slouží jako invertor řídicího signálu z řídicí svorky X. Proto je na něm logická 1 při úrovni logické 0 na první řídicí svorce X. Hodnoty na zbývajících dvou vstupech jsou stejné jako u prvního paměťového klopného obvodu 2 typu D. Na výstupu Q druhého paměťového klopného obvodu 3 typu D je logická 0 a na jeho negovaném výstupu $\bar{Q}$ je logická 1. Na první vstup logického obvodu 8 typu NAND je přiváděna logická 0 a na jeho druhý vstup logická 1. Proto je na jeho výstupu, který je zároveň prvním výstupem A řadiče, logická 1.

Do stavu odpojení se řadič dostane přivedením logické 0 na druhou řídicí svorku Y. Změna logické úrovně z logické 0 na druhé svorce Y na logickou 1 nezmění řádnou logickou úroveň v obvodu, ale připraví ovládání řadiče pomocí úrovně na první řídicí svorce X. Při úrovni logické 0 na druhé řídicí svorce Y nemá jakákoliv změna logické úrovně na první řídicí svorce X vliv na změnu logických úrovní Q v obvodu.

Řadič 1.I realizuje stav zapnutí po celou dobu trvání I-tého impulsu přiváděného na vstup C hodinových impulsů. S ukončením I-1 impulsu se předcházející řadič překlápí do stavu posuvu, což způsobí, že na přenosový vstup D prvního paměťového klopného obvodu 2 typu D řadiče 1.I je přivedena logická 1. S náběžnou hranou I-tého impulsu přivedeného na první řídicí svorku X je na výstupu Q prvního paměťového klopného obvodu 2 typu D logická 1 a na jeho negovaném vstupu $\bar{Q}$ logická 0.

Na přenosovém vstupu D druhého paměťového klopného obvodu 3 typu D, který je spojen s výstupem $\bar{Q}$ prvního paměťového klopného obvodu 2 typu D přes logický obvod 6 typu NAND, který slouží jako invertor, je logická 1. Na jeho výstupu Q je logická 0 a na jeho negovaném výstupu $\bar{Q}$ je logická 1, protože na vstupu C hodinových impulsů je logická 0. Na vstupy logického obvodu 8 typu NAND jsou přiváděny úrovně logické 1 a proto je na výstupu logická 0. Tento výstup je zároveň prvním výstupem A řadiče 1.I a pomocí úrovně logické 0 na něm je připojován objekt 4.I na společnou sběrnici 5. Logická 0 na druhém výstupu B řadiče 1.I brání přepojené řadiče 1.I+1 do stavu zapnuto až do doby příchodu I+1 impulsu na řídicí svorku X.

Při zániku I-tého impulsu realizuje řadič 1.I stav posuvu. Na vstupy prvního paměťového klopného obvodu 2 typu D jsou, s výjimkou vstupu C hodinových impulsů, přiváděny logické 1. Na vstup hodinových impulsů C je přiváděna logická 0. Změna na vstupu hodinových impulsů z logické 1 na logickou 0 nezmění hodnoty na výstupech prvního paměťového klopného obvodu 2 typu D. Na přenosový vstup D a nastavovací vstup S a nulovací vstup R druhého paměťového klopného obvodu 3 typu D jsou přiváděny logické 1. Změna logické úrovně z logické 0 na logickou 1 na vstupu C hodinových impulsů druhého paměťového klopného obvodu 3 typu D provede změnu logické úrovně na jeho výstupech. Na výstupu Q je logická 1 a na negovaném výstupu $\bar{Q}$ je logická 0.

Na prvním vstupu logického operátoru 8 typu NAND je logická 1 na jeho druhém vstupu je logická 0. Na jeho výstupu, který je zároveň prvním výstupem A řadiče 1.I je logická 1, která zajistí odpojení objektu 4.I od společné sběrnice 5. Na druhém výstupu B řadiče 1.I, který je totožný s výstupem Q druhého paměťového obvodu 3 typu NAND je logická 1, která je přenášena na přenosový vstup D následujícího řadiče 1.I+1.

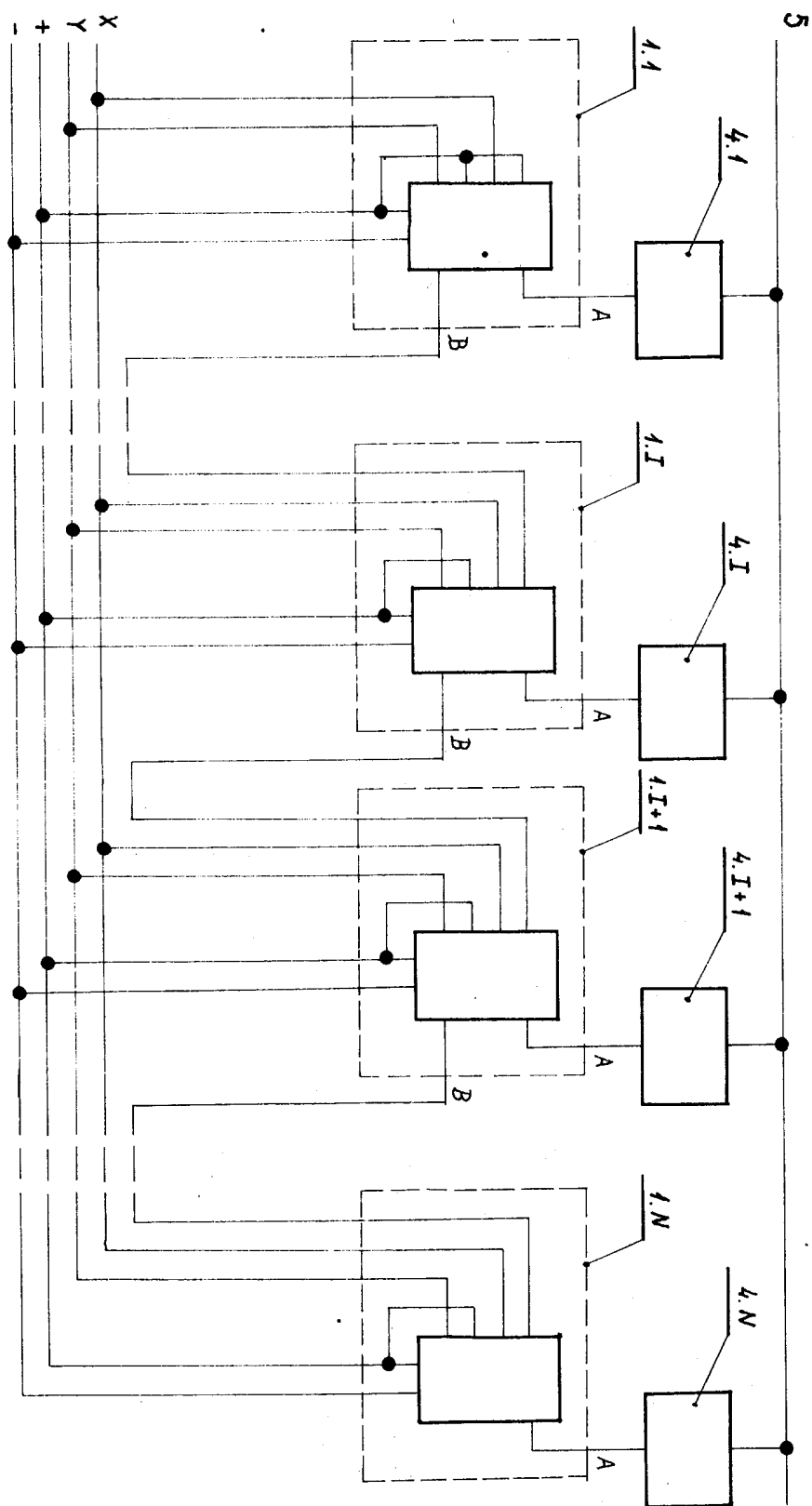
Navržený obvod lze využít při spínání a ovládání vybraného objektu v propojené soustavě,

kde řízení či vyhodnocování je provedeno jedním ústředním členem pro celou soustavu. Může to být periodické prověřování parametrů skladovaného materiálu na mnoha místech, například v zásobnicích obilních sil nebo realizace přípojnicového systému, který šetří vstupy a výstupy vyšších řídicích systémů osazených programovatelnými automaty či počítači. V rozlehlejších soustavách šetří rozvodná vedení, většinou měděná.

P R E D M Ě T V Y N Á L E Z U

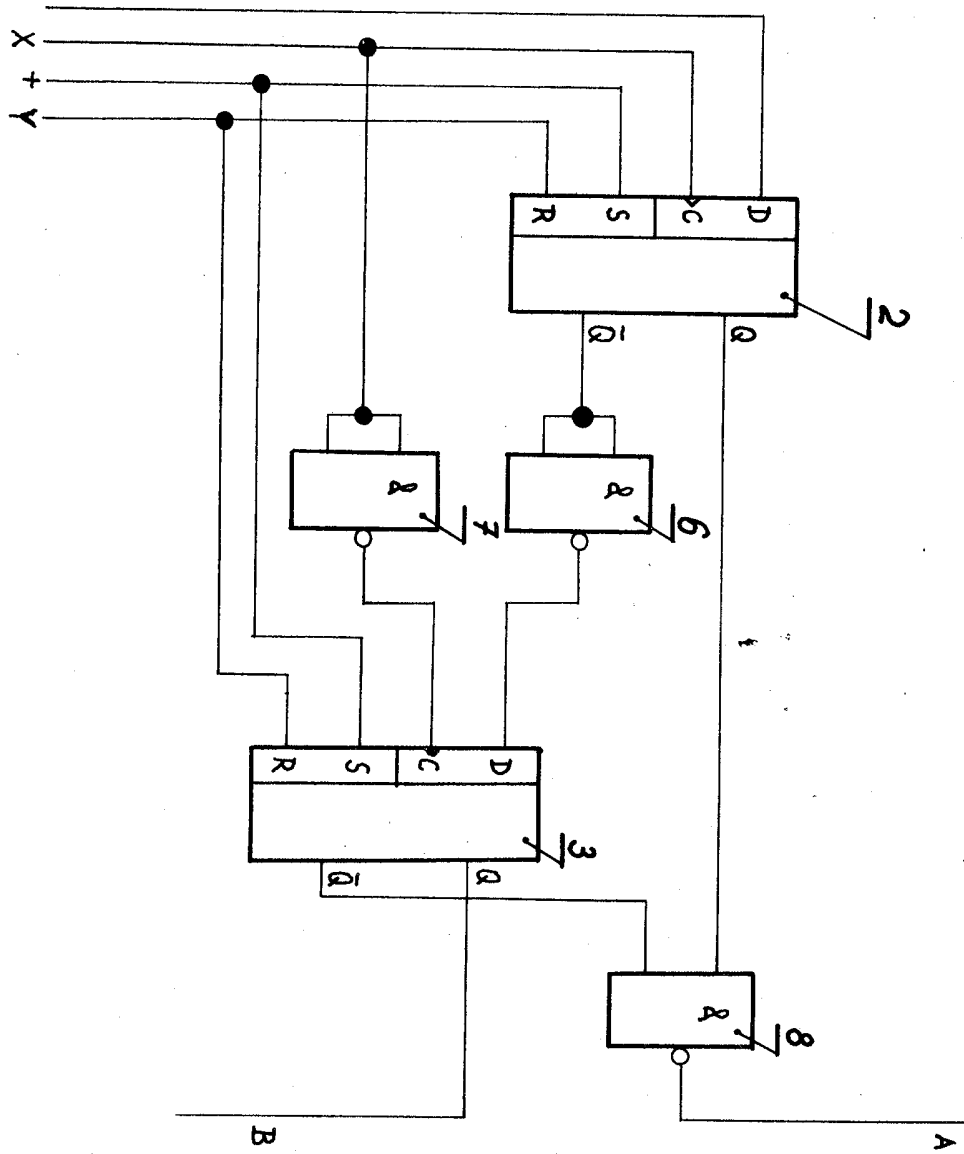
Elektronický obvod pro ovládání vybraného objektu soustavy vyznačený tím, že přenosový vstup (D) prvního paměťového klopného obvodu (2) typu D řadiče je připojen buď na kladnou napájecí svorku (+), nebo na druhý výstup (B) předcházejícího řadiče, vstup (C) hodinových impulsů prvního paměťového klopného obvodu (2) typu D je připojen na první řídicí svorku (X), nastavovací vstup (S) prvního paměťového klopného obvodu (2) typu D je připojen na kladnou napájecí svorku (+), nulovací vstup (R) prvního paměťového klopného obvodu (2) typu D je připojen na druhou řídicí svorku (Y), výstup (Q) prvního paměťového klopného obvodu (2) typu D je připojen na první vstup třetího logického obvodu (8) typu NAND, negovaný výstup ($\bar{Q}$) prvního paměťového klopného obvodu (2) typu D je připojen na oba vstupy prvního logického obvodu (6) typu NAND, jehož výstup je připojen na přenosový vstup (D) druhého paměťového klopného obvodu (3) typu D, vstupy druhého logického obvodu (7) typu NAND jsou připojeny na první řídicí svorku (X), výstup druhého logického obvodu (7) typu NAND je připojen na vstup (C) hodinových impulsů druhého paměťového obvodu (3) typu D, nastavovací vstup (S) druhého paměťového klopného obvodu (3) typu D je připojen na kladnou napájecí svorku (+), nulovací vstup (R) druhého paměťového klopného obvodu (3) typu D je připojen na druhou řídicí svorku (Y), negovaný výstup ($\bar{Q}$) druhého paměťového klopného obvodu (3) typu D je připojen na druhý vstup třetího logického obvodu (8) typu NAND, výstup třetího logického obvodu (8) typu NAND, který je současně prvním výstupem (A) řadiče, je připojen na vstup odpovídajícího ovládaného objektu (4.1, ..., 4.I, 4.I+1, ..., 4.N).

2 výkresy



obr 1

255207



obr. 2