

대표도

도 1

특허청구의 범위

청구항 1.

전압을 정류하는 정류회로에 있어서,

N형 트랜지스터와,

상기 N형 트랜지스터의 게이트에, 소스가 되는 노드를 기준으로 한 상기 N형 트랜지스터의 임계치 전압보다도 작은 전압을 출력하는 임계치 전압 발생기

를 갖는 것을 특징으로 하는 정류회로.

청구항 2.

제1항에 있어서, 상기 임계치 전압 발생기는, 다이오드 접속된 전압 발생 트랜지스터에 의해서 상기 N형 트랜지스터의 임계치 전압보다도 작은 전압을 출력하는 것을 특징으로 하는 정류회로.

청구항 3.

제2항에 있어서, 상기 전압 발생 트랜지스터는, 상기 N형 트랜지스터와 상이한 게이트길이 또는 게이트폭을 구비함으로써, 상기 N형 트랜지스터의 임계치 전압보다도 작은 전압을 출력하도록 하는 것을 특징으로 하는 정류회로.

청구항 4.

제1항에 있어서, 정류된 전압의 전압치에 따라서, 상기 N형 트랜지스터의 임계치 전압보다도 작은 전압의 전압치가 조정되는 것을 특징으로 하는 정류회로.

청구항 5.

전압을 정류하는 정류 회로에 있어서,

P형 트랜지스터와;

상기 P형 트랜지스터의 게이트에, 드레인이 되는 노드를 기준으로 한 상기 P형 트랜지스터의 임계치 전압보다도 큰 전압을 출력하는 임계치 전압 발생기

를 갖는 것을 특징으로 하는 정류회로.

청구항 6.

제5항에 있어서, 상기 임계치 전압 발생기는, 다이오드 접속된 전압 발생 트랜지스터에 의해서 상기 P형 트랜지스터의 임계치 전압보다도 큰 전압을 출력하는 것을 특징으로 하는 정류 회로.

청구항 7.

제6항에 있어서, 상기 전압 발생 트랜지스터는, 상기 P형 트랜지스터와 상이한 게이트길이 또는 게이트폭을 구비함으로써, 상기 P형 트랜지스터의 임계치 전압보다도 큰 전압을 출력하도록 하는 것을 특징으로 하는 정류회로.

청구항 8.

제5항에 있어서, 정류된 전압의 전압치에 따라서, 상기 P형 트랜지스터의 임계치 전압보다도 큰 전압의 전압치가 조정되는 것을 특징으로 하는 정류회로.

청구항 9.

무선에 의해서 전력이 공급되어 동작하는 전자기기에 있어서,

N형 트랜지스터와, 상기 N형 트랜지스터의 게이트에 소스가 되는 노드를 기준으로 한 상기 N형 트랜지스터의 임계치 전압보다도 작은 전압을 출력하는 임계치 전압 발생기를 갖는 정류회로

를 갖는 것을 특징으로 하는 전자기기.

청구항 10.

무선에 의해서 전력이 공급되어 동작하는 전자기기에 있어서,

P형 트랜지스터와, 상기 P형 트랜지스터의 게이트에 드레인이 되는 노드를 기준으로 한 상기 P형 트랜지스터의 임계치 전압보다도 큰 전압을 출력하는 임계치 전압 발생기를 갖는 정류회로

를 갖는 것을 특징으로 하는 전자기기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 정류회로에 관한 것이며, 특히 전압을 정류하는 정류회로에 관한 것이다.

현재, 시스템의 소형화, 휴대화에 따른 저전압으로 동작하는 정류회로의 중요성이 늘어나고 있다. 예컨대, 전원으로서 전지를 가질 수 없는 IC 카드나 ID 칩에서는 조사되는 전파에너지로부터 전력을 추출한다. 그리고, 저전압으로 동작하는 정류회로에 의해서 전압 저하를 막아, 보다 넓은 교신가능범위를 실현하도록 하고 있다. 정류회로에는 2단자 사이의 전압의 대소관계에 따라서 온/오프하는 다이오드나 MOS(Metal Oxide Semiconductor)트랜지스터가 이용되고 있다(예컨대, 비특허 문헌 1, 2참조).

도 17은 다이오드 접속한 NMOS 트랜지스터의 회로도이다. 도면에 나타난 바와 같이 NMOS의 트랜지스터(M101)는 게이트와 드레인이 접속되어 있다. 여기서, 드레인의 전압을 전압 Va, 소스의 전압을 전압 Vb로 하고, 트랜지스터(M101)의 임계치 전압을 임계치 전압 Vthn으로 한다. 이 경우, 다음 식(1)을 만족시켰을 때 드레인으로부터 소스방향으로 전류가 흐른다.

$$V_a \geq V_b + V_{thn} \dots (1)$$

즉, 드레인의 전압 Va가 소스의 전압 Vb에 대하여, 임계치 전압 Vthn만큼 높아졌을 때 트랜지스터(M101)는 온하여, 전류가 흐른다. 한편, 드레인의 전압 Va가 소스의 전압 Vb에 대하여, 임계치 전압 Vthn만큼 높지 않으면 트랜지스터(M101)는 오프하여, 전류는 흐르지 않는다.

도 18은 다이오드 접속한 PMOS 트랜지스터의 회로도이다. 도면에 나타난 바와 같이 PMOS의 트랜지스터(M102)는 게이트와 드레인이 접속되어 있다. 여기서, 소스의 전압을 전압 Va, 드레인의 전압을 전압 Vb로 하고, 트랜지스터(M102)의 임계치 전압을 임계치 전압 Vthp로 한다. 이 경우, 다음 식(2)을 만족시켰을 때 소스로부터 드레인 방향으로 전류가 흐른다.

$$V_a \geq V_b + V_{thp} \dots (2)$$

즉, 소스의 전압 Va가 드레인의 전압 Vb에 대하여, 임계치 전압 Vthp만큼 높아졌을 때 트랜지스터(M102)는 온하여, 전류가 흐른다. 한편, 소스의 전압 Va가 드레인의 전압 Vb에 대하여, 임계치 전압 Vthp만큼 높지 않으면 트랜지스터(M102)는 오프하여, 전류는 흐르지 않는다.

또, 다이오드에서는 애노드의 전압이 캐소드의 전압에 대하여 순방향 전압 Vf 이상이 되었을 때 전류가 흐른다.

이와 같이, 정류회로에서는 스위치(트랜지스터, 다이오드)를 온하기 위한 임계치 전압이 존재하기 때문에, 정류시의 도통 손실이 생긴다. 이 도통 손실은 임계치 전압을 작게 하는 것으로 개선할 수 있다. 임계치 전압을 작게 한다는 것은 소신호 입력에 대한 스위치의 온/오프 판단의 정밀도를 향상시키는 것을 의미한다. 임계치 전압을 작게 하기 위해서는 다이오드에 있어서는 순방향 전압이 낮은 쇼트키 다이오드를 MOS 트랜지스터에서는 저임계치의 것을 사용하는 것이 된다.

[비특허문헌 1] Uto Karthaus et al, "Fully Integrated Passive UHF RFID Transponder IC with 16.7uW Minimum RF Input Power", IEEE J. Solid-State Circuits, Vol.38, p.1602-1608, Oct 2003

[비특허문헌 2] 난토우 야스오저, 「전자회로와 아날로그 IC」, 공학 도서 주식회사, p.174

발명이 이루고자 하는 기술적 과제

그러나, 정류회로를 반도체 집적회로로 구성하는 경우 쇼트키 다이오드나 저임계치 전압의 MOS 트랜지스터를 실현하기 위해서는 프로세스 공정을 추가하는 것이 되어, 비용 상승으로 이어진다고 하는 문제점이 있었다.

또한, 다른 다이오드나 MOS 트랜지스터와 프로세스가 다르기 때문에, 소자의 변동이 발생한다고 하는 문제점이 있었다.

본 발명은 이러한 점에 감안하여 이루어진 것으로 프로세스 공정에 의하지 않고 저임계치 전압을 실현하여, 비용 및 소자의 변동을 저감할 수 있는 정류회로를 제공하는 것을 목적으로 한다.

발명의 구성

본 발명에서는 상기 문제를 해결하기 위해서 도 1에 나타난 바와 같은 전압을 정류하는 정류회로에 있어서, 트랜지스터(M1)와 트랜지스터(M1)의 게이트에 드레인 및 소스가 되는 2개의 노드 N1, N2의 한쪽을 기준으로 한 임계치 전압의 근방의 전압을 출력하는 임계치 전압 발생기(11)를 갖는 것을 특징으로 하는 정류회로가 제공된다.

이러한 정류회로에 따르면 임계치 전압 발생기(11)에 의해서 트랜지스터(M1)의 게이트에 임계치 전압의 근방의 전압을 출력한다. 이것에 의해서, 프로세스 공정에 상관없이 임계치 전압 발생기(11)의 출력하는 전압에 의해서, 트랜지스터(M1)의 소스-드레인 사이를 흐르기 시작하는 전류의 임계치 전압을 작게 할 수 있다.

다음에, 본 발명의 제1의 실시의 형태를 도면을 참조하여 상세히 설명한다.

도 1은 제1의 실시의 형태에 관한 정류회로의 회로도이다. 도면에 나타내는 NMOS의 트랜지스터(M1)는 임계치 전압 V_{thn1} 을 갖고 있다. 트랜지스터(M1)의 드레인 및 소스가 되는 노드 N1, N2의 노드 N2에는 정류되는 전압 V_a 가 입력되고, 노드 N1에는 정류된 전압 V_b 가 출력된다.

임계치 전압 발생기(11)는 트랜지스터(M1)의 게이트와 노드 N1과 접속되어 있다. 임계치 전압 발생기(11)는 노드 N1의 전압에 대하여, 임계치 전압 V_{thn1} 만큼 오른 전압으로부터, 임계치 전압 V_{thn1} 에 대하여, 충분히 작은 전압 ΔV_{thn} 만큼 내려 간 전압 V_{th1} 을 생성하여, 트랜지스터(M1)의 게이트에 출력하고 있다.

이 회로에 있어서, 전압 V_a 가 전압 V_b 보다 낮은 경우, 전자는 노드 N2로부터 노드 N1로 흐르는 방향이 되어, 노드 N2가 소스가 된다. 따라서, 트랜지스터(M1)의 게이트의 전압이 노드 N2의 전압 V_a 보다 임계치 전압 V_{thn1} 만큼 높으면 트랜지스터(M1)는 온하여, 노드 N1로부터 노드 N2로 전류가 흐른다. 그런데 전술한 바와 같이, 트랜지스터(M1)의 게이트에는 노드 N1에 대하여 트랜지스터(M1)의 임계치 전압 V_{thn1} 만큼 높고, 전압 ΔV_{thn} 만큼 낮은 전압 V_{th1} 이 입력되어 있다. 따라서, 전압 V_a 가 전압 V_b 에 대하여 전압 ΔV_{thn} 만큼 내려가면 트랜지스터(M1)가 온한다. 즉, 전압 V_a 가 전압 V_b 에 대하여 전압 ΔV_{thn} 이상 내려갔을 때 노드 N2와 트랜지스터(M1)의 게이트에는 임계치 전압 V_{thn1} 이상의 전압이 인가되어, 트랜지스터(M1)가 온한다.

전압 V_a 가 전압 V_b 보다 높은 경우는 전자는 노드 N1로부터 노드 N2로 흐르는 방향이 되기 때문에 노드 N1이 소스가 된다. 트랜지스터(M1)의 게이트에는 임계치 전압 발생기(11)에 의해서, 노드 N1에 대하여 트랜지스터(M1)의 임계치 전압 V_{thn1} 만큼 높고, 전압 ΔV_{thn} 만큼 낮은 전압 V_{th1} 이 입력되어 있기 때문에, 트랜지스터(M1)는 온하지 않는다.

이와 같이, 임계치 전압 발생기(11)에 의해서 트랜지스터(M1)의 게이트에 임계치 전압 V_{thn1} 보다 전압 ΔV_{thn} 만큼 낮은 전압 V_{th1} 을 입력하도록 했다. 이것에 의해서, 프로세스 공정에 상관없이 전압을 발생하는 회로에 의해서, 임계치 전압 V_{thn1} 을 전압 ΔV_{thn} 으로 작게 할 수 있어, 비용 및 소자의 변동을 저감할 수 있다. 또, 전압 ΔV_{thn} 이 작을수록 트랜지스터(M1)를 온하는 임계치 전압이 작아진다.

임계치 전압 발생기(11)에 관해서 상세하게 설명한다.

도 2는 도 1의 임계치 전압 발생기의 상세한 회로를 나타낸 회로도이다. 도면에 있어서, 도 1과 같은 것에는 동일한 부호를 붙이고 그 설명을 생략한다. 도면에 나타낸 바와 같이 노드 N1에는 다이오드 접속된 NMOS의 트랜지스터(M2)와 저항(R1)의 직렬 회로가 접속되어 있다. 트랜지스터(M2)와 저항(R1)의 접속점은 트랜지스터(M1)의 게이트와 접속되어 있다. 트랜지스터(M2)와 저항(R1)의 직렬 회로에는 정류된 전압 V_b 를 일정하게 유지하기 위한 콘덴서(C1)가 병렬로 접속되어 있다. 또, 트랜지스터(M2)와 저항(R1)의 접속점을 노드 N3, 저항(R1)의 트랜지스터(M2)와 접속되어 있지 않은 측을 노드 N4로 한다. 또한, 도면에 나타내는 정류회로는 하나의 반도체 집적회로에 형성되어, 트랜지스터(M1, M2)는 트랜지스터(M1)의 임계치 전압 V_{thn1} 이 트랜지스터(M2)의 임계치 전압 V_{thn2} 보다 조금 커지도록(전압 ΔV_{thn} 만큼 커지도록), 게이트길이 및 게이트폭이 형성된다. 트랜지스터(M1, M2)는 임계치 전압 V_{thn1} , V_{thn2} 의 값이 크게 다르지 않기 때문에, 게이트길이 및 게이트폭도 크게 다르지 않고, 동일한 프로세스 공정에서 형성 가능하다.

노드 N4에는 트랜지스터(M2)를 온하도록 노드 N1보다 높은 전압이 인가된다. 이것에 의해서, 노드 N4로부터 노드 N1방향에 전류가 흘러, 노드 N3의 전압은 다이오드 접속된 트랜지스터(M2)에 의해서 노드 N1에 대하여 임계치 전압 V_{thn2} 만큼 높아진다. 그리고, 트랜지스터(M1)의 게이트에는 노드 N1에 대하여 임계치 전압 V_{thn2} 만큼 높은 전압이 입력된다.

노드 N2의 전압 V_a 가 노드 N1의 전압 V_b 에 대하여, 전압 ΔV_{thn} 만큼 내려갔을 때, 노드 N2와 트랜지스터(M1)의 게이트 사이에 임계치 전압 V_{thn1} 의 전위차가 인가된다. 이것에 의해서, 트랜지스터(M1)는 온하여, 트랜지스터(M1) 임계치 전압 V_{thn1} 을 전압 ΔV_{thn} 으로 작게 할 수 있다.

구체적 수치를 이용하여 도 2의 동작을 설명한다. 트랜지스터(M1, M2)의 임계치 전압 V_{thn1} , V_{thn2} 를 각각 0.6V, 0.5V로 한다. 전압 V_b 를 0V로 한다. 또, 전압 ΔV_{thn} 은 0.1V이다.

노드 N2의 전압 V_a 가 $-0.1V$ 이하인 경우, 전자의 흐르는 방향은 노드 N2로부터 노드 N1의 방향이며, 노드 N2가 소스가 된다. 트랜지스터(M1)의 게이트에는 다이오드 접속된 트랜지스터 (M2)에 의해서 $0.5V$ 의 전압이 입력되어 있기 때문에, 노드 N2와 트랜지스터(M1)의 게이트의 전위차는 $0.6V$ 이상이 되어, 트랜지스터(M1)는 온한다. 이것에 의해서, 전류는 노드 N1로부터 노드 N2방향으로 흐른다.

한편, 전압 V_a 가 $-0.1V \sim 0V$ 의 사이가 되면 노드 N2와 트랜지스터(M1)의 게이트의 전위차는 임계치 전압 V_{thn1} 의 $0.6V$ 보다 작아져, 트랜지스터(M1)는 오프한다. 또한, 전압 V_a 가 $0V$ 보다 커지면 전자가 흐르는 방향은 노드 N1로부터 노드 N2방향이 되어, 노드 N1이 소스가 된다. 트랜지스터(M1)의 게이트에는 노드 N1의 $0V$ 의 전압에 대하여 트랜지스터(M2)에 의해서 $0.5V$ 의 전압이 입력되어 있기 때문에, 트랜지스터(M1)는 오프상태이다.

이와 같이, 트랜지스터(M1)는 노드 N2의 전압이 노드 N1에 대하여 $0.6V$ 이상 낮아지지 않더라도, 전압 ΔV_{thn1} 이 $0.1V$ 이상 낮아지는 것에 따라 온한다. 이와 같이 하여, 트랜지스터(M1)를 온하는 임계치 전압을 작게 할 수 있다.

도 3은 도 2의 회로에 감쇠기를 부가한 회로도이다. 도면에 있어서, 도 2와 같은 것에는 동일한 부호를 붙이고, 그 설명을 생략한다. 도면에 나타난 바와 같이, 트랜지스터(M2)와 저항(R1)의 접속점에는 트랜지스터(M1)의 게이트와 접속된 감쇠기(12)가 접속되어 있다.

노드 N4에는, 트랜지스터(M2)를 온하도록 노드 N1보다 높은 전압이 인가된다. 이것에 의해서, 노드 N3으로부터 노드 N1 방향으로 전류가 흘러 노드 N3의 전압은 다이오드 접속된 트랜지스터(M2)에 의해서 노드 N1에 대하여, 임계치 전압 V_{thn2} 만큼 높아진다. 감쇠기(12)는 노드 N3의 전압을 전압 ΔV_{de} 감쇠하여, 트랜지스터(M1)의 게이트에 출력한다. 즉, 트랜지스터(M1)는 노드 N2의 전압 V_a 가 노드 N1의 전압 V_b 에 대하여, 전압 ΔV_{thn} 과 전압 ΔV_{de} 를 가산한 전압만큼 내렸을 때에 온한다.

트랜지스터(M1, M2)의 임계치 전압 V_{thn1} , V_{thn2} 가 매우 가까운 값인 경우, 트랜지스터(M1)에 누설전류가 흐를 우려가 있다. 그래서, 감쇠기(12)에 의해서 트랜지스터(M1)의 게이트에 입력하는 전압을 보다 내리는 것에 따라, 누설전류를 억제하여 정류효율을 높인다.

구체적 수치를 이용하여 도 3의 동작을 설명한다. 트랜지스터(M1, M2)의 임계치 전압 V_{thn1} , V_{thn2} 를 각각 $0.6V$, $0.5V$ 로 한다. 감쇠기(12)는 노드 N4의 전압을 $0.1V$ 감쇠하여 트랜지스터(M1)의 게이트에 출력한다. 또한, 전압 V_b 를 $0V$ 로 한다. 따라서, 노드 N3의 전압은 트랜지스터(M2)에 의해서, $0.5V$ 가 된다. 트랜지스터(M1)의 게이트에는 감쇠기(12)에 의해서, $0.4V$ 의 전압이 입력된다.

노드 N2의 전압 V_a 가 $-0.2V$ 이하인 경우, 전자가 흐르는 방향은 노드 N2로부터 노드 N1의 방향이 되어, 노드 N2가 소스가 된다. 트랜지스터(M1)의 게이트에는 $0.4V$ 의 전압이 입력되어 있기 때문에, 노드 N2와 트랜지스터(M1)의 게이트의 전위차는 $0.6V$ 이상이 되어, 트랜지스터(M1)는 온한다. 이것에 의해서, 전류는 노드 N1으로부터 노드 N2방향으로 흐른다.

한편, 전압 V_a 가 $-0.2V \sim 0V$ 의 사이가 되면 노드 N2와 트랜지스터(M1)의 게이트의 전위차는 $0.6V$ 보다 작아져, 트랜지스터(M1)는 오프한다. 또한, 전압 V_b 가 $0V$ 보다 커지면 전자의 흐르는 방향은 노드 N1으로부터 노드 N2방향이 되어, 노드 N1이 소스가 된다. 트랜지스터(M1)의 게이트에는 노드 N1의 $0V$ 의 전압에 대하여, 트랜지스터(M2), 감쇠기(12)에 의해서, $0.4V$ 의 전압이 입력되고 있기 때문에, 트랜지스터(M1)는 오프상태이다.

이와 같이, 감쇠기(12)가 없는 경우, 트랜지스터(M1)는 노드 N2의 전압이 노드 N1에 대하여, $0.1V$ 이상 낮아져 온하지만 도 3의 경우, 감쇠기(12)에 의해서, $0.2V$ 이상 낮아져 온한다. 즉, 감쇠기(12)에 의해서, 트랜지스터(M1)의 게이트에 입력하는 전압을 내리는 것에 의해, 트랜지스터(M1)를 온하는 임계치 전압을 크게 할 수 있다.

또, 감쇠기(12)를 이용하는 경우는 트랜지스터(M1, M2)를 임계치 전압이 동일하게 되도록 반도체 집적회로에 형성할 수 있다. 감쇠기(12)에 의해서 트랜지스터(M1)를 온하는 임계치 전압을 결정할 수 있기 때문이다. 이것에 의해서, 설계, 제조가 보다 용이해진다.

감쇠기(12)에 관해서 상세하게 설명한다.

도 4는 도 3의 감쇠기의 상세한 회로를 나타낸 회로도이다. 도면에 있어서, 도 3과 같은 것에는 동일한 부호를 붙이고, 그 설명을 생략한다. 도면에 나타낸 바와 같이, 노드 N3과 트랜지스터(M1)의 게이트의 사이에 저항(R2)이 접속되어 있다. 또한, 트랜지스터(M1)의 게이트와 노드 N1의 사이에 저항(R3)이 접속되어 있다. 저항(R2, R3)이 도 2의 감쇠기(12)에 대응한다.

트랜지스터(M1)의 게이트에는 전류가 거의 흐르지 않는다. 따라서, 트랜지스터(M1)의 게이트의 전압은 저항(R2, R3)의 저항비에 의해서 결정된다. 예컨대, 전술한 수치의 예로서는 노드 N3의 전압은 0.5V, 노드 N1의 전압은 0V이다. 따라서, 트랜지스터(M1)의 게이트의 전압이 0.4V가 되도록 저항(R2, R3)의 저항치를 결정하면 좋다.

이와 같이, 노드 N1과 노드 N3의 사이의 전압을 저항(R2, R3)으로 분압함으로써, 용이하게 감쇠기(12)를 구성할 수 있고, 정류회로의 설계, 제조가 용이하다.

그런데, 정류회로가 IC 카드나 ID 태그에 적용된 경우, 전력공급하는 리더라이터와의 거리에 따라서는 입력되는 전압 V_a 가 매우 작아진다. 이 경우, 도 3, 4의 정류회로에서는 감쇠기(12)에 의해서, 트랜지스터(M1)를 온하는 임계치 전압이 크게 되어 있기 때문에, 전압 V_a 를 정류할 수 없는 경우가 생긴다. 그래서, 입력되는 전압 V_a 가 작은 경우, 감쇠기(12)를 불활성화하여 노드 N3의 전압을 직접 트랜지스터(M1)의 게이트에 입력하도록 한다.

도 5는 감쇠기를 제어하는 회로의 회로도이다. 도면에 있어서, 도 4와 같은 것에는 동일한 부호를 붙이고, 그 설명을 생략한다. 도면에 나타낸 바와 같이, 노드 N1과 저항(R3)의 사이에 NMOS의 트랜지스터(M3)가 접속되어 있다. 트랜지스터(M3)의 게이트는 노드 N4에 접속되어 있다.

노드 N4에는 전압 V_b 에 비례한 전압이 입력된다. 트랜지스터(M3)는 전압 V_a 가 작아져, 트랜지스터(M1)가 오프하는 전압으로 할 때에 오프하여, 저항(R3)과 노드 N1의 접속을 분리한다. 즉, 전압 V_a 가 작아져 트랜지스터(M1)가 오프할 때, 다이오드 접속된 트랜지스터(M2)의 임계치 전압 V_{thn2} 를 트랜지스터(M1)의 게이트에 감쇠시키지 않고서 입력하여, 트랜지스터(M1)를 온하는 임계치 전압을 작게 한다. 이것에 의해서 입력되는 전압 V_a 가 작아지더라도 정류할 수 있어, IC 카드나 IC 태그의 교신가능범위를 넓힐 수 있다.

다음에, 트랜지스터(M1)의 게이트에 입력하는 전압 V_{th1} 에 관해서 설명한다.

도 6은 다이오드 접속된 트랜지스터의 전압-전류특성을 나타낸 도면이다. 도면의 횡축인 VGS는 게이트 소스 사이의 전압을 나타내고, 종축의 ID는 드레인 전류를 나타낸다. 다이오드 접속된 트랜지스터는 도면에 나타낸 바와 같이 임계치 전압 V_{thn} 을 넘을 때까지 드레인 전류가 흐르지 않는다. 그래서, 도 1~5에서 나타낸 바와 같이, 트랜지스터(M1)의 게이트에 임계치 전압 V_{thn1} 보다 전압 ΔV_{thn} 만큼 낮은 전압을 입력하여, 트랜지스터(M1)를 온하는 임계치를 작게 한다. 트랜지스터(M1)의 게이트에 입력하는 전압은 임계치 전압 V_{thn1} 에 한없이 가까운 값이 바람직하지만, 누설전류 등에 의해서 온하지 않도록, 여유를 보고 임계치 전압 V_{thn} 의 95% 정도가 되도록 하는 것이 바람직하다. 또한, 트랜지스터(M1)의 게이트에 입력하는 전압의 하한은 너무 낮게 하면 트랜지스터(M1)를 온하는 임계치 전압이 커져 버리기 때문에, 임계치 전압 V_{thn1} 의 50% 정도가 바람직하다.

다음에, 본 발명의 제2의 실시의 형태를 도면을 참조하여 상세히 설명한다. 제1의 실시의 형태에서는 NMOS의 트랜지스터에 관해서 설명했지만, 제2의 실시의 형태에서는 PMOS의 트랜지스터의 경우에 관해서 설명한다.

도 7은 제2의 실시의 형태에 관하는 정류회로의 회로도이다. 도면에 나타내는 PMOS의 트랜지스터(M11)는 임계치 전압 V_{thp1} 을 갖고 있다. 트랜지스터(M11)의 드레인 및 소스가 되는 노드 N11, N12의 노드 N12에는 정류되는 전압 V_a 가 입력되고, 노드 N11에는 정류된 전압 V_b 가 출력된다.

임계치 전압 발생기(21)는 트랜지스터(M11)의 게이트와 노드 N11과 접속되어 있다. 임계치 전압 발생기(21)는 노드 N11의 전압에 대하여 임계치 전압 V_{thp1} 만큼 내려 간 전압으로부터 임계치 전압 V_{thp1} 에 대하여 충분히 작은 전압 ΔV_{thp} 만큼 오른 전압 V_{thh} 를 생성하여, 트랜지스터(M11)의 게이트에 출력하고 있다.

이 회로에서 전압 V_a 가 전압 V_b 보다 높은 경우, 플러스 전하는 노드 N12로부터 노드 N11로 흐르는 방향이 되어, 노드 N12가 소스가 된다. 따라서, 트랜지스터(M11)의 게이트의 전압이 노드 N12의 전압 V_a 보다 임계치 전압 V_{thp1} 만큼 낮은 트랜지스터(M11)는 온하여, 노드 N12로부터 노드 N11로 전류가 흐른다. 그런데 전술한 바와 같이, 트랜지스터(M11)의 게이트에는 노드 N11에 대하여 트랜지스터(M11)의 임계치 전압 V_{thp1} 만큼 낮아, 전압 ΔV_{thp} 만큼 높은 전압 V_{thh} 가

입력되어 있다. 따라서, 전압 V_a 가 전압 V_b 에 대하여 전압 ΔV_{thp} 만큼 오르면 트랜지스터(M11)가 온한다. 즉, 전압 V_a 가 전압 V_b 에 대하여 전압 ΔV_{thp} 이상 올랐을 때, 노드 N12와 트랜지스터(M11)의 게이트에는 임계치 전압 V_{thp1} 이상의 전압이 인가되어, 트랜지스터(M11)가 온한다.

전압 V_a 가 전압 V_b 보다 낮은 경우는 플러스 전하는 노드 N11로부터 노드 N12로 흐르는 방향이 되기 때문에, 노드 N11이 소스가 된다. 트랜지스터(M11)의 게이트에는 임계치 전압 발생기(21)에 의해서, 노드 N11에 대하여 트랜지스터(M11)의 임계치 전압 V_{thp1} 만큼 낮아, 전압 ΔV_{thp} 만큼 높은 전압 V_{thh} 가 입력되어 있기 때문에, 트랜지스터(M11)는 온하지 않는다.

이와 같이, 임계치 전압 발생기(21)에 의해서 트랜지스터(M11)의 게이트에 임계치 전압 V_{thp1} 보다 전압 ΔV_{thp} 만큼 높은 전압 V_{thh} 를 입력하도록 했다. 이것에 의해서, 프로세스 공정에 상관없이 회로에 의해서, 임계치 전압 V_{thp1} 을 전압 ΔV_{thp} 로 작게 할 수 있어, 비용 및 소자의 변동을 저감할 수 있다. 또, 전압 ΔV_{thp} 가 작을수록 트랜지스터(M11)를 온하는 임계치 전압이 작아진다.

임계치 전압 발생기(21)에 관해서 상세하게 설명한다.

도 8은, 도 7의 임계치 전압 발생기의 상세한 회로를 나타낸 회로도이다. 도면에 있어서, 도 7과 같은 것에는 동일한 부호를 붙이고, 그 설명을 생략한다. 도면에 나타낸 바와 같이, 노드 N11에는 다이오드 접속된 PMOS의 트랜지스터(M12)와 저항(R11)의 직렬회로가 접속되어 있다. 트랜지스터(M12)와 저항(R11)의 접속점은 트랜지스터(M11)의 게이트와 접속되어 있다. 트랜지스터(M12)와 저항(R11)의 직렬회로에는 정류된 전압 V_b 를 일정히 유지하기 위한 콘덴서(C11)가 병렬로 접속되어 있다. 또, 트랜지스터(M12)와 저항(R11)의 접속점을 노드 N13, 저항(R11)의 트랜지스터(M12)와 접속되어 있지 않은 측을 노드 N14로 한다. 또한, 도면에 나타내는 정류회로는 하나의 반도체 집적회로에 형성되고, 트랜지스터(M11, M12)는 트랜지스터(M11)의 임계치 전압 V_{thp1} 이 트랜지스터(M12)의 임계치 전압 V_{thp2} 보다 조금 커지도록(전압 ΔV_{thp} 만큼 커지도록), 게이트길이 및 게이트폭이 형성된다. 트랜지스터(M11, M12)는 임계치 전압 V_{thp1} , V_{thp2} 의 값이 크게 다르지 않기 때문에 게이트길이 및 게이트폭도 크게 다르지 않고, 동일한 프로세스 공정에서 형성 가능하다.

노드 N14에는 트랜지스터(M12)를 온하도록 노드 N11보다 낮은 전압이 인가된다. 이것에 의해서, 노드 N11로부터 노드 N14방향으로 전류가 흘러, 노드 N13의 전압은 다이오드 접속된 트랜지스터(M12)에 의해서, 노드 N11에 대하여 임계치 전압 V_{thp2} 만큼 낮아진다. 그리고, 트랜지스터(M11)의 게이트에는 노드 N11에 대하여 임계치 전압 V_{thp2} 만큼 낮은 전압이 입력된다.

노드 N12의 전압 V_a 가 노드 N11의 전압 V_b 보다 전압 ΔV_{thp} 만큼 올랐을 때, 노드 N12와 트랜지스터(M11)의 게이트 사이에 임계치 전압 V_{thp1} 의 전위차가 인가된다. 이것에 의해서, 트랜지스터(M11)는 온하여, 트랜지스터(M11)의 임계치 전압 V_{thp1} 을 전압 ΔV_{thp} 으로 작게 할 수 있다.

구체적 수치를 이용하여 도 8의 동작을 설명한다. 트랜지스터(M11, M12)의 임계치 전압 V_{thp1} , V_{thp2} 를 각각 1.1V, 1.0V로 한다. 전압 V_b 를 2V로 한다. 또, 전압 ΔV_{thp} 는 0.1V 이다.

노드 N12의 전압 V_a 가 2.1V 이상인 경우, 플러스 전하가 흐르는 방향은 노드 N12로부터 노드 N11의 방향이며, 노드 N12가 소스가 된다. 트랜지스터(M11)의 게이트에는 다이오드 접속된 트랜지스터(M12)에 의해서 1.0V의 전압이 입력되고 있기 때문에, 노드 N12와 트랜지스터(M11)의 게이트의 전위차는 1.1V 이상이 되어, 트랜지스터(M11)는 온한다. 이것에 의해서, 전류는 노드 N12로부터 노드 N11방향으로 흐른다.

한편, 전압 V_a 가 2.1V~2V의 사이가 되면, 노드 N12와 트랜지스터(M11)의 게이트의 전위차는 임계치 전압 V_{thp1} 의 1.1V보다 작아져, 트랜지스터(M11)는 오프한다. 또한, 전압 V_a 가 2V보다 작아지면 플러스 전하가 흐르는 방향은 노드 N11로부터 노드 N12방향이 되어, 노드 N11이 소스가 된다. 트랜지스터(M11)의 게이트에는 노드 N11의 2V의 전압에 대하여, 트랜지스터(M12)에 의해서 1.0V의 전압이 인력 되어있기 위해서 트랜지스터(M11)는 오프상태이다.

이와 같이, 트랜지스터(M11)는 노드 N12의 전압이 노드 N11에 대하여 1.1V 이상 높아지지 않더라도, 전압 ΔV_{thp} 가 0.1V 이상 높아지는 것에 따라 온한다. 이와 같이 하여, 트랜지스터(M11)를 온하는 임계치 전압을 작게 할 수 있다.

도 9는, 도 8의 회로에 감쇠기를 부가한 회로도이다. 도면에 있어서, 도 8과 같은 것에는 동일한 부호를 붙이고, 그 설명을 생략한다. 도면에 나타낸 바와 같이, 트랜지스터(M12)와 저항(R11)의 접속점에는 트랜지스터(M11)의 게이트와 접속된 감쇠기(22)가 접속되어 있다.

노드 N14에는 트랜지스터(M12)를 온하도록 노드 N11보다 낮은 전압이 인가된다. 이것에 의해서, 노드 N11로부터 노드 N13방향으로 전류가 흘러 노드 N13의 전압은 다이오드 접속된 트랜지스터(M12)에 의해서 노드 N11에 대하여, 임계치 전압 V_{thp2} 만큼 낮아진다. 감쇠기(22)는 트랜지스터(M11)의 게이트의 전압을 전압 ΔV_{de} 감쇠하여, 노드 N13에 출력한다. 즉, 트랜지스터(M11)는 노드 N12의 전압 V_a 가 노드 N11의 전압 V_b 에 대하여, 전압 ΔV_{thp} 와 전압 ΔV_{de} 를 가산한 전압만큼 올랐을 때에 온한다.

트랜지스터(M11, M12)의 임계치 전압 V_{thp1} , V_{thp2} 가 매우 가까운 값의 경우, 트랜지스터(M11)에 누설전류가 흐를 우려가 있다. 그래서, 감쇠기(22)에 의해서 트랜지스터(M11)의 게이트에 입력하는 전압을 보다 올리는 것에 따라, 누설전류를 억제하여 정류효율을 높인다.

구체적 수치를 이용하여 도 9의 동작을 설명한다. 트랜지스터(M11, M12)의 임계치 전압 V_{thp1} , V_{thp2} 를 각각 1.1V, 1.0V로 한다. 감쇠기(22)는 트랜지스터(M11)의 게이트의 전압을 0.1V 감쇠하여 노드 N13에 출력한다. 또한, 전압 V_b 를 2V로 한다. 따라서, 노드 N13의 전압은 트랜지스터(M12)에 의해서, 1.0V가 된다. 트랜지스터(M11)의 게이트에는 감쇠기(22)에 의해서, 1.1V의 전압이 입력된다.

노드 N12의 전압 V_a 가 2.2V 이상인 경우, 플러스전하가 흐르는 방향은 노드 N12로부터 노드 N11의 방향이 되어, 노드 N12가 소스가 된다. 트랜지스터(M11)의 게이트에는 1.1V의 전압이 입력되어있기 때문에, 노드 N12와 트랜지스터(M11)의 게이트의 전위차는 1.1V 이상이 되어 트랜지스터(M11)는 온한다. 이것에 의해서 전류는 노드 N12로부터 노드 N11방향으로 흐른다.

한편, 전압 V_a 가 2.2V~2V의 사이가 되면, 노드 N12와 트랜지스터(M11)의 게이트의 전위차는 1.1V보다 작아져, 트랜지스터(M11)는 오프한다. 또한, 전압 V_a 가 2V보다 작아지면 플러스 전하가 흐르는 방향은 노드 N11로부터 노드 N12방향이 되어, 노드 N11이 소스가 된다. 트랜지스터(M11)의 게이트에는 노드 N11의 2V의 전압에 대하고, 트랜지스터(M12), 감쇠기(22)에 의해서 1.1V의 전압이 입력되어있기 때문에 트랜지스터(M11)는 오프상태이다.

이와 같이, 감쇠기(22)가 없는 경우, 트랜지스터(M12)는 노드 N12의 전압이 노드 N1에 대하여, 0.1V 이상 높아져 온하지만, 도 9의 경우, 감쇠기(22)에 의해서 0.2V 이상 높아져 온한다. 즉, 감쇠기(22)에 의해서 트랜지스터(M1)의 게이트에 입력하는 전압을 올리는 것에 의해, 트랜지스터(M11)를 온하는 임계치 전압을 크게 할 수 있다.

또, 감쇠기(22)를 이용하는 경우는 트랜지스터(M11, M12)를 임계치 전압이 동일하게 되도록 반도체 집적회로에 형성할 수 있다. 감쇠기(22)에 의해서, 트랜지스터(M11)를 온하는 임계치 전압을 결정할 수 있기 때문이다. 이것에 의해서, 설계, 제조가 보다 용이해 진다.

감쇠기(22)에 관해서 상세하게 설명한다.

도 10은 도 9의 감쇠기의 상세한 회로를 나타낸 회로도이다. 도면에 있어서, 도 9와 같은 것에는 동일한 부호를 붙이고, 그 설명을 생략한다. 도면에 나타낸 바와 같이, 노드 N13과 트랜지스터(M11)의 게이트의 사이에 저항(R12)이 접속되어 있다. 또한, 트랜지스터(M11)의 게이트와 노드 N11의 사이에 저항(R13)이 접속되어 있다. 저항(R12, R13)이 도 9의 감쇠기(22)에 대응한다.

트랜지스터(M11)의 게이트에는 전류가 거의 흐르지 않는다. 따라서, 트랜지스터(M11)의 게이트의 전압은 저항(R12, R13)의 저항비에 의해서 결정된다. 예컨대, 전술의 수치의 예로서는 노드 N13의 전압은 1.0V, 노드 N11의 전압은 2V이다. 따라서, 트랜지스터(M11)의 게이트의 전압이 1.1V가 되도록 저항(R12, R13)의 저항치를 결정하면 좋다.

이와 같이, 노드 N11과 노드 N13의 사이의 전압을 저항(R12, R13)으로 분압함으로써, 용이하게 감쇠기(22)를 구성할 수 있고, 정류회로의 설계, 제조가 용이하다.

다음에, 입력되는 전압 V_a 와 정류된 전압 V_b 와 저항(R12, R13)의 관계에 관해서 설명한다.

도 11은, 정류결과를 나타낸 도면이다. 도면에는, 도 10의 노드 N12, N14 사이에 입력되는 전압 V_a 의 파형 A1이 나타나 있다. 또한, 노드 N11, N14 사이에서 출력되는 전압 V_b 의 파형 B1~B3가 나타나 있다. 파형 B1은 저항(R12, R13)의 저항비가 1:9일 때의 파형, 파형 B2는 저항(R12, R13)의 저항비가 5:5의 때의 파형, 파형 B3은 저항(R12, R13)의 저항비가 10:0인 때의 파형을 보이고 있다.

과형 B1~B3에 나타난 바와 같이, 저항(R12)의 저항(R13)에 대하는 저항비가 작을수록 전압 Vb의 전압값은 커진다. 즉, 트랜지스터(M11)의 게이트에 입력되는 전압이 임계치 전압 Vthn1에 가까워질수록 트랜지스터(M1)를 온하는 임계치 전압이 작아지기 때문에, 도통 손실이 작아져 전압 Vb가 커진다.

그런데, 정류회로가 IC 카드나 ID 태그에 적용된 경우, 전력 공급하는 리더라이터와의 거리에 따라서는 입력되는 전압 Va가 매우 작아진다. 이 경우, 도 9, 10의 정류회로에서는 감쇠기(22)에 의해서 트랜지스터(M11)를 온하는 임계치 전압이 크게 되어 있기 때문에, 전압 Va를 정류할 수 없는 경우가 생긴다. 그래서, 입력되는 전압 Va가 작은 경우, 감쇠기(22)를 불활성화하여 노드 N13의 전압을 직접 트랜지스터(M11)의 게이트에 입력하도록 한다.

도 12는 감쇠기를 제어하는 회로의 회로도이다. 도면에 있어서 도 10과 같은 것에는 동일한 부호를 붙이고, 그 설명을 생략한다. 도면에 나타난 바와 같이, 노드 N11과 저항(R13)의 사이에 PMOS의 트랜지스터(M13)가 접속되어 있다. 트랜지스터(M13)의 게이트는 노드 N14에 접속되어 있다.

노드 N14에는 전압 Va에 비례한 전압이 입력된다. 트랜지스터(M13)는 전압 Va가 작아져, 트랜지스터(M11)가 오프하는 전압이 될 때에 오프하여, 저항(R13)과 노드 N11의 접속을 분리한다. 즉, 전압 Va가 작아져 트랜지스터(M11)가 오프할 때, 다이오드 접속된 트랜지스터(M12)의 임계치 전압 Vthp2를 감쇠하지 않고서 트랜지스터(M11)의 게이트에 입력하여, 트랜지스터(M11)를 온하는 임계치 전압을 작게 한다. 이것에 의해서, 입력되는 전압 Va가 작아지더라도 정류할 수 있어, IC 카드나 IC 태그의 교신가능범위를 넓힐 수 있다.

다음에, 도 1~5, 7~10, 12로 나타난 정류회로를 적용한 정류기에 관해서 설명한다.

도 13은 제1, 제2의 실시의 형태에 관하는 정류회로를 적용한 반파 2배압의 정류기의 회로도이다. 도면에 나타난 바와 같이, 정류회로(31, 32)는 직렬로 접속되어 있다. 입력단자 a와 정류회로(31, 32)의 접속점의 사이에는 콘덴서(C21)가 접속되어 있다. 입력단자 b와 출력단자 d는 공통이 되어 있고, 출력단자 c, d의 사이에는 콘덴서(C22)가 접속되어 있다.

정류회로(31)는 도 1~5로 나타난 제1의 실시의 형태에 관하는 정류회로이다. 정류회로(32)는 도 7~10, 12로 나타난 제2의 실시의 형태에 관하는 정류회로이다. 정류회로(31)는 입력단자 a의 전압이 입력단자 b보다 낮을 때 전류를 흘려, 콘덴서(C21)를 충전한다. 정류회로(32)는 입력단자 a의 전압이 출력단자 c보다 높을 때 전류를 흘려 콘덴서(C21)에 충전되어 있는 전압을 콘덴서(C22)에 충전한다. 이것에 의해서, 출력단자 c, d에는 입력단자 a, b의 2배의 전압이 출력된다.

이와 같이, 제1, 제2의 실시의 형태에 관하는 정류회로를 반파 2배압의 정류기에 이용하는 것에 의해서 임계치 전압에 의한 도통 손실을 저감할 수 있다. 또한, 작은 전압이 입력되더라도 정류할 수 있다.

도 14는 제1, 제2의 실시의 형태에 관하는 정류회로를 적용한 반파 4배압의 정류기의 회로도이다. 도면에 나타난 바와 같이, 정류회로(41, 42)는 직렬로 접속되어 있다. 입력단자 a와 정류회로(41, 42)의 접속점의 사이에는 콘덴서(C31)가 접속되어 있다. 입력단자 b와 출력단자 d는 공통이 되어 있고, 정류회로(41, 42)의 사이에는 콘덴서(C33)가 병렬로 접속되어 있다.

정류회로(43, 44)는 정류회로(42)에 직렬로 접속되어 있다. 콘덴서(C31)와 정류회로(43, 44)의 접속점의 사이에는 콘덴서(C32)가 접속되어 있다. 정류회로(43, 44)의 사이에는 콘덴서(C33)와 직렬접속 되는 콘덴서(C34)가 병렬로 접속되어 있다.

그런데, 도면의 정류회로(41, 42)와 콘덴서(C31, C33)는 도 13의 정류기에 대응하고 있다. 정류회로(43, 44)와 콘덴서(C32, C34)는 도 13의 정류기에 대응하고 있다. 도 14에서는 정류회로(41, 42)와 콘덴서(C31, C33)로 구성되는 정류기의 플러스극측 출력에 정류회로(43, 44)와 콘덴서(C32, C34)로 구성되는 정류기의 마이너스극측 출력이 직렬로 접속되어 있기 때문에, 출력단자 c, d에는 입력단자 a, b의 4배의 전압이 출력된다.

이와 같이, 제1, 제2의 실시의 형태에 관하는 정류회로를 반파 4배압의 정류기에 이용하는 것에 의해서, 임계치 전압에 의한 도통 손실을 저감할 수 있다. 또한, 작은 전압이 입력되더라도 정류할 수 있다.

도 15는 제1, 제2의 실시의 형태에 관하는 정류회로를 적용한 양극성 정류기의 회로도이다. 도면에 나타난 바와 같이, 정류회로(51, 52)는 직렬로 접속되어 있다. 입력단자 a와 정류회로(51, 52)의 접속점의 사이에는 콘덴서(C41)가 접속되어 있다. 입력단자 b와 출력단자 d는 공통으로 되어 있고, 출력단자 c, d의 사이에는 콘덴서(C43)가 병렬로 접속되어 있다.

정류회로(53, 54)는 정류회로(51)에 직렬로 접속되어 있다. 입력단자 a와 정류회로(53, 54)의 접속점의 사이에는 콘덴서(C42)가 접속되어 있다. 출력단자 d, e의 사이에는 콘덴서(C44)가 병렬로 접속되어 있다.

그런데, 도면의 정류회로(51, 52)와 콘덴서(C41, C43)는 도 13의 정류기에 대응하고 있다. 정류회로(53, 54)와 콘덴서(C42, C44)는 도 13의 정류기에 대응하고 있다. 도 15에서는 정류회로(51, 52)와 콘덴서(C41, C43)로 구성되는 정류기의 마이너스극측 출력에 정류회로(53, 54)와 콘덴서(C42, C44)로 구성되는 정류기의 마이너스극측 출력이 직렬로 접속되어 있기 때문에, 출력단자 c에는 입력단자 a, b의 2배의 플러스의 전압이 출력되어, 출력단자 e에는 입력단자 a, b의 2배의 마이너스의 전압이 출력된다.

이와 같이, 제1, 제2의 실시의 형태에 관하는 정류회로를 양극성 정류기로 이용하는 것에 의해, 임계치 전압에 의한 도통 손실을 저감할 수 있다. 또한, 작은 전압이 입력되더라도 정류할 수 있다.

또, 도 13, 14에서는 반파 2배압, 반파 4배압의 정류기에 관해서 설명했지만, 물론, 제1, 제2의 실시의 형태에 관하는 정류회로를 반파 n배압(n은 플러스의 정수)의 정류기에 적용할 수 있다.

또한, 도 15에서는 2개의 정류회로를 조합시킨 양극성 정류기에 관해서 설명했지만, 물론, 2 이상을 조합시켜 다출력으로 할 수도 있다. 예컨대, 정류회로(51, 52)와 콘덴서(C41, C43)로 구성되는 정류기에 새로운 정류기를 도 14에서 나타낸 바와 같이 직렬로 접속하면 좋다.

다음에, 도 13~15에서 나타낸 정류기를 적용한 IC 카드에 관해서 설명한다.

도 16은 IC 카드의 블럭도이다. 도면에 나타낸 바와 같이, IC 카드는 안테나(61), 변조기(62), 정류기(63), 션트 레귤레이터(shunt regulator)(64), 복조기(65) 및 디지털 신호 처리부(66)를 갖고 있다.

안테나(61)는 리더라이터와 데이터의 송수신을 한다. 변조기(62)는 디지털 신호 처리부(66)에 의해서 처리된 데이터를 변조하여, 안테나(61)를 통해서 리더라이터에 데이터를 송신한다. 정류기(63)에는 도 13~15의 정류기가 적용된다. 정류기(63)는 리더라이터로부터 공급되는 고주파 에너지에서 고주파 전력을 추출하여 직류전원(직류전압)으로 변환하여, 변조기(62), 션트 레귤레이터(64), 복조기(65) 및 디지털 신호 처리부(66)에 출력한다. 션트 레귤레이터(64)는 전원전압이 일정하게 되도록 제어한다. 디지털 신호 처리부(66)는 리더라이터와 데이터의 송수신을 행하여, 소정의 디지털 처리를 한다.

안테나(61)에 의해서 수신되는 전력(전압)은 리더라이터와의 거리에 의해서 변화된다. IC 카드와 리더라이터와의 거리가 멀고, 안테나(61)로부터 추출되는 전압이 작더라도 정류기(63)의 정류회로의 임계치 전압은 작기 때문에, 전압을 충분히 정류할 수 있다. 이와 같이, 고주파 에너지로부터 고주파 전력을 추출하여 직류전원에 변환하는 경우에 있어서, 전력의 효율변환을 향상할 수 있다.

또, 상기에서는 IC 카드에 관해서 설명했지만, ID 태그 등의 스스로 전원을 갖지 않는 장치에도 도 13~15에 나타내는 정류기를 적용할 수 있다.

또한, 제1, 제2의 실시의 형태에 있어서, 트랜지스터(M1), (M2), (M11), (M12)를 MOS 트랜지스터(MOS-FET)라고 했지만, MES(Metal Semiconductor)-FET, MIS(Metal Insulator Silicon)-FET, 바이폴라 트랜지스터로 구성할 수도 있다.

(부기 1) 전압을 정류하는 정류회로에 있어서,

트랜지스터와,

상기 트랜지스터의 게이트에 드레인 및 소스가 되는 2개의 노드의 한쪽을 기준으로 한 임계치 전압의 근방의 전압을 출력하는 임계치 전압 발생기를

갖는 것을 특징으로 하는 정류회로.

(부기 2) 상기 임계치 전압 발생기는 다이오드 접속된 전압발생 트랜지스터에 의해서 상기 근방의 전압을 출력하는 것을 특징으로 하는 부기 1에 기재한 정류회로.

(부기 3) 상기 전압발생 트랜지스터는 상기 트랜지스터와 동일한 제조 프로세스에 의해서 형성되는 것을 특징으로 하는 부기 2에 기재한 정류회로.

(부기 4) 상기 전압발생 트랜지스터는 상기 트랜지스터와 게이트길이 또는 게이트폭을 바꾸는 것에 따라서 상기 근방의 전압을 출력하도록 하는 것을 특징으로 하는 부기 2에 기재한 정류회로.

(부기 5) 상기 근방의 전압을 상기 임계치 전압으로부터 떨어지도록 변경하여 상기 게이트에 출력하는 전압 변경회로를 갖는 것을 특징으로 하는 부기 1에 기재한 정류회로.

(부기 6) 상기 전압 변경회로는 저항에 의해서 상기 근방의 전압을 분압하여, 상기 임계치 전압으로부터 떨어지도록 변경하는 것을 특징으로 하는 부기 5에 기재한 정류회로.

(부기 7) 상기 전압 변경회로는 정류되는 전압의 전압치에 따라서 활성화 및 불활성화되는 것을 특징으로 하는 부기 5에 기재한 정류회로.

(부기 8) 전압을 반과 n배압하는 반과 n배압 정류기에 있어서,

트랜지스터와 상기 트랜지스터의 게이트에 드레인 및 소스가 되는 2개의 노드의 한쪽을 기준으로 한 임계치 전압의 근방의 전압을 출력하는 임계치 전압 발생기를 갖는 전압을 정류하는 정류회로를

갖는 것을 특징으로 하는 반과 n배압 정류기.

(부기 9) 양극성의 전압을 출력하는 양극성 정류기에 있어서,

트랜지스터와 상기 트랜지스터의 게이트에 드레인 및 소스가 되는 2개의 노드의 한쪽을 기준으로 한 임계치 전압의 근방의 전압을 출력하는 임계치 전압 발생기를 갖는 전압을 정류하는 정류회로를

갖는 것을 특징으로 하는 양극성 정류기.

(부기 10) 무선에 의해서 전력이 공급되어 동작하는 전자기기에 있어서,

트랜지스터와 상기 트랜지스터의 게이트에 드레인 및 소스가 되는 2개의 노드의 한쪽을 기준으로 한 임계치 전압의 근방의 전압을 출력하는 임계치 전압 발생기를 갖는 전압을 정류하는 정류회로를

갖는 것을 특징으로 하는 전자기기.

(부기 11) 상기 트랜지스터는 MOSFET인 것을 특징으로 하는 부기 1에 기재한 정류회로.

(부기 12) 상기 트랜지스터는 MESFET인 것을 특징으로 하는 부기 1에 기재한 정류회로.

(부기 13) 상기 트랜지스터는 MISFET인 것을 특징으로 하는 부기 1에 기재한 정류회로.

(부기 14) 상기 트랜지스터는 바이폴라 트랜지스터인 것을 특징으로 하는 부기 1에 기재한 정류회로.

발명의 효과

본 발명의 정류회로에서는 프로세스 공정에 의하지 않는 임계치 전압의 근방의 전압을 트랜지스터의 게이트에 출력함으로써, 트랜지스터의 소스-드레인 사이를 흐르기 시작하는 전류의 임계치 전압을 작게 하도록 했다. 이것에 의해서, 비용 및 소자의 변동을 저감할 수 있다.

도면의 간단한 설명

도 1은 제1의 실시의 형태에 관한 정류회로의 회로도이다.

도 2는 도 1의 임계치 전압 발생기의 상세한 회로를 나타낸 회로도이다.

도 3은 도 2의 회로에 감쇠기를 부가한 회로도이다.

도 4는 도 3의 감쇠기의 상세한 회로를 나타낸 회로도이다.

도 5는 감쇠기를 제어하는 회로의 회로도이다.

도 6은 다이오드 접속된 트랜지스터의 전압-전류특성을 나타낸 도면이다.

도 7은 제2의 실시의 형태에 관한 정류회로의 회로도이다.

도 8은 도 7의 임계치 전압 발생기의 상세한 회로를 나타낸 회로도이다.

도 9는 도 8의 회로에 감쇠기를 부가한 회로도이다.

도 10은 도 9의 감쇠기의 상세한 회로를 나타낸 회로도이다.

도 11은 정류결과를 나타낸 도면이다.

도 12는 감쇠기를 제어하는 회로의 회로도이다.

도 13은 제1, 제2의 실시의 형태에 관하는 정류회로를 적용한 반파 2배압의 정류기의 회로도이다.

도 14는 제1, 제2의 실시의 형태에 관하는 정류회로를 적용한 반파 4배압의 정류기의 회로도이다.

도 15는 제1, 제2의 실시의 형태에 관하는 정류회로를 적용한 양극성 정류기의 회로도이다.

도 16은 IC 카드의 블럭도이다.

도 17은 다이오드 접속한 NMOS 트랜지스터의 회로도이다.

도 18은 다이오드 접속한 PMOS 트랜지스터의 회로도이다.

<도면의 주요부분에 대한 부호의 설명>

M1, M2, M11, M12: 트랜지스터

R1~R3, R11~R13: 저항

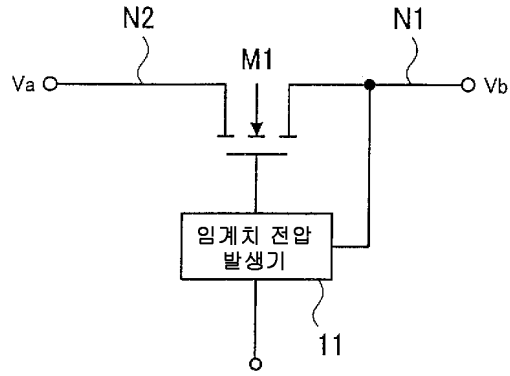
C1, C11: 콘덴서

11, 21 : 임계치 전압 발생기

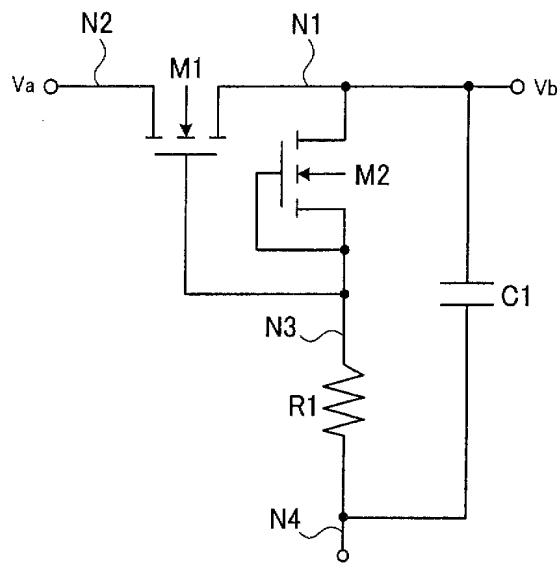
12, 22 : 감쇠기

도면

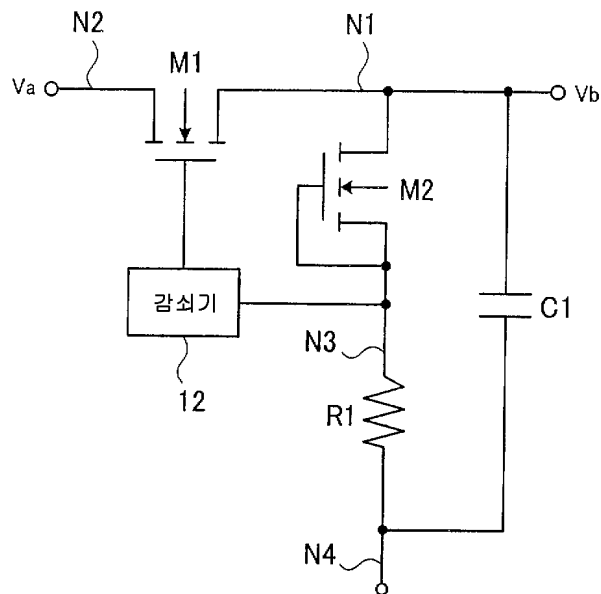
도면1



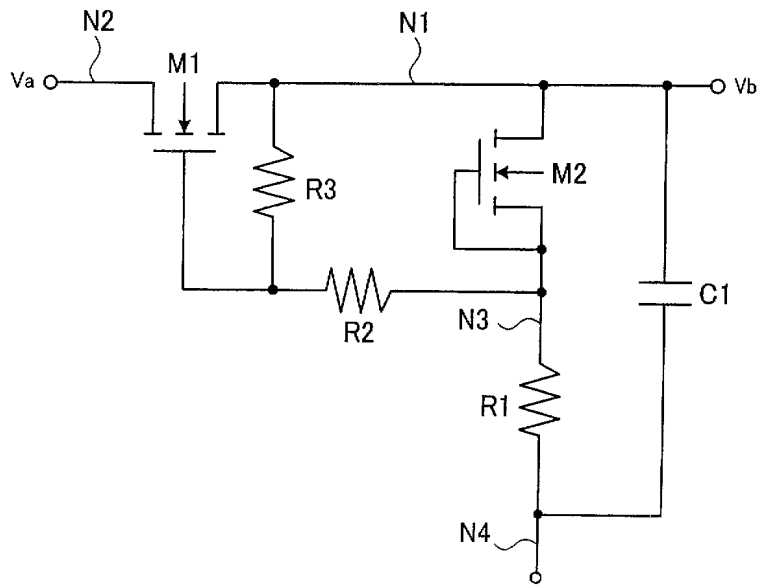
도면2



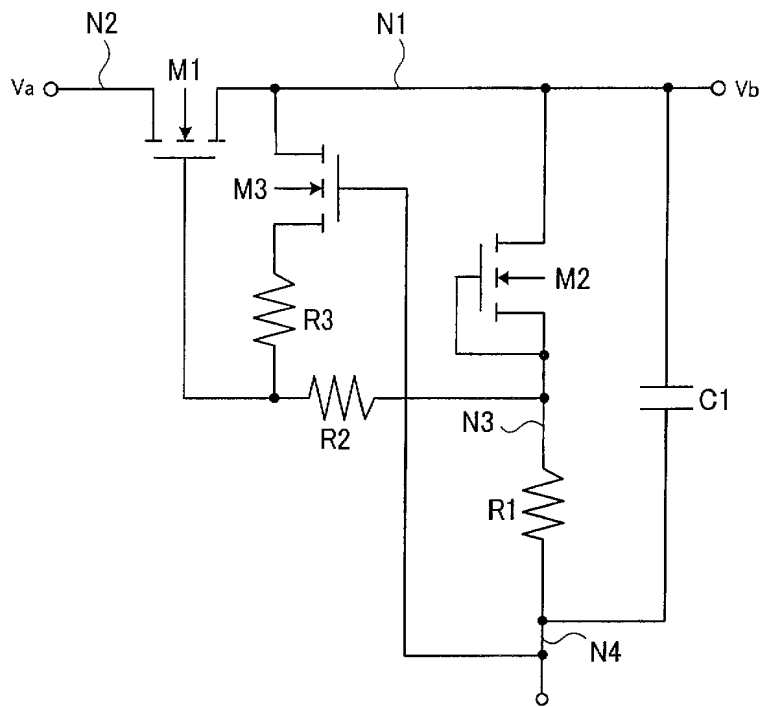
도면3



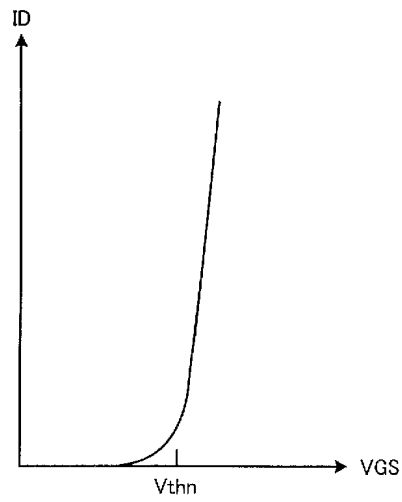
도면4



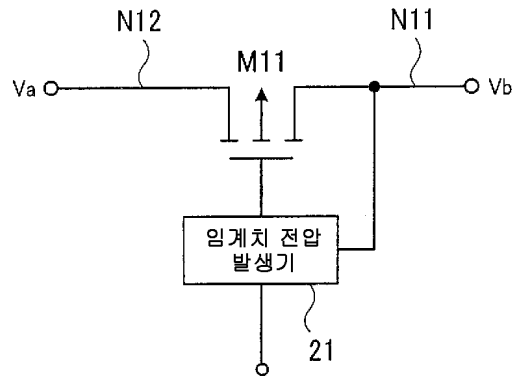
도면5



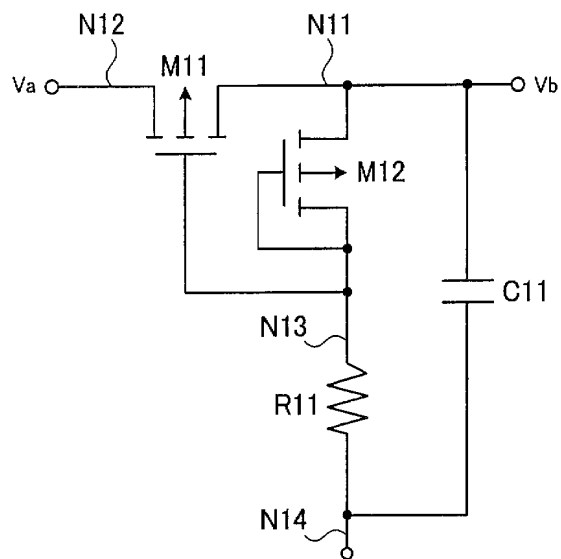
도면6



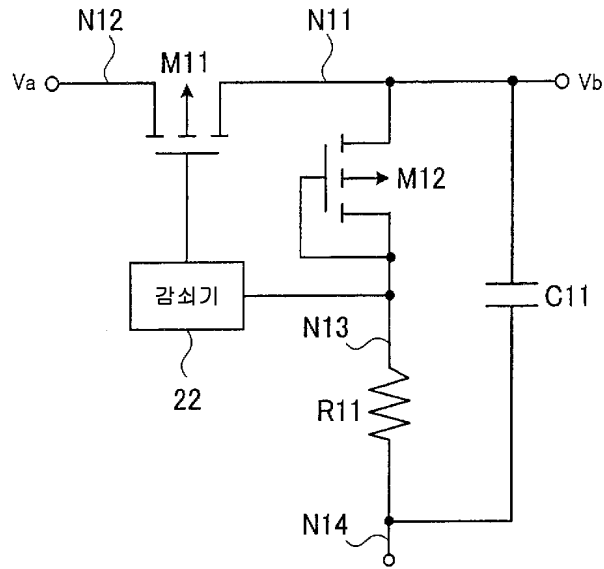
도면7



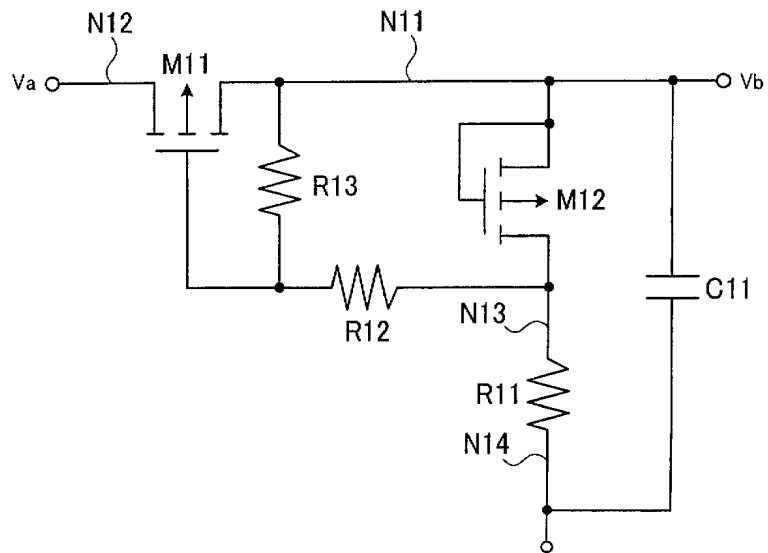
도면8



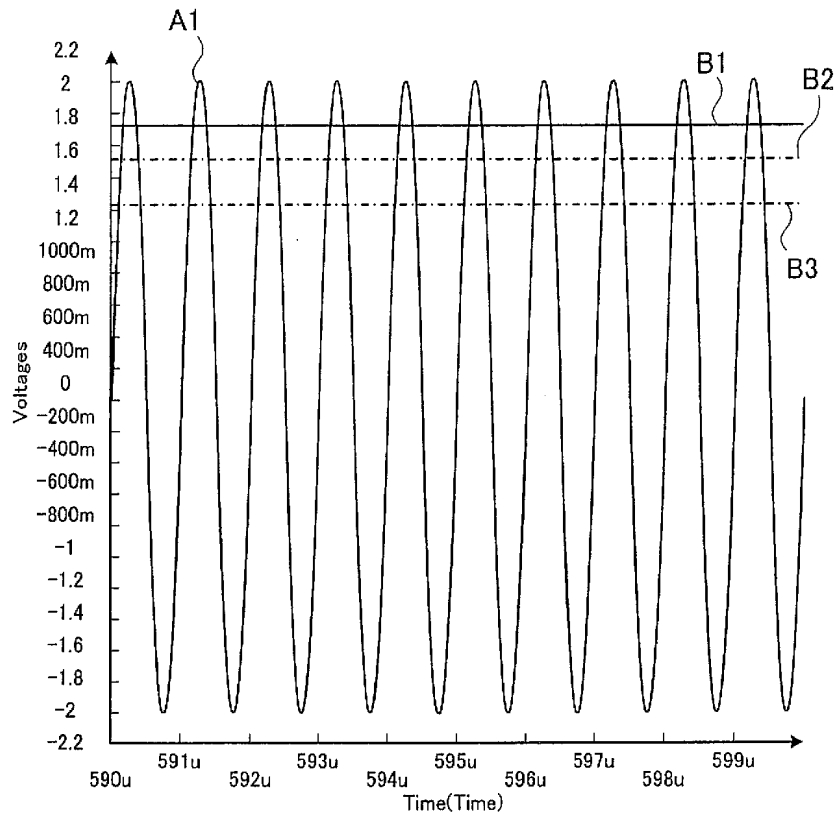
도면9



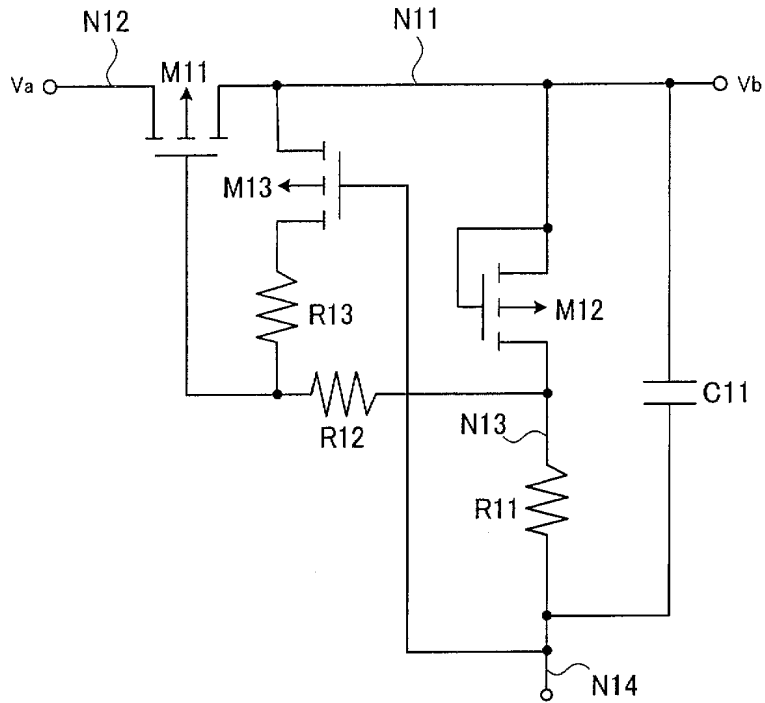
도면10



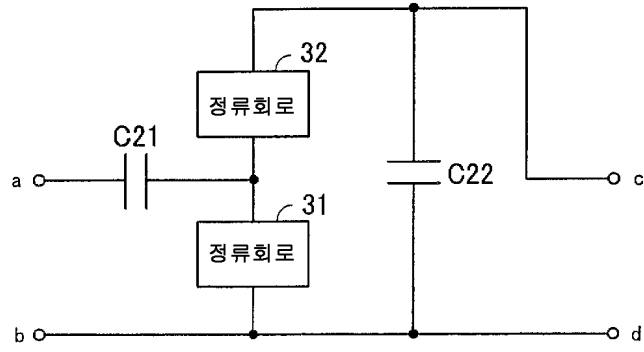
도면11



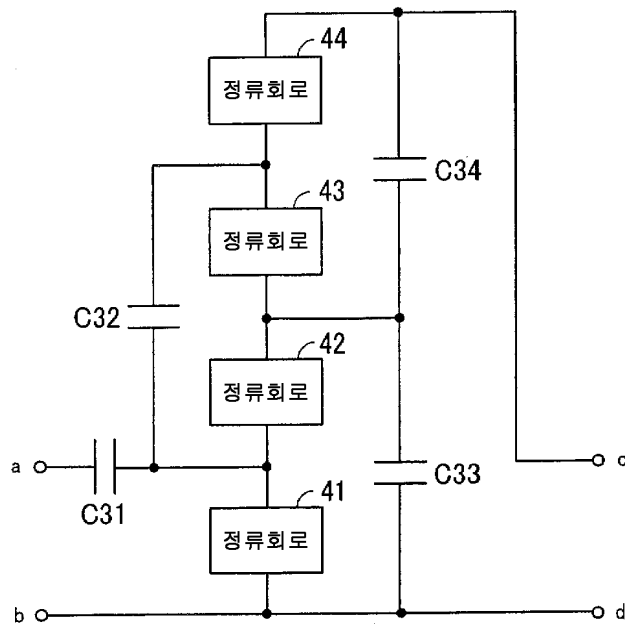
도면12



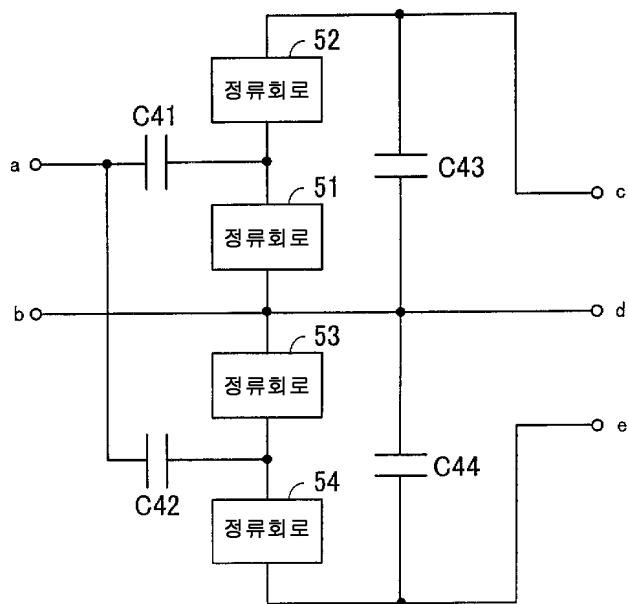
도면13



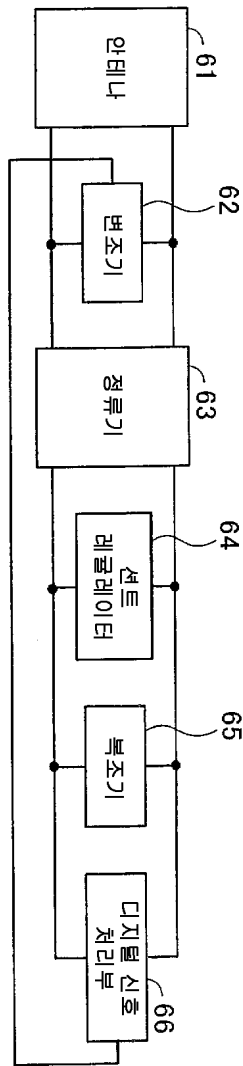
도면14



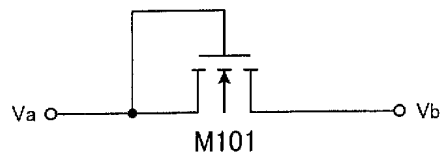
도면15



도면16



도면17



도면18

