(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월03일
(11) 등록번호 10-2259916
(24) 등록일자 2021년05월27일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) *G02F 1/1333* (2006.01)
G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/136227 (2013.01)
G02F 1/133345 (2013.01)
(21) 출원번호 10-2020-7010180(분할)
(22) 출원일자(국제) 2013년07월08일
심사청구일자 2020년04월08일
(85) 번역문제출일자 2020년04월08일
(65) 공개번호 10-2020-0039835
(43) 공개일자 2020년04월16일
(62) 원출원 특허 10-2015-7001579
원출원일자(국제) 2013년07월08일
심사청구일자 2018년07월04일
(86) 국제출원번호 PCT/JP2013/069230
(87) 국제공개번호 WO 2014/013958
국제공개일자 2014년01월23일
(30) 우선권주장
JP-P-2012-161726 2012년07월20일 일본(JP)
(56) 선행기술조사문헌
KR1020090003830 A*
KR1020100063660 A*
KR1020120023165 A*
KR1020120060745 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
요코야마 마사토시
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
고모리 시게키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
양영준, 박충범

전체 청구항 수 : 총 22 항 심사관 : 금복희

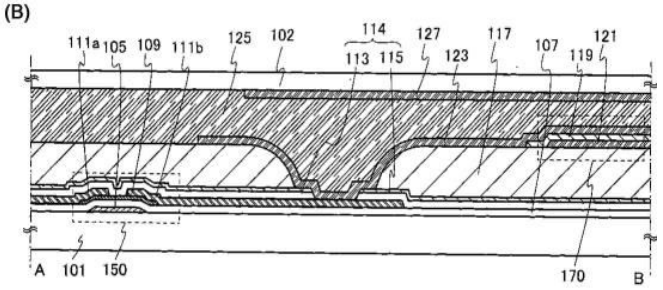
(54) 발명의 명칭 **표시 장치**

(57) 요 약

본 발명의 목적은, 표시 장치의 신뢰성을 향상시키도록 유기 절연막으로부터의 방출 가스로 인한 트랜지스터의 특성 변동을 억제하는 것이다. 표시 장치는 트랜지스터(150), 상기 트랜지스터(150)로 인한 요철을 저감하기 위하여 트랜지스터(150) 위에 제공된 유기 절연막(117), 및 유기 절연막(117) 위의 용량 소자(170)를 포함한다.

(뒷면에 계속)

대 표 도



유기 절연막(117)의 전체면이 트랜지스터(150)의 상측에서 용량 소자(170)의 구성 요소로 덮이지 않고, 유기 절연막(117)으로부터의 방출 가스가 유기 절연막(117)의 상면의 노출부로부터 외부로 방출될 수 있다.

(52) CPC특허분류
G02F 1/1368 (2013.01)
G02F 2202/02 (2013.01)

(72) 발명자
사토 마나부
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
오카자키 겐이치
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

표시 장치로서,

화소부를 포함하고,

상기 화소부는,

인듐, 갈륨 및 아연을 포함하는 반도체층을 포함하는 트랜지스터;

상기 트랜지스터 위의 제 1 무기 절연막;

상기 제 1 무기 절연막 위의 유기 절연막;

상기 유기 절연막 위의 제 1 투명 도전층;

상기 제 1 투명 도전층 위의 제 2 무기 절연막; 및

상기 제 2 무기 절연막을 개재하여 상기 제 1 투명 도전층 위에 있는 제 2 투명 도전층을 포함하고,

상기 제 2 투명 도전층은 개구에서 상기 트랜지스터의 소스 전극층 및 드레인 전극층 중 하나에 전기적으로 접속되고,

상기 개구는 상기 유기 절연막 및 상기 제 1 무기 절연막에 형성되고;

상기 제 2 무기 절연막의 단부는 상기 유기 절연막과 중첩되고,

상기 제 2 무기 절연막의 일부는 상기 제 1 무기 절연막의 단부 및 상기 유기 절연막의 단부를 넘어 연장되고,

상기 제 2 무기 절연막의 일부는 상기 소스 전극층 및 상기 드레인 전극층 중 하나와 접촉되고,

상기 유기 절연막은 상기 제 2 무기 절연막 및 상기 제 2 투명 도전층과 중첩되지 않는 영역을 포함하는, 표시 장치.

청구항 2

표시 장치로서,

화소부를 포함하고,

상기 화소부는,

인듐, 갈륨 및 아연을 포함하는 반도체층을 포함하는 트랜지스터;

상기 트랜지스터 위의 제 1 무기 절연막;

상기 제 1 무기 절연막 위의 유기 절연막;

상기 유기 절연막 위의 제 1 투명 도전층;

상기 제 1 투명 도전층 위의 제 2 무기 절연막;

상기 제 2 무기 절연막을 개재하여 상기 제 1 투명 도전층 위에 있는 제 2 투명 도전층; 및

상기 제 2 투명 도전층 위의 액정층을 포함하고,

상기 제 2 투명 도전층은 개구에서 상기 트랜지스터의 소스 전극층 및 드레인 전극층 중 하나에 전기적으로 접속되고,

상기 개구는 상기 유기 절연막 및 상기 제 1 무기 절연막에 형성되고;

상기 제 2 무기 절연막의 단부는 상기 유기 절연막과 중첩되고,

상기 제 2 무기 절연막의 일부는 상기 제 1 무기 절연막의 단부 및 상기 유기 절연막의 단부를 넘어 연장되고,

상기 제 2 무기 절연막의 일부는 상기 소스 전극층 및 상기 드레인 전극층 중 하나와 접촉되고,

상기 유기 절연막은 상기 제 2 무기 절연막 및 상기 제 2 투명 도전층과 중첩되지 않는 영역을 포함하고,

상기 제 1 무기 절연막의 일부는 상기 제 2 무기 절연막의 일부와 접촉되는, 표시 장치.

청구항 3

제 2 항에 있어서,

상기 액정층의 일부는 상기 유기 절연막의 일부와 접촉되는, 표시 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 2 무기 절연막과 상기 반도체층은 서로 중첩되지 않는, 표시 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 2 무기 절연막과 상기 트랜지스터의 게이트 전극층은 서로 중첩되지 않는, 표시 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 반도체층의 단부들은 상기 소스 전극층 및 상기 드레인 전극층과 접촉되는, 표시 장치.

청구항 7

표시 장치로서,

화소부를 포함하고,

상기 화소부는,

트랜지스터로서,

적층 구조를 갖는 게이트 전극층;

상기 게이트 전극층 위의 나노 결정 산화물 반도체층(nanocrystalline oxide semiconductor layer)으로서, 인듐, 갈륨 및 아연을 포함하는 상기 나노 결정 산화물 반도체층; 및

상기 나노 결정 산화물 반도체층 위의 소스 전극층 및 드레인 전극층으로서, 각각 적층 구조를 갖는 상기 소스 전극층 및 상기 드레인 전극층을 포함하는 상기 트랜지스터;

상기 트랜지스터 위의 제 1 무기 절연막으로서, 실리콘 및 산소를 포함하는 상기 제 1 무기 절연막;

상기 제 1 무기 절연막 위의 유기 절연막;

상기 유기 절연막 위의 제 1 투명 도전층으로서, 인듐 주석 산화물을 포함하는 상기 제 1 투명 도전층;

상기 제 1 투명 도전층 위의 제 2 무기 절연막으로서, 실리콘 및 질소를 포함하는 상기 제 2 무기 절연막; 및

상기 제 2 무기 절연막을 개재하여 상기 제 1 투명 도전층 위에 있는 제 2 투명 도전층으로서, 인듐 주석 산화물을 포함하는 상기 제 2 투명 도전층을 포함하고,

상기 제 2 투명 도전층은 개구에서 상기 소스 전극층 및 상기 드레인 전극층 중 하나에 전기적으로 접속되고,

상기 개구는 상기 유기 절연막 및 상기 제 1 무기 절연막에 형성되고;

상기 제 2 무기 절연막의 단부는 상기 유기 절연막과 중첩되고,

상기 제 2 무기 절연막의 일부는 상기 제 1 무기 절연막의 단부 및 상기 유기 절연막의 단부를 넘어 연장되고,

상기 제 2 무기 절연막의 일부는 상기 소스 전극층 및 상기 드레인 전극층 중 하나와 접촉되고,

상기 유기 절연막은 상기 제 2 무기 절연막 및 상기 제 2 투명 도전층과 중첩되지 않는 영역을 포함하는, 표시 장치.

청구항 8

제 7 항에 있어서,

상기 제 2 무기 절연막과 상기 나노 결정 산화물 반도체층은 서로 중첩되지 않는, 표시 장치.

청구항 9

제 7 항에 있어서,

상기 제 2 무기 절연막과 상기 게이트 전극층은 서로 중첩되지 않는, 표시 장치.

청구항 10

제 7 항에 있어서,

상기 나노 결정 산화물 반도체층의 단부들은 상기 소스 전극층 및 상기 드레인 전극층과 접촉되는, 표시 장치.

청구항 11

제 1 항, 제 2 항 및 제 7 항 중 어느 한 항에 있어서,

상기 제 1 무기 절연막은 적층 구조를 갖는, 표시 장치.

청구항 12

제 1 항, 제 2 항 및 제 7 항 중 어느 한 항에 있어서,

상기 제 1 무기 절연막은 알루미늄, 갈륨, 이트륨 및 하프늄 중 하나를 포함하는, 표시 장치.

청구항 13

반도체 장치로서,

채널 형성 영역을 포함하는 반도체층;

상기 채널 형성 영역과 중첩되는 게이트 전극;

상기 반도체층 및 상기 게이트 전극 위의 제 1 무기 절연막;

상기 제 1 무기 절연막 위의 유기 절연막;

상기 유기 절연막 위의 제 1 투명 도전층; 및

상기 유기 절연막 및 상기 제 1 투명 도전층 위에 있고, 상기 유기 절연막 및 상기 제 1 투명 도전층과 접촉되는 제 2 무기 절연막을 포함하고,

상기 유기 절연막은, 상기 제 2 무기 절연막 및 상기 제1 투명 도전층과 중첩되지 않고, 상기 제 1 무기 절연막 및 상기 반도체층과 중첩되는 영역을 포함하는, 반도체 장치.

청구항 14

제 13 항에 있어서,

상기 게이트 전극은 상기 반도체층 아래에 위치하는, 반도체 장치.

청구항 15

제 13 항에 있어서,

상기 반도체층은 산화물 반도체층인, 반도체 장치.

청구항 16

반도체 장치로서,

채널 형성 영역을 포함하는 산화물 반도체층;

상기 채널 형성 영역과 중첩되는 게이트 전극;

상기 산화물 반도체층 위에 있고, 상기 산화물 반도체층에 전기적으로 접속되는 제 1 도전층;

상기 산화물 반도체층 위에 있고, 상기 산화물 반도체층에 전기적으로 접속되는 제 2 도전층;

상기 산화물 반도체층, 상기 게이트 전극, 상기 제 1 도전층 및 상기 제 2 도전층 위의 제 1 무기 절연막;

상기 제 1 무기 절연막 위의 유기 절연막;

상기 유기 절연막 위의 제 1 투명 도전층;

상기 유기 절연막 위에 있고, 상기 유기 절연막과 접촉되는 제 2 무기 절연막으로서, 상기 제 1 투명 도전층 위에 위치하는 상기 제 2 무기 절연막;

상기 제 2 무기 절연막을 개재하여 상기 제 1 투명 도전층 위에 있는 제 2 투명 도전층; 및

상기 제 1 투명 도전층 및 상기 제 2 투명 도전층 위의 액정층을 포함하고,

상기 제 1 투명 도전층은 공통 전극이고,

상기 제 2 투명 도전층은, 상기 제 2 도전층을 통해 상기 산화물 반도체층에 전기적으로 접속되는 화소 전극이고,

상기 유기 절연막은, 상기 제 2 무기 절연막, 상기 제 1 투명 도전층 및 상기 제 2 투명 도전층과 중첩되지 않고, 상기 제 2 도전층, 상기 제 1 무기 절연막 및 상기 산화물 반도체층과 중첩되는 영역을 포함하는, 반도체 장치.

청구항 17

반도체 장치로서,

채널 형성 영역을 포함하는 산화물 반도체층;

상기 채널 형성 영역과 중첩되는 게이트 전극;

상기 산화물 반도체층 위에 있고, 상기 산화물 반도체층에 전기적으로 접속되는 제 1 도전층;

상기 산화물 반도체층 위에 있고, 상기 산화물 반도체층에 전기적으로 접속되는 제 2 도전층;

상기 산화물 반도체층, 상기 게이트 전극, 상기 제 1 도전층 및 상기 제 2 도전층 위의 제 1 무기 절연막;

상기 제 1 무기 절연막 위의 유기 절연막;

상기 유기 절연막 위의 제 1 투명 도전층;

상기 유기 절연막 위에 있고, 상기 유기 절연막과 접촉되는 제 2 무기 절연막으로서, 상기 제 1 투명 도전층 위에 위치하는 상기 제 2 무기 절연막;

상기 제 2 무기 절연막을 개재하여 상기 제 1 투명 도전층 위에 있는 제 2 투명 도전층; 및

상기 제 1 투명 도전층 및 상기 제 2 투명 도전층 위의 액정층을 포함하고,

상기 제 1 투명 도전층은 공통 전극이고,

상기 제 2 투명 도전층은, 상기 제 2 도전층을 통해 상기 산화물 반도체층에 전기적으로 접속되는 화소 전극이고,

상기 유기 절연막은, 상기 제 2 무기 절연막, 상기 제 1 투명 도전층 및 상기 제 2 투명 도전층과 중첩되지 않

고, 상기 제 2 도전층, 상기 제 1 무기 절연막 및 상기 산화물 반도체층과 중첩되는 영역을 포함하고,

상기 산화물 반도체층은 나노 결정 산화물 반도체를 포함하는, 반도체 장치.

청구항 18

제 16 항 또는 제 17 항에 있어서,

상기 게이트 전극은 상기 산화물 반도체층 아래에 위치하는, 반도체 장치.

청구항 19

제 15 항, 제 16 항 및 제 17 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 In-Ga-Zn 산화물을 포함하는, 반도체 장치.

청구항 20

제 13 항, 제 16 항 및 제 17 항 중 어느 한 항에 있어서,

상기 제 1 무기 절연막은 상기 제 2 무기 절연막과 접촉되는, 반도체 장치.

청구항 21

제 13 항, 제 16 항 및 제 17 항 중 어느 한 항에 있어서,

상기 제 2 무기 절연막은 실리콘 및 질소를 포함하는, 반도체 장치.

청구항 22

제 13 항, 제 16 항 및 제 17 항 중 어느 한 항에 있어서,

상기 유기 절연막은 유기 수지를 포함하는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 표시 장치 및 표시 장치의 제작 방법에 관한 것이다.

배 경 기 술

[0002] 액정 표시 장치나, 일렉트로루미네선스(EL)를 이용한 발광 표시 장치로 대표되는 플랫 패널 디스플레이 등의 표시 장치에 많이 사용되는 트랜지스터는 각각, 유리 기판 위에 형성된, 비정질 실리콘, 단결정 실리콘, 또는 다결정 실리콘 등의 반도체를 포함한다.

[0003] 상기 실리콘 반도체 대신에, 반도체 특성을 나타내는 산화물(이하, 산화물 반도체라고 함)이 트랜지스터에 사용되는 기술이 주목되고 있다.

[0004] 예를 들어, 산화물 반도체로서 In-Ga-Zn 산화물층을 사용하여 트랜지스터가 제작되고, 이 트랜지스터가 표시 장치의 화소의 스위칭 소자 등으로서 사용되는 기술이 개시(開示)되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 공개 특허 제2007-123861호

발명의 내용

해결하려는 과제

[0006] 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터에서, 수소 또는 수분 등의 불순물이 산화물 반도체에 진입하면, 캐리어가 생겨, 트랜지스터의 전기적 특성이 변동된다.

[0007] 그러므로 표시 장치에 포함되는 트랜지스터에서, 수소 또는 수분 등의 불순물이, 트랜지스터 위에 제공된 유기 절연막으로부터 트랜지스터의 반도체층에 의도하지 않게 진입하는 경우, 반도체층의 캐리어 밀도가 증가되어 트랜지스터의 특성이 변동된다.

[0008] 또한, 트랜지스터의 특성이 변동되면 표시 장치의 표시 품질 및 신뢰성이 저하된다는 문제가 있다.

[0009] 상술한 점에서, 본 발명의 일 형태의 목적은, 표시 장치에 포함되는 트랜지스터의 전기적 특성의 변동을 억제하여 신뢰성을 향상시키는 것이다. 다른 목적은, 트랜지스터를 포함하는 표시 장치의 표시 품질의 저하를 억제하여 신뢰성을 향상시키는 것이다.

과제의 해결 수단

[0010] 본 발명의 일 형태에 따른 표시 장치는, 트랜지스터, 상기 트랜지스터로 인한 요철을 저감하기 위하여 제공된, 트랜지스터 위의 유기 절연막, 및 유기 절연막 위의 용량 소자를 포함한다. 유기 절연막의 전체면이 용량 소자의 구성 요소(투명 도전층들 및 무기 절연막)로 덮이지 않는 구성에 의하여, 유기 절연막으로부터 방출되는 가스(방출 가스라고도 함)가 상기 유기 절연막의 상면의 일부로부터 상기 유기 절연막 외부로 방출될 수 있다.

[0011] 본 발명의 일 형태는, 트랜지스터; 트랜지스터를 덮는 제 1 무기 절연막; 제 1 무기 절연막 위의 유기 절연막; 유기 절연막 위의 제 1 투명 도전층; 제 1 투명 도전층 위의 제 2 무기 절연막; 제 2 무기 절연막을 개재(介在)하여 적어도 제 1 투명 도전층 위에 제공되고 유기 절연막 및 제 1 무기 절연막에 형성된 개구에서 트랜지스터의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되는 제 2 투명 도전층; 및 제 2 투명 도전층 위의 액정층을 포함하는 화소부를 포함하는, 표시 장치다. 화소부에서, 제 2 무기 절연막의 단부는 유기 절연막과 중첩되는 영역에 있다.

[0012] 제 2 무기 절연막의 단부가 유기 절연막과 중첩되는 영역에 있는 경우, 유기 절연막은 제 2 무기 절연막과 중첩되지 않는 영역을 갖는다. 그러므로 유기 절연막으로부터의 방출 가스는, 유기 절연막에서 제 2 무기 절연막과 중첩되지 않고 노출되는 영역으로부터 상방으로 방출될 수 있다.

[0013] 또한, 상술한 구성에서, 유기 절연막에서 제 2 무기 절연막과 중첩되지 않는 영역은 트랜지스터와 중첩되어도 좋다.

[0014] 본 발명의 다른 일 형태는, 트랜지스터; 트랜지스터를 덮는 제 1 무기 절연막; 제 1 무기 절연막 위의 유기 절연막; 유기 절연막 위의 제 1 투명 도전층; 제 1 투명 도전층 위의 제 2 무기 절연막; 제 2 무기 절연막을 개재하여 적어도 제 1 투명 도전층 위에 제공되고 유기 절연막 및 제 1 무기 절연막에 형성된 개구에서 트랜지스터의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되는 제 2 투명 도전층; 및 제 2 투명 도전층 위의 액정층을 포함하는 표시 장치다. 액정층 및 유기 절연막은 적어도 부분적으로 서로 접촉된다.

[0015] 또한, 상술한 바와 같은 구성에서, 액정층과 유기 절연막은 트랜지스터와 중첩되는 영역에서 서로 접촉되어도 좋다.

[0016] 트랜지스터는 산화물 반도체층에 채널이 형성되는 트랜지스터이어도 좋다.

[0017] 제 1 무기 절연막 및 제 2 무기 절연막 각각은 질화 실리콘막 또는 질화산화 실리콘막인 것이 바람직하다.

[0018] 유기 절연막은 아크릴을 포함하는 막이 바람직하다. 아크릴 등의 유기 수지를 사용함으로써 평탄한 면을 쉽게 얻을 수 있다.

[0019] 제 2 무기 절연막과, 제 1 투명 도전층 또는 제 2 투명 도전층 사이의 굴절률의 차이는, 제 1 투명 도전층 또는 제 2 투명 도전층의 굴절률의 10% 이하가 바람직하고, 5% 이하가 더 바람직하다. 또한, 유기 절연막의 굴절률과 투명 도전층의 굴절률 사이의 굴절률을 갖는 막이, 유기 절연막과 제 1 투명 도전층 사이에 형성되는 것이 바람직하다.

[0020] 표시 장치에서, 액정층에서의 배열은, 제 1 투명 도전층과 제 2 투명 도전층 사이에서 생긴 전계에 따라 제어된다.

[0021] 또한, 제 1 무기 절연막과 제 2 무기 절연막이 적어도 부분적으로 서로 접촉되는 것이 바람직하다.

발명의 효과

[0022] 본 발명의 일 형태에 따라, 표시 장치에 포함되는 트랜지스터의 전기적 특성의 변동을 억제할 수 있어, 높은 신뢰성을 얻을 수 있다. 또한, 트랜지스터를 포함하는 표시 장치의 표시 품질의 저하를 억제할 수 있어, 높은 신뢰성을 얻을 수 있다.

도면의 간단한 설명

[0023] 첨부 도면에서;

도 1의 (A)는 본 발명의 일 형태에 따른 표시 장치를 도시한 상면도이고 도 1의 (B)는 본 발명의 일 형태에 따른 표시 장치를 도시한 단면도.

도 2의 (A)~(C)는 각각 본 발명의 일 형태에 따른 표시 장치를 도시한 상면도.

도 3은 각 질량 대 전하비에서의 방출 가스의 이온 강도를 나타낸 것.

도 4는 기판 표면 온도에 대한 각 질량 대 전하비에서의 가스의 이온 강도를 나타낸 것.

도 5의 (A)는 본 발명의 일 형태에 따른 표시 장치를 도시한 상면도이고 도 5의 (B)는 본 발명의 일 형태에 따른 표시 장치를 도시한 단면도.

도 6의 (A)는 본 발명의 일 형태에 따른 이미지 센서의 예를 도시한 회로도이고 도 6의 (B)는 본 발명의 일 형태에 따른 이미지 센서의 예를 도시한 단면도.

도 7의 (A)~(C)는 본 발명의 일 형태에 따른 태블릿 단말의 예를 도시한 도면.

도 8의 (A)~(C) 각각은 본 발명의 일 형태에 따른 전자 기기의 예를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명의 실시형태를 첨부 도면을 참조하여 이하에서 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은, 당업자에 의하여 쉽게 이해된다. 따라서, 본 발명은 실시형태의 기재에 제한되어 해석(解釋)되지 않는다.

[0025] 또한, 이하에 설명되는 실시형태에서, 같은 부분은 도면간에서 같은 부호로 나타내어진다. 도면에 도시된 구성 요소의 두께, 폭, 상대적인 위치 관계 등은 실시형태의 설명을 명확하게 하기 위하여, 과장되는 경우가 있다.

[0026] 또한, 본 명세서 등에서의 "위" 등의 용어는, 구성 요소가 다른 구성 요소의 "바로 위"에 위치되는 것을 반드시 가리키지 않는다. 예를 들어, "절연막 위의 게이트 전극층"이라는 표현은 절연막과 게이트 전극층 사이에 추가적으로 구성 요소가 있는 경우를 가리킬 수 있다. "아래"에 대해서도 마찬가지다.

[0027] 본 명세서 등에 있어서 "전극층"이나 "배선층"이라는 용어는, 이들 구성 요소의 기능을 한정하지 않는다. 예를 들어, "전극층"은 "배선층"의 일부로서 사용될 수 있고, "배선층"은 "전극층"의 일부로서 사용될 수 있다. 또한, 예를 들어, "전극층"이나 "배선층"이라는 용어는, 복수의 "전극층"이나 "배선층"의 조합도 가리킬 수 있다.

[0028] 예를 들어, "소스" 및 "드레인"의 기능은, 반대 극성의 트랜지스터가 사용되거나 회로 동작에서 전류가 흐르는 방향이 바뀌는 경우에 서로 전환되는 경우가 있다. 또한, 본 명세서에서 "소스" 및 "드레인"이라는 용어는 서로 전환될 수 있다.

[0029] 또한, 본 명세서 등에서 "전기적으로 접속"이라는 용어는, 구성 요소가 어떤 전기적 작용을 갖는 것을 통하여 접속되는 경우를 포함한다. 여기서, "어떤 전기적 작용을 갖는 것"은, 그것을 통하여 접속되는 구성 요소 사이를 전기 신호가 송수신될 수 있으면, 특별히 한정되지 않는다.

[0030] "어떤 전기적 작용을 갖는 것"의 예는 전극 및 배선이다.

[0031] (실시형태 1)

[0032] 본 실시형태에서, 본 발명의 일 형태에 따른 표시 장치에 대하여 도면을 참조하여 설명한다. 도 2의 (A)~(C)는 각각 본 실시형태의 표시 장치를 도시한 상면도다.

[0033] 도 2의 (A)는 본 발명의 일 형태에 따른 표시 장치를 도시한 상면도다. 도 2의 (A)에서, 제 1 기판(101) 위에

제공된 화소부(1000)를 둘러싸도록, 실재(sealant)(1001)가 제공되고, 제 2 기판(102)을 사용하여 밀봉된다. 도 2의 (A)에서, 제 1 기판(101) 위의 실재(1001)에 의하여 둘러싸인 영역과 다른 영역에서, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 각각 형성된 주사선 구동 회로(1004) 및 신호선 구동 회로(1003)가 실장된다. 다양한 신호나 전위는, FPC(Flexible Printed Circuit)(1018a) 및 FPC(1018b)로부터, 각각 별도로 형성된 신호선 구동 회로(1003), 주사선 구동 회로(1004), 및 화소부(1000)에 공급된다.

[0034] 또한, 별도로 형성된 구동 회로의 접속 방법은 특별히 한정되지 않고, COG(Chip On Glass) 방법, 와이어 본딩 방법, TAB(Tape Automated Bonding) 방법 등이 이용될 수 있다. 도 2의 (A)에 COG 방법에 의하여 신호선 구동 회로(1003) 및 주사선 구동 회로(1004)가 실장되는 예를 도시하였다.

[0035] 또한, 표시 장치는, 표시 소자가 밀봉되는 패널, 및 컨트롤러를 포함하는 IC 등이 상기 패널에 실장된 모듈을 포함한다.

[0036] 또한, 본 명세서에서의 표시 장치란, 화상 표시 장치, 표시 장치, 또는 광원(조명 장치를 포함)을 가리킨다. 또한, FPC, TAB 테이프, 또는 TCP 등의 커넥터가 장착된 모듈, TAB 테이프 또는 끝에 프린트 배선판이 제공된 TCP를 갖는 모듈, 및 COG 방법에 의하여 표시 소자에 IC(Integrated Circuit)가 직접 실장된 모듈도 표시 장치의 범주에 포함된다.

[0037] 또한, 본 실시형태에서 설명하는 표시 장치의 구성은 상술한 구성에 한정되지 않는다. 도 2의 (B)에 도시된 바와 같이, 제 1 기판(101) 위에 제공된 화소부(1000) 및 주사선 구동 회로(1004)를 둘러싸도록 실재(1001)가 제공되어도 좋다. 제 2 기판(102)은 화소부(1000) 및 주사선 구동 회로(1004) 위에 제공되어도 좋다. 따라서 화소부(1000) 및 주사선 구동 회로(1004)는, 제 1 기판(101), 실재(1001), 및 제 2 기판(102)에 의하여 표시 소자와 함께 밀봉된다.

[0038] 실재(1001)로서는, 대표적으로, 가시광 경화성 수지, 자외선 경화성 수지, 또는 열경화성 수지를 이용하는 것이 바람직하다. 대표적으로는, 아크릴 수지, 에폭시 수지, 아민 수지 등을 사용할 수 있다. 또한, 광 중합 개시제(대표적으로는 자외선 광 중합 개시제), 열 경화제, 필러, 또는 커플링제가 실재(1001)에 포함되어도 좋다.

[0039] 도 2의 (B) 및 (C)에서, 제 1 기판(101) 위의 실재(1001)에 의하여 둘러싸인 영역과 다른 영역에, 별도로 준비된 기판 위의 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 신호선 구동 회로(1003)가 실장된다. 또한, 다양한 신호 및 전위는, FPC(1018)로부터 별도로 형성된 신호선 구동 회로(1003)와, 주사선 구동 회로(1004) 및 화소부(1000)에 공급된다.

[0040] 또한, 도 2의 (B)에, 신호선 구동 회로(1003)가 별도로 형성되고 제 1 기판(101)에 실장되는 예를 도시하였고, 도 2의 (C)에 신호선 구동 회로(1003)가 FPC(1018) 상에 실장되는 예를 도시하였다. 또한, 본 실시형태의 표시 장치의 구성은 상기 구성에 한정되지 않는다. 주사선 구동 회로는 별도로 형성되고 나서 실장되어도 좋고, 또는 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별도로 형성되고 나서 실장되어도 좋다.

[0041] 도 1의 (A) 및 (B)에 본 발명의 일 형태에 따른 표시 장치의 화소부(1000)에 포함되는 한 화소를 도시하였다. 도 1의 (A)는 화소부(1000)에 포함되는 화소의 일부를 도시한 상면도이고, 도 1의 (B)는 도 1의 (A)에서의 일점쇄선 A-B를 따른 단면도다.

[0042] 본 발명의 일 형태에 따른 표시 장치에 포함되는 화소부는, 제 1 기판(101) 위에 제공된 트랜지스터(150); 트랜지스터(150) 위의 제 1 무기 절연막(114)(무기 절연막(113) 및 무기 절연막(115)의 적층); 제 1 무기 절연막(114) 위의 유기 절연막(117); 유기 절연막(117) 위의 용량 소자(170); 유기 절연막(117) 및 용량 소자(170) 위의 액정층(125); 액정층(125) 위의 제 2 기판(102); 및 제 2 기판(102)에 제공된 투명 도전층(127)을 포함한다. 용량 소자(170)는 투명 도전층(121), 투명 도전층(123), 및 투명 도전층(121)과 투명 도전층(123) 사이에 개재된 제 2 무기 절연막(119)을 포함한다.

[0043] 또한, 도 1의 (B)에서 알다시피, 제 2 무기 절연막(119)의 단부는 유기 절연막(117)과 중첩되는 영역에 있다. 따라서, 제 2 무기 절연막(119)과 유기 절연막(117)이 서로 중첩되지 않는 영역이 있으므로 유기 절연막(117)으로부터의 방출 가스가 유기 절연막(117)의 노출되는 영역으로부터 상방으로 방출될 수 있다. 또한, 제 2 무기 절연막(119)은 트랜지스터(150)와 중첩되는 영역에 제공되지 않고, 유기 절연막(117)과 제 2 무기 절연막(119)이 서로 중첩되지 않고 유기 절연막(117)이 노출되는 영역이 트랜지스터(150)와 중첩된다. 또한, 유기 절연막(117)은 제 2 무기 절연막(119), 투명 도전층(121), 및 투명 도전층(123)과 중첩되지 않는, 노출되는 영역을 갖는다.

[0044] 본 발명의 일 형태에 따른 표시 장치는 유기 절연막(117) 위에 제 2 무기 절연막(119)이 제공되지 않고, 유기 절연막(117)의 상면의 일부가 노출되고, 유기 절연막(117)의 방출 가스가 유기 절연막(117)의 상면의 일부로부터 외부로 방출되는 영역을 갖는다. 그러므로 방출 가스가 트랜지스터 측에 진입되는 것을 방지하고 트랜지스터(150)의 특성이 변동되기 어려워서 표시 품질의 저하가 방지된, 신뢰성이 높은 표시 장치를 얻을 수 있다.

[0045] 트랜지스터(150)는, 제 1 기판(101) 위의 게이트 전극층(105); 게이트 전극층(105)을 덮는 게이트 절연층(107); 게이트 절연층(107) 위의 반도체층(109); 반도체층(109)에 접촉되는 소스 전극층(111a) 및 드레인 전극층(111b)을 포함한다.

[0046] 트랜지스터(150)에서의 반도체층에는, 실리콘계 반도체(비정질 실리콘, 다결정 실리콘 등), 산화물 반도체(산화아연, 산화 인듐 등) 등이 사용될 수 있다. 본 실시형태에서, 반도체층(109)에 사용되는 바람직한 반도체로서 산화물 반도체가 사용되는 경우를 설명한다.

[0047] 무기 절연막(113) 및 무기 절연막(115)은 제 1 무기 절연막(114)으로서 트랜지스터(150) 위에 형성된다. 또한, 제 1 무기 절연막(114)의 구성은 이들에 한정되지 않고, 필요한 기능에 따라 절연막의 단층 구조 또는 이들의 적층 구조로 하여도 좋다.

[0048] 트랜지스터(150) 위에 제공되는 무기 절연막(113)으로서, 산화 실리콘, 산화 갈륨, 산화 알루미늄, 산화질화 실리콘, 질화산화 실리콘, 산화 하프늄, 산화 탄탈럼 등의 산화물 절연층을 사용할 수 있다. 또한, 무기 절연막(113)은 이들 화합물을 사용하여 단층 구조 또는 2층 이상의 적층 구조로 형성될 수 있다.

[0049] 여기서 산화질화 실리콘이란, 질소보다 산소의 함유량이 많은 것을 말하며, 예컨대 산소가 50atomic% 이상 70atomic% 이하, 질소가 0.5atomic% 이상 15atomic% 이하, 실리콘이 25atomic% 이상 35atomic% 이하의 범위의 농도로 포함되는 산화질화 실리콘을 가리킨다. 또한, 산소, 질소, 및 실리콘의 비율은, RBS(Rutherford backscattering spectrometry) 또는 HFS(Hydrogen Forward Scattering)를 사용하여 측정한 경우에 상술한 범위 내에 들어간다. 또한, 구성 원소의 비율의 합이 100atomic%를 초과하지 않는다.

[0050] 무기 절연막(113) 위의 무기 절연막(115)은, 수소 등의 불순물이 반도체층(109)에 진입되는 것을 방지하는 기능(이하, 이 기능은 수소 블로킹성이라고도 함) 및 산화물 반도체층 중의 산소 등이 방출되는 것을 방지하는 기능을 갖는 층이다. 산소, 수소, 물 등에 대한 블로킹 효과를 갖는 무기 절연막(115)에 의하여, 반도체층(109)으로부터 외부로의 산소 확산, 및 유기 절연막(117) 및 외부로부터 반도체층(109)으로의 수소 등의 불순물 진입을 방지할 수 있다.

[0051] 산소, 수소, 물 등에 대한 블로킹 효과를 갖는 절연막으로서는 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화질화 갈륨막, 산화 이트륨막, 산화질화 이트륨막, 산화 하프늄막, 산화질화 하프늄막을 예로서 들 수 있다.

[0052] 트랜지스터(150)로 인한 요철을 저감하기 위한 평탄화 절연층으로서 기능하는 유기 절연막(117)이 무기 절연막(115) 위에 제공된다. 평탄화 절연층은 평탄화 절연층 위에 제공되는 액정층의 배향 불량 등을 방지하고 표시 품질을 향상시키기 위하여 제공된다. 유기 절연막이 평탄화 절연층으로서 사용되면 평탄한 면을 쉽게 얻을 수 있다.

[0053] 유기 절연막(117)에는, 예컨대, 아크릴 수지, 폴리이미드, 벤조사이클로부텐계 수지, 폴리아마이드, 또는 에폭시 수지 등의, 내열성을 갖는 유기 재료가 사용될 수 있다. 또한, 이들 재료 중 어느 것으로부터 형성되는 복수의 절연막을 적층시킴으로써 유기 절연막(117)을 형성하여도 좋다.

[0054] 용량 소자(170)가 유기 절연막(117) 위에 형성된다. 용량 소자(170)는, 유기 절연막(117) 위의 투명 도전층(121), 투명 도전층(121) 위의 제 2 무기 절연막(119), 및 제 2 무기 절연막(119) 위의 투명 도전층(123)을 포함한다. 용량 소자(170)의 투명 도전층(123)은, 제 1 무기 절연막(114) 및 유기 절연막(117)에 제공되는 개구에서 트랜지스터(150)의 드레인 전극층(111b)과 접촉된다.

[0055] 유기 절연막(117) 위의 용량 소자(170)는 투명 도전층(121), 제 2 무기 절연막(119), 및 투명 도전층(123)으로 형성된다. 즉, 투명 도전층(121)은 용량 소자(170)의 한쪽 전극으로서 기능하고, 투명 도전층(123)은 용량 소자(170)의 다른 쪽 전극으로서 기능하고, 제 2 무기 절연막(119)은 용량 소자(170)의 유전체로서 기능한다.

[0056] 용량 소자(170)의 축적 용량은, 소정의 기간 동안 전하가 유지될 수 있도록 트랜지스터(150)의 누설 전류 등을 고려하여 설정된다. 축적 용량은 트랜지스터의 오프 전류 등을 고려하여 설정되어도 좋다. 산화물 반도체막을 포함하는 트랜지스터를 사용함으로써, 각 화소의 액정 용량의 1/3 이하, 바람직하게는 1/5 이하의 용량을 갖는

축적 용량이 되면 충분하다.

[0057] 산화물 반도체층을 포함하는 트랜지스터에서, 오프 상태에서의 전류(오프 전류)를 작게 할 수 있다. 따라서, 화상 신호 등의 전기 신호가 오랫동안 유지될 수 있고, 온 상태에서 기록 간격을 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 저감할 수 있어, 소비 전력을 억제하는 효과가 있다. 또한, 산화물 반도체층을 사용한 트랜지스터는, 높은 전계 효과 이동도를 나타내도록 제어될 수 있어, 고속으로 구동할 수 있다.

[0058] 투명 도전층(121) 및 투명 도전층(123) 각각은 가시광 투광성을 갖는 재료를 사용하여 형성된다. 투광성 재료로서는, 산화 인듐, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 갈륨이 첨가된 산화 아연, 그래핀 등이 사용될 수 있다. 또한, 여기서, "투명"이란, 가시광에 대한 투광성을 갖는 것을 가리키고, 가시광을 투과하는 물체를 투명 물체로 부른다. 또한, 광이 산란되더라도 광의 일부를 투과하는 물체는 투명 물체로 부른다. 또한, 가시광 파장 영역의 다른 일부에서 광을 반사하더라도, 가시광 파장 영역의 일부에서의 광을 적어도 투과하면, 물체를 투명 도전층으로 부를 수 있다. 용량 소자(170)가 투명 재료를 사용하여 형성되는 경우, 개구율을 상승할 수 있다.

[0059] 여기서, 유기 절연막(117)에 사용되는 유기 수지의 대표적인 예인 아크릴 수지로부터의 방출 가스를 조사하여 얻은 결과를 나타낸다.

[0060] 시료로서, 유리 기판 상에 아크릴 수지가 도포되고, 250℃의 질화 가스 분위기하에서 1시간 가열 처리를 수행하였다. 또한, 아크릴 수지는 가열 처리를 수행한 후에 1.5μm의 두께를 갖도록 형성되었다.

[0061] 제작된 시료로부터의 방출 가스의 측정을 TDS(Thermal Desorption Spectroscopy)에 의하여 수행하였다.

[0062] 도 3에 기판 표면 온도가 250℃일 때의 각 질량 대 전하비(M/z라고도 함)에서의 방출 가스의 이온 강도를 나타내었다. 도 3에 나타낸 바와 같이, 물에 기인한 것으로 보이는 18의 질량 대 전하비를 갖는 이온의 가스(H_2O 가스)와, 탄화 수소에 기인한 것으로 보이는, 28의 질량 대 전하비를 갖는 이온의 가스(C_2H_4 가스), 44의 질량 대 전하비를 갖는 이온의 가스(C_3H_8 가스), 및 56의 질량 대 전하비를 갖는 이온의 가스(C_4H_8 가스)가 검출되었다. 또한, 질량 대 전하비 각각의 근방에 가스의 프래그먼트 이온이 검출되었다.

[0063] 도 4에 기판 표면 온도에 대한 각 질량 대 전하비(18, 28, 44, 및 56)에서의 가스의 이온 강도를 나타내었다. 기판 표면 온도가 55℃~270℃의 범위인 경우, 물에 기인한 것으로 보이는 18의 질량 대 전하비를 갖는 이온 강도는 55℃ 이상 100℃ 이하, 및 150℃ 이상 270℃ 이하의 범위에 피크를 갖는 것을 알 수 있다. 한편으로 탄화 수소에 기인한 것으로 보이는 28, 44, 및 56의 질량 대 전하비를 갖는 이온 강도는 150℃ 이상 270℃ 이하의 범위에 피크를 갖는 것을 알 수 있다.

[0064] 상술한 바와 같이, 산화물 반도체막에서 불순물로서 기능하는 물, 탄화 수소 등은 유기 수지로부터 방출되는 것을 알았다. 특히, 물은 55℃ 이상 100℃ 이하의 비교적 낮은 온도에서도 방출되는 것을 알았다. 즉, 비교적 낮은 온도에서도 유기 수지에 기인하는 불순물이 산화물 반도체막에 도달하고, 트랜지스터의 전기적 특성을 열화시키는 것이 시사된다.

[0065] 또한, 유기 수지가 물, 탄화 수소 등의 방출 가스를 투과시키지 않는 막(예를 들어, 질화 실리콘막, 질화산화 실리콘막, 또는 산화 알루미늄막)으로 덮인 경우, 유기 수지로부터의 가스의 방출이, 물, 탄화 수소 등의 방출 가스를 투과시키지 않는 막에 가해지는 압력을 높이고, 최종적으로 물, 탄화 수소 등의 방출 가스를 투과시키지 않는 막을 파괴하여 트랜지스터의 형상 결함의 원인이 될 수 있다는 것도 시사된다.

[0066] 투명 도전층(121)과 투명 도전층(123) 사이에 개재된 제 2 무기 절연막(119)은 제 1 무기 절연막(114)과 같은 재료를 사용하여 형성될 수 있다. 제 2 무기 절연막(119)은 용량 소자(170)의 유전체로서 기능하기 때문에 용량 소자(170)에 필요한 유전율을 갖는 재료를 사용하여 형성되어도 좋다. 예를 들어, 산화 실리콘막 등보다 비유전율이 높은 질화 실리콘막을 사용하여 전극의 단위 면적당 정전 용량을 증가할 수 있다.

[0067] 또한, 투명 도전층(121) 또는 투명 도전층(123)과 제 2 무기 절연막(119) 사이의 굴절률의 차이가, 투명 도전층(121) 또는 투명 도전층(123)의 굴절률의 바람직하게는 10% 이하, 더 바람직하게는 5% 이하인 절연층을 사용하는 것이 바람직하다. 투명 도전층(121) 또는 투명 도전층(123)과 제 2 무기 절연막(119) 사이의 굴절률의 차이가 작으면 제 2 무기 절연막(119)과 투명 도전층(121) 사이의 계면 또는 제 2 무기 절연막(119)과 투명 도전층(123) 사이의 계면에서 일어나는 광의 전반사가 억제되어 광의 손실을 저감할 수 있다.

[0068] 또한, 마찬가지로, 유기 절연막(117)과 투명 도전층(121) 사이의 계면에서의 전반사를 방지하기 위하여, 유기

절연막(117)과 투명 도전층(121)의 굴절률 사이의 굴절률을 갖는 절연막이 유기 절연막(117)과 투명 도전층(121) 사이에 형성되어도 좋다. 또는, 상술한 바와 같은 복수의 절연막이 형성되고, 굴절률이 유기 절연막(117)으로부터 투명 도전층(121)으로 단계적으로 변화되는 구성이 채용되어도 좋다.

[0069] 예를 들어, 유기 절연막으로서 일반적으로 사용되는 아크릴 수지의 굴절률은 1.49 정도이고, 투명 도전층(121)으로서 일반적으로 사용되는 인듐 주석 산화물의 굴절률은 2.0다. 따라서 유기 절연막(117)과 투명 도전층(121) 사이에 제공되는 절연막으로서는 1.5 이상 1.9 이하, 바람직하게는 1.6 이상 1.7 이하의 굴절률을 갖는 절연막이 바람직하게 사용된다. 상술한 절연막의 적층 구조가 채용되어도 좋다.

[0070] 투명 도전층(121) 및 투명 도전층(123)에 사용되는 인듐 아연 산화물의 굴절률은 2.0다. 인듐 아연 산화물과 실질적으로 같은 굴절률을 갖는 재료인, 2.03 정도의 굴절률을 갖는 질화 실리콘의 막을 제 2 무기 절연막(119)으로서 바람직하게 사용할 수 있다.

[0071] 또한, 제 2 무기 절연막(119)이 투명 도전층(121) 및 투명 도전층(123)과 함께 용량 소자를 형성하고, 용량 소자(170)의 유전체로서 기능하면, 제 2 무기 절연막(119)의 형상에 한정은 없다. 유기 절연막(117)으로부터의 방출 가스를 투과시키지 않는 막(예컨대, 질화 실리콘막 또는 질화산화 실리콘막)이 제 2 무기 절연막(119)으로서 사용되는 경우, 유기 절연막(117)의 전체면을 덮도록 제 2 무기 절연막(119)이 형성되면 유기 절연막(117)으로부터 방출되는 가스가 트랜지스터(150) 측에 확산되어 트랜지스터(150)의 특성을 변화시키는 경우가 있다.

[0072] 또는, 유기 절연막(117)으로부터의 방출 가스가 방출되지 않아 유기 절연막(117)으로부터 제 1 무기 절연막(114) 및 제 2 무기 절연막(119)에 인가되는 압력이 높게 되고, 이로 인하여 형상 결함 및 제 2 무기 절연막(119)의 파괴가 일어나는 경우가 있다. 예를 들어, 형상 결함에 의하여 제 2 무기 절연막(119)은, 막 밀도가 낮은 영역 및 막이 부분적으로 소실되는 영역을 갖는 경우가 있다. 이런 영역이 형성되면, 반도체층(109)에 수소 등의 불순물이 쉽게 진입되어 트랜지스터(150)의 특성이 변동되는 경우가 있다.

[0073] 따라서 제 2 무기 절연막(119)은 유기 절연막(117)으로부터의 가스가 상방(트랜지스터(150)와 반대 측 방향)으로 방출되도록 형성되는 것이 바람직하다. 구체적으로 말하면, 제 2 무기 절연막(119)의 단부는 유기 절연막(117)과 중첩되는 영역에 있는 것이 바람직하다. 제 2 무기 절연막(119)의 단부가 유기 절연막(117)과 중첩되는 영역에 있는 경우, 유기 절연막(117)의 전체면이 무기 절연막(113) 및 제 2 무기 절연막(119)으로 덮이지 않아, 유기 절연막(117)은, 유기 절연막(117)으로부터 방출 가스가 방출되는 노출부를 갖는다.

[0074] 여기서, 유기 절연막(117)의 노출부란, 적어도 제 2 무기 절연막(119)과 중첩되지 않는 유기 절연막(117)의 영역을 가리킨다. 유기 절연막(117)이 노출부를 갖는 경우, 유기 절연막(117)으로부터의 방출 가스가 상방으로 방출될 수 있어 불순물이 트랜지스터(150)에 진입되는 것을 방지할 수 있다.

[0075] 또한, 유기 절연막(117)의 노출되는 영역은 화소부(1000)의 어느 곳에 제공되어도 좋지만, 유기 절연막(117)으로부터 방출되는 가스는 수소 등의 불순물을 포함하기 때문에, 유기 절연막(117)으로부터 방출되는 가스가 트랜지스터(150) 측에 진입되지 않도록 유기 절연막(117)의 노출되는 영역이 제공되는 것이 바람직하다.

[0076] 예를 들어, 유기 절연막(117)은, 트랜지스터(150)와 중첩되는 유기 절연막(117)의 영역에서 노출되는 영역을 적어도 일부에 가져도 좋다. 예를 들어, 유기 절연막(117)은 트랜지스터(150)의 소스 전극층(111a) 또는 드레인 전극층(111b)의 일부와 중첩되는 영역에서 노출되어도 좋다. 또는 유기 절연막(117)의 적어도 일부가, 유기 절연막(117)과 반도체층(109)이 서로 중첩되는 영역에서 노출되어도 좋다.

[0077] 또한, 유기 절연막(117)으로부터의 가스가, 트랜지스터(150)에 포함되는 반도체층(109)과 대향하는, 유기 절연막(117)의 표면과 반대 면으로부터 방출되도록 유기 절연막(117)의 노출되는 영역이 반도체층(109)과 대향하지 않는, 유기 절연막(117)의 표면에 형성되어도 좋다. 또는 반도체층(109)과 대향하지 않는, 유기 절연막(117)의 표면(예를 들어, 도 1의 (B) 중 액정층(125)과 접촉되는 영역)이 반도체층(109)과 대향하는 유기 절연막(117)의 표면보다 노출되는 영역을 많이 갖는 것이 바람직하다.

[0078] 또는, 유기 절연막(117)과 실재(1001)(미도시)가 서로 접촉되지 않고, 방출 가스가 유기 절연막(117)의 측면(실재(1001)와 대향하는 표면)으로부터 방출될 수 있도록, 절연층, 투명 도전층 등이 형성되지 않고, 유기 절연막(117)의 측면이 노출되는 영역을 갖는 구성이 채용되어도 좋다. 또한, 유기 절연막(117)의 단부는 제 2 무기 절연막(119)으로 덮여도 좋다.

[0079] 본 실시형태에 기재된 표시 장치에서, 트랜지스터 위에 제공된 유기 절연막으로부터 방출되는 가스가 트랜지스터 측에 진입되지 않도록 유기 절연막의 노출부가 트랜지스터 위에 제공된다. 노출부는 상기 유기 절연막 위에

형성된, 무기 절연막과 중첩되지 않는 영역이다. 무기 절연막이 노출부와 접촉되지 않도록 형성되기 때문에 유기 절연막으로부터의 가스가 노출부로부터 방출될 수 있다. 따라서 유기 절연막으로부터 방출되는, 수소 등의 불순물을 포함하는 가스가 산화물 반도체층에 진입되는 것을 방지할 수 있고, 트랜지스터의 특성이 변동되는 것을 방지할 수 있어, 높은 표시 품질과 높은 신뢰성을 갖는 표시 장치를 얻을 수 있다.

[0080] 트랜지스터(150)는 제 1 기판(101) 위에 게이트 전극층(105)을 포함한다.

[0081] 제 1 기판(101)은, 적어도, 나중에 수행되는 가열 처리에 견딜 수 있을 만큼 내열성을 가질 필요가 있다. 예를 들어, 바륨 보로실리케이트 유리나 알루미노 보로실리케이트 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판을 사용할 수 있다.

[0082] 또한, 제 1 기판(101)은, 제 1 기판(101)의 변형점보다 낮은 온도에서 미리 가열 처리를 수행함으로써, 수축(열수축이라고도 함)시키는 것이 바람직하고, 이로써 표시 장치의 제작 공정에서 수행되는 가열 처리에 의하여 제 1 기판(101)에 생기는 수축량을 저감할 수 있다. 따라서, 예컨대 노광 공정 등에서의 패턴의 어긋남을 억제할 수 있다. 또한, 제 1 기판(101) 표면에 부착된 수분, 유기물 등을 상기 가열 처리에 의하여 제거할 수 있다.

[0083] 또한, 실리콘, 탄소화 실리콘 등으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 또는 실리콘 저마늄 등으로 이루어진 화합물 반도체 기판 위에 절연층이 형성된 기판을 사용할 수도 있다.

[0084] 게이트 전극층(105)은, 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데넘, 및 텅스텐으로부터 선택된 금속 원소; 상술한 금속 원소 중 어느 것을 구성 요소로서 포함하는 합금; 상술한 금속 원소 중 어느 것을 조합하여 포함하는 합금 등을 사용하여 형성될 수 있다. 또한, 망가니즈 및 지르코늄으로부터 선택된 하나 이상의 금속 원소가 사용되어도 좋다. 또한, 게이트 전극층(105)은 단층 구조 또는 2층 이상의 적층 구조를 가져도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 타이타늄막이 적층된 2층 구조, 질화 타이타늄막 위에 타이타늄막이 적층된 2층 구조, 질화 타이타늄막 위에 텅스텐막이 적층된 2층 구조, 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막이 적층된 2층 구조, 타이타늄막, 알루미늄막, 및 타이타늄막이 이 차례로 적층된 3층 구조 등을 들 수 있다. 또는, 알루미늄과, 타이타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 및 스칸듐 중으로부터 선택된 하나 이상의 원소를 포함하는 막, 합금막, 또는 질화막이 사용되어도 좋다.

[0085] 게이트 전극층(105)의 저항을 저감하고, 충분한 내열성을 확보하기 위하여 타이타늄, 몰리브데넘, 또는 텅스텐 등의 고융점 금속의 막, 또는 이들 금속 중 어느 것의 질화막(질화 타이타늄막, 질화 몰리브데넘막, 또는 질화 텅스텐막)이, 낮은 저항률을 갖는, 알루미늄, 구리 등의 금속의 막 위 및 아래의 한쪽 또는 양쪽에 적층된 구조를 채용하여도 좋다.

[0086] 게이트 전극층(105)은, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성 도전성 재료를 사용하여 형성될 수도 있다. 상술한 투광성 도전성 재료 및 상술한 금속 원소를 사용하여 형성된 적층 구조를 가질 수도 있다.

[0087] 또한, 게이트 전극층(105)과 게이트 절연층(107) 사이에, In-Ga-Zn계 산질화물 반도체막, In-Sn계 산질화물 반도체막, In-Ga계 산질화물 반도체막, In-Zn계 산질화물 반도체막, Sn계 산질화물 반도체막, In계 산질화물 반도체막, 금속 질화물(InN, 또는 ZnN 등)의 막 등이 제공되어도 좋다. 이들 막은 각각 산화물 반도체의 전자 친화력보다 높은, 5eV 이상, 바람직하게는 5.5eV 이상의 일함수를 갖는다. 따라서 산화물 반도체를 포함하는 트랜지스터의 문턱 전압은 플러스 방향으로 시프트될 수 있고, 소위 노멀리-오프의 스위칭 소자를 구현할 수 있다. 예를 들어, In-Ga-Zn계 산질화물 반도체막을 사용하는 경우, 적어도 산화물 반도체막보다 높은 질소 농도, 구체적으로는 7at.% 이상의 질소 농도를 갖는 In-Ga-Zn계 산질화물 반도체막이 사용된다.

[0088] 게이트 절연층(107)은, 예컨대 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, Ga-Zn계 금속 산화물 등을 사용하여 단층 또는 적층으로 형성되어도 좋다.

[0089] 또한, 게이트 절연층(107)은 산화물 반도체와 접촉되기 때문에, 게이트 절연층(107)은, 수소 농도가 저감되고, 산화물 반도체에 수소가 진입되는 것을 억제하고, 산화물 반도체에서의 산소 빈자리에 산소를 공급할 수 있는 막인 것이 바람직하다. 예를 들어, 산소를 공급하는 막은, 막(벌크) 내에 적어도 화학량론적 조성에서의 산소량을 넘는 양의 산소를 포함하는 것이 바람직하다. 예를 들어, 게이트 절연층(107)으로서 산화 실리콘막이 사용되는 경우, 게이트 절연층(107)의 조성식은 $SiO_{2+\alpha}$(α>0)이다.

[0090] 화학량론적 조성에서의 산소량을 넘는 양의 산소를 포함하는 절연막으로부터, 가열에 의하여 산소의 일부가 방출된다. 따라서 가열에 의하여 산소의 일부가 방출되는 절연막이 게이트 절연층(107)으로서 제공되면, 산소가 산화물 반도체에 공급되어 산화물 반도체의 산소 빈자리를 보전할 수 있다.

[0091] 가열에 의하여 산소가 방출되는 막을 게이트 절연층(107)으로서 사용함으로써, 산화물 반도체막과 게이트 절연층(107) 사이의 계면에서의 계면 준위 밀도를 저감할 수 있다. 따라서 전기적 특성의 열화가 적은 트랜지스터를 얻을 수 있다. 또한, 산소, 수소, 물 등에 대한 블로킹 효과를 갖는 절연막이 게이트 절연층(107)으로서 제공되면, 산소가 산화물 반도체막으로부터 외부로 확산되는 것을 방지할 수 있고, 수소, 물 등이 외부로부터 산화물 반도체막으로 진입되는 것을 방지할 수 있다. 산소, 수소, 물 등에 대한 블로킹 효과를 갖는 절연막으로서는 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화질화 갈륨막, 산화 이트륨막, 산화질화 이트륨막, 산화 하프늄막, 산화질화 하프늄막 등을 들 수 있다.

[0092] 게이트 절연층(107)이 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 사용하여 형성되어도 좋고, 이로써 트랜지스터의 게이트 누설 전류를 저감할 수 있다.

[0093] 게이트 절연층(107)의 두께는 바람직하게는 5nm 이상 400nm 이하, 더 바람직하게는 10nm 이상 300nm 이하, 보다 바람직하게는 50nm 이상 250nm 이하가 좋다.

[0094] 게이트 절연층(107)은, 게이트 전극층(105)에 포함되는 금속 성분의 확산을 방지하는 효과를 갖는, 제 1 게이트 절연막으로서의 두께 50nm의 질화 실리콘층; 뛰어난 절연 내압을 갖는, 제 2 게이트 절연층으로서의 두께 300nm의 질화 실리콘층; 수소에 대하여 높은 블로킹성을 갖는, 제 3 게이트 절연층으로서의 두께 50nm의 질화 실리콘층; 및 계면 준위 밀도를 저감하는 효과를 갖는 제 4 게이트 절연층으로서의 두께 50nm의 산화질화 실리콘층을 각각 PECVD 장치를 사용하여 게이트 전극층 측으로부터 적층하여 형성된 구조를 갖는다.

[0095] 또한, 산화물 반도체가 반도체층(109)에 사용되는 경우, 게이트 절연층(107)과 같이, 가열에 의하여 산소가 방출되는 산화 절연물이 무기 절연막(113)에 사용되어도 좋다. 또한, 산화물 반도체 위에 무기 절연막(113)이 형성된 후, 가열에 의하여 산소가 산화물 반도체층에 도입되어, 산화물 반도체층에서의 산소 빈자리를 보전할 수 있다. 이 결과, 산화물 반도체층에서의 산소 빈자리의 양이 저감될 수 있다.

[0096] 반도체층(109)에 사용되는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또는 산화물 반도체는 In과 Zn 양쪽을 포함하는 것이 바람직하다. 상기 산화물 반도체를 포함하는 트랜지스터의 전기적 특성의 변동을 저감시키기 위하여, 산화물 반도체는 In 및/또는 Zn에 더하여, 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.

[0097] 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr) 등을 들 수 있다. 또한, 다른 스테빌라이저로서는, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 또는 루테튬(Lu) 등의 란타노이드를 들 수 있다. 산화물 반도체는 상술한 스테빌라이저 중 하나 이상을 포함하는 것이 바람직하다.

[0098] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물 중 어느 것을 사용할 수 있다.

[0099] 여기서, 예컨대 "In-Ga-Zn 산화물"이란, In, Ga, 및 Zn을 주성분으로서 포함하는 산화물을 가리키고, In, Ga, 및 Zn의 비율에 한정은 없다. In-Ga-Zn 산화물은 In, Ga, 및 Zn 외의 금속 원소를 포함하여도 좋다.

[0100] 또는, $InMO_3(ZnO)_m$(m>0을 만족시키고, m은 정수(整數)가 아님)으로 나타내어지는 재료가 산화물 반도체로서 사용되어도 좋다. 또한, M은, Ga, Fe, Mn 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 또는, 산화물 반도체로서 화학식 $In_2SnO_5(ZnO)_n$(n>0, 또한 n은 정수임)으로 나타내어지는 재료가 사용되어도 좋다.

[0101] 예를 들어, In:Ga:Zn=1:1:1, In:Ga:Zn=2:2:1, 또는 In:Ga:Zn=3:1:2의 원자수비의 In-Ga-Zn 산화물이나, 상술한 조성 근방에 있는 조성의 산화물 중 어느 것을 사용할 수 있다. 또는 In:Sn:Zn=1:1:1, In:Sn:Zn=2:1:3, 또는 In:Sn:Zn=2:1:5의 원자수비의 In-Sn-Zn 산화물이나, 상술한 조성 근방에 있는 조성의 산화물 중 어느 것이 사용되어도 좋다.

[0102] 그러나, 상술한 재료에 한정되지 않고, 필요한 반도체 특성 및 전기적 특성(예컨대, 전계 효과 이동도, 문턱 전압, 및 변동)에 따라 적절한 조성의 재료를 사용하여도 좋다. 필요한 반도체 특성을 얻기 위하여, 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리(결합 거리), 밀도 등을 적절한 것으로 설정하는 것이 바람직하다.

[0103] 예를 들어, In-Sn-Zn 산화물을 사용하는 경우, 비교적 쉽게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn 산화물을 사용하는 경우라도, 벌크 내의 결함 밀도를 저감함으로써 이동도를 증가할 수 있다.

[0104] 또한, 반도체층(109)에 사용되는 산화물 반도체막에는 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상의 에너지 갭을 갖는 산화물 반도체가 사용된다. 이와 같이, 넓은 에너지 갭을 갖는 산화물 반도체를 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.

[0105] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.

[0106] 본 명세서에서, "평행"이란, 2개의 직선 사이에 형성되는 각도가 -10° 이상 10° 이하인 것을 가리킨다. 따라서, 각도가 -5° 이상 5° 이하의 경우도 포함된다. 또한, "수직"이란, 2개의 직선 사이에 형성되는 각도가 80° 이상 100° 이하인 것을 가리킨다. 따라서, 각도가 85° 이상 95° 이하의 경우가 포함된다.

[0107] 본 명세서에서, 삼방정 및 능면체정은 육방정계에 포함된다.

[0108] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막은 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등 중 어느 것을 포함한다.

[0109] 또한, 결정부를 포함하는 CAAC-OS막은 반도체층(109)으로서 바람직하게 사용될 수 있다.

[0110] CAAC-OS막은 복수의 결정부를 포함하는 산화물 반도체막의 하나이며, 각 결정부의 대부분은 하나의 변이 100nm 미만인 입방체 내에 맞다. 따라서 CAAC-OS막에 포함되는 결정부는 하나의 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 맞는 경우가 있다.

[0111] CAAC-OS막의 투과형 전자 현미경(TEM: Transmission Electron Microscope) 이미지에서, 결정부들 사이의 경계, 즉 결정 입계(grain boundary)는 명확히 확인되지 않는다. 따라서, CAAC-OS막에서, 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다.

[0112] 시료면에 실질적으로 평행한 방향으로 관찰된 CAAC-OS막의 TEM 이미지(단면 TEM 이미지)에 따르면, 결정부에서 금속 원자는 층상으로 배열되어 있다. 금속 원자의 각 층은, CAAC-OS막이 형성되는 표면(이하, CAAC-OS막이 형성되는 표면은 형성 표면이라고 함) 또는 CAAC-OS막의 상면을 반영한 형상을 가지며 CAAC-OS막의 형성 표면 또는 상면에 평행하게 배열된다.

[0113] 한편, 시료면에 실질적으로 수직인 방향으로 관찰된 CAAC-OS막의 TEM 이미지(평면 TEM 이미지)에 따르면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있다. 하지만, 상이한 결정부들 사이에서 금속 원자의 배열에 규칙성은 없다.

[0114] 단면 TEM 이미지 및 평면 TEM 이미지의 결과로부터, CAAC-OS막의 결정부에서의 배열을 확인할 수 있다.

[0115] CAAC-OS막은, X선 회절(XRD: X-Ray Diffraction) 장치에 의하여 구조 해석을 수행한다. 예를 들어 $InGaZnO_4$의 결정을 포함하는 CAAC-OS막이 out-of-plane법에 의하여 해석되면, 회절각(2θ)이 31° 근방일 때 피크가 자주 나타난다. 이 피크는, $InGaZnO_4$의 결정의 (009)면에 귀속되고, 이는 CAAC-OS막에서의 결정이 c축 배열을 갖고, c축이 CAAC-OS막의 형성 표면 또는 상면에 실질적으로 수직인 방향으로 배열되는 것을 가리킨다.

[0116] 한편, c축에 수직인 방향으로 X선을 시료에 입사시키는 in-plane법에 의하여 CAAC-OS막이 해석되면, 2θ가 56° 근방일 때 피크가 자주 나타난다. 이 피크는 $InGaZnO_4$의 결정의 (110)면에 귀속된다. 여기서, 2θ를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(φ축)으로 하여 시료를 회전시키는 조건하에서 분석(φ 스캔)을 수행

한다. 시료가 $InGaZnO_4$의 단결정 산화물 반도체막인 경우, 6개의 피크가 나타난다. 이 6개의 피크는 (110)면과 등가인 결정면에 귀속된다. 한편, CAAC-OS막의 경우에는, 2θ를 56° 근방에 고정하고 φ 스캔을 수행하더라도 피크는 명료하게 관찰되지 않는다.

[0117] 상술한 결과에 따르면, c축 배열을 갖는 CAAC-OS막에서, 결정부들간에서의 a축 및 b축의 방향이 상이하면서, c축이 형성 표면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배열된다. 따라서, 단면 TEM 이미지에서 관찰된 층상으로 배열된 금속 원자의 각 층은, 결정의 ab면에 평행한 면에 상당한다.

[0118] 또한, 결정부는, CAAC-OS막의 성막과 동시에 또는 가열 처리 등의 결정화 처리를 통하여 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 형성 표면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배열된다. 따라서, 예컨대 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, c축이 CAAC-OS막의 형성 표면의 법선 벡터 또는 상면의 법선 벡터에 반드시 평행하게 되지 않는 경우도 있다.

[0119] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막을 형성하는 결정 성장이 CAAC-OS막의 상면 근방으로부터 일어나는 경우에는, 상면 근방에서의 결정화도는 형성 표면 근방보다 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물이 첨가되는 경우에는, 불순물이 첨가된 영역의 결정성이 변화되고, CAAC-OS막에서의 결정화도가 영역에 따라 변동된다.

[0120] 또한, $InGaZnO_4$의 결정을 갖는 CAAC-OS막이 out-of-plane법에 의하여 해석되면, 31° 근방에서의 2θ의 피크에 더하여, 36° 근방에서도 2θ의 피크가 관찰될 수도 있다. 36° 근방에서의 2θ의 피크는 CAAC-OS막의 일부에, c축 배열을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막에서는 2θ의 피크가 31° 근방에 나타나고, 2θ의 피크가 36° 근방에 나타나지 않는 것이 바람직하다.

[0121] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물이란, 수소, 탄소, 실리콘, 또는 전이 금속 원소 등의 산화물 반도체막의 주성분 이외의 원소를 가리킨다. 특히 산화물 반도체막에 포함되는 금속 원소보다 산소와의 결합력이 강한 원소(예컨대, 실리콘)는 산화물 반도체막에서 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하기 때문에, 산화물 반도체막의 결정성을 저하시키는 요인이 된다. 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 큰 원자 반경(또는 분자 반경)을 갖기 때문에 산화물 반도체막에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하기 때문에, 산화물 반도체막의 결정성을 저하시키는 요인이 된다. 또한 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원으로서 기능하는 경우가 있다.

[0122] CAAC-OS막은 낮은 결함 준위 밀도를 갖는 산화물 반도체막이다. 예를 들어, 산화물 반도체막에서의 산소 빈자리는 캐리어 트랩으로서 기능하거나 또는 수소가 이들에 포획되면 캐리어 발생원으로서 기능한다.

[0123] 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 빈자리 수가 적은) 상태를 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 갖는다. 따라서, 상기 산화물 반도체막을 포함하는 트랜지스터는 마이너스의 문턱 전압을 가지기(노멀리 온이 되기) 어렵다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 포함하는 트랜지스터는 전기적 특성의 변동이 작아서 신뢰성이 높다. 산화물 반도체막의 캐리어 트랩에 의하여 포획된 전하는 방출할 때까지 걸리는 시간이 길고 마치 고정 전하처럼 행동하여도 좋다. 따라서 높은 불순물 농도 및 높은 결함 준위 밀도를 갖는 산화물 반도체막을 포함하는 트랜지스터는 불안정한 전기적 특성을 갖는 경우가 있다.

[0124] 또한 트랜지스터에 CAAC-OS막을 사용함으로써 가시광이나 자외광의 조사로 인한 트랜지스터의 전기적 특성의 변동이 작다.

[0125] 다음에 반도체층(109)으로서 사용되는 미결정 산화물 반도체막에 대하여 설명한다.

[0126] TEM에 의하여 얻어지는 이미지에서, 미결정 산화물 반도체막의 결정부는 명확히 확인될 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부의 크기는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 경우가 많다. 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 크기를 갖는 미결정은 특히, 나노 결정(nc: nanocrystal)으로 불린다. 나노 결정을 포함하는 산화물 반도체막은 nc-OS(nanocrystalline Oxide Semiconductor)막으로 불린다. 또한, TEM에 의하여 얻어진 nc-OS막의 이미지에서, 예컨대 결정 입계가 명확히 검출되지 않는 경우가 있다.

[0127] nc-OS막에서, 미소한 영역(예컨대 크기가 1nm 이상 10nm 이하인 영역, 특히 크기가 1nm 이상 3nm 이하인 영역)이 원자 배열에 주기성을 갖는다. 하지만, nc-OS막에서, 상이한 결정부들 사이에서의 결정 방위에 규칙성은 없

어 막 전체에서의 배향성은 관찰되지 않는다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 결정부보다 긴 직경을 갖는 X선을 사용하는 XRD 장치를 사용하여 out-of-plane법에 의하여 nc-OS막의 구조를 해석하면, 결정면을 나타내는 피크가 나타나지 않는다. 또한, 결정부보다 긴 프로브 직경(예컨대 50nm 이상)을 갖는 전자빔을 사용하여 얻어진 nc-OS막의 제한 시야 전자빔 회절 이미지(selected-area electron diffraction image)에서는 헤일로 패턴이 관측된다. 한편, 결정부의 크기와 가깝거나 결정부 이하(예컨대 1nm 이상 30nm 이하)인 프로브 직경을 갖는 전자빔을 사용하여 얻어진 nc-OS막의 나노빔 전자 회절 이미지에서는 스폿이 관측된다. 또한, nc-OS막의 나노빔 전자 회절 이미지에서, 휘도가 높은 원(환)형 영역이 관측되는 경우가 있다. 또한, nc-OS막의 나노빔 전자 회절 이미지에서, 환형 영역 내에 복수의 스폿이 관측되는 경우가 있다.

[0128] nc-OS막은 비정질 산화물 반도체막보다 규칙성을 더 갖는 산화물 반도체막이기 때문에, nc-OS막은 비정질 산화물 반도체막보다 낮은 결함 준위 밀도를 갖는다. 하지만, nc-OS막에서 상이한 결정부들 사이에서 결정 방위의 규칙성이 없기 때문에 nc-OS막은 CAAC-OS막보다 결함 준위 밀도가 높다.

[0129] 또한, 산화물 반도체막은 예컨대 비정질 산화물 반도체막, 미결정 산화물 반도체막, 및 CAAC-OS막 중 2개 이상을 포함하는 적층막이라도 좋다.

[0130] 또한, CAAC-OS막 등의 결정부를 갖는 산화물 반도체에서, 벌크 내 결함을 더 저감할 수 있고, 산화물 반도체의 표면의 평탄성이 향상되면 비정질 상태에 있는 산화물 반도체보다 높은 이동도를 얻을 수 있다. 표면의 평탄성을 향상시키기 위해서는 평탄한 표면 위에 산화물 반도체가 형성되는 것이 바람직하다.

[0131] 또한, 본 실시형태에서 설명하는 트랜지스터(150)가 보텀 게이트형 트랜지스터이기 때문에 기판(101), 게이트 전극층(105), 및 게이트 절연층(107)이 산화물 반도체막 아래에 위치된다. 따라서, 상술한 평탄한 표면을 얻기 위하여, 게이트 전극층(105) 및 게이트 절연층(107)을 형성한 후, CMP(Chemical Mechanical Polishing) 처리 등의 평탄화 처리가 수행되어도 좋다.

[0132] 또한, 산화물 반도체막은, 복수의 산화물 반도체막이 적층된 구조를 가져도 좋다. 예를 들어, 산화물 반도체막이, 서로 상이한 조성의 금속 산화물을 사용하여 형성된, 제 1 산화물 반도체막과 제 2 산화물 반도체막의 적층 구조를 가져도 좋다. 예를 들어, 제 1 산화물 반도체막이 금속 산화물 중 하나를 사용하여 형성되고, 제 2 산화물 반도체막이 제 1 산화물 반도체막에 사용된 금속 산화물과 상이한 금속 산화물을 사용하여 형성되어도 좋다.

[0133] 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막의 구성 원소는 동일하여도 좋지만, 제 1 산화물 반도체막과 제 2 산화물 반도체막의 구성 원소의 조성을 서로 상이하게 하여도 좋다. 예를 들어, 제 1 산화물 반도체막이 In:Ga:Zn=1:1:1의 원자수비를 갖고, 제 2 산화물 반도체막이 In:Ga:Zn=3:1:2의 원자수비를 가져도 좋다. 또는, 제 1 산화물 반도체막이 In:Ga:Zn=1:3:2의 원자수비를 갖고, 제 2 산화물 반도체막이 In:Ga:Zn=2:1:3의 원자수비를 가져도 좋다.

[0134] 이 때, 제 1 산화물 반도체막과 제 2 산화물 반도체막 중 게이트 전극층(105)에 가까운(채널측) 산화물 반도체막은 In>Ga의 비율로 In과 Ga을 포함하면 바람직하다. 또한, 게이트 전극층(105)으로부터 먼(백 채널 측) 산화물 반도체막은 In≤Ga의 비율로 In과 Ga을 포함하면 바람직하다.

[0135] 또한, 산화물 반도체막이 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 제 3 산화물 반도체막의 3층 구조를 가져도 좋고, 이들의 구성 원소를 동일하게 하고, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 제 3 산화물 반도체막의 조성을 서로 상이하게 하여도 좋다. 예를 들어, 제 1 산화물 반도체막이 In:Ga:Zn=1:3:2의 원자수비를 가지고, 제 2 산화물 반도체막이 In:Ga:Zn=3:1:2의 원자수비를 가지고, 제 3 산화물 반도체막이 In:Ga:Zn=1:1:1의 원자수비를 가져도 좋다.

[0136] Ga 및 Zn보다 In의 원자수비가 적은 산화물 반도체막, 대표적으로는In:Ga:Zn=1:3:2의 원자수비를 갖는 제 1 산화물 반도체막은, Ga 및 Zn보다 In의 원자수비가 많은 산화물 반도체막(대표적으로는 제 2 산화물 반도체막)과, Ga, Zn 및 In의 원자수비가 동일한 산화물 반도체막(대표적으로는 제 3 산화물 반도체막)보다 높은 절연성을 갖는다.

[0137] 또한, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 제 3 산화물 반도체막의 구성 원소는 동일하기 때문에, 제 1 산화물 반도체막은, 제 2 산화물 반도체막과의 계면에서의 트랩 준위가 적다. 따라서, 산화물 반도체막이 상술한 구성을 가지면, 시간에 따른 변화나 스트레스 시험으로 인한 트랜지스터의 문턱 전압의 변화량을 저감할

수 있다.

[0138] 산화물 반도체에서, 중금속의 s궤도가 캐리어 이동에 주로 기여하고, 산화물 반도체에서의 In의 함유량이 증가되면 s궤도의 중첩이 증가되기 쉽게 된다. 따라서 In>Ga의 조성을 갖는 산화물은 In≤Ga의 조성을 갖는 산화물보다 높은 이동도를 갖는다. 또한, Ga은 In보다 산소 빈자리의 형성 에너지가 커서 산소 빈자리가 발생하기 어렵기 때문에, In≤Ga의 조성을 갖는 산화물은 In>Ga의 조성을 갖는 산화물보다 더 안정된 특성을 갖는다.

[0139] 채널측에 In>Ga의 조성을 갖는 산화물 반도체가 사용되고, 백 채널 측에 In≤Ga의 조성을 갖는 산화물 반도체가 사용됨으로써, 트랜지스터의 전계 효과 이동도 및 신뢰성이 더 향상될 수 있다.

[0140] 또한, 반도체층(109)이 적층 구조를 갖도록 형성되는 경우, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 제 3 산화물 반도체막은 상이한 결정성을 갖는 산화물 반도체막을 사용하여 형성되어도 좋다. 즉, 반도체층(109)은 단결정 산화물 반도체막, 다결정 산화물 반도체막, 비정질 산화물 반도체막, 및 CAAC-OS막을 적절히 조합함으로써 형성되어도 좋다. 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 제 3 산화물 반도체막 중 어느 것에 비정질 산화물 반도체막이 적용되는 경우, 산화물 반도체막의 내부 응력 또는 외부 응력이 완화되고, 트랜지스터의 특성 변동이 저감되고, 또한, 트랜지스터의 신뢰성이 더 향상될 수 있다.

[0141] 산화물 반도체막의 두께는 바람직하게는 1nm 이상 100nm 이하, 더 바람직하게는 1nm 이상 50nm 이하, 보다 바람직하게는 1nm 이상 30nm 이하, 더욱 바람직하게는 3nm 이상 20nm 이하로 하는 것이 좋다.

[0142] 이차 이온 질량 분석법(SIMS)에 의하여 얻어지는, 산화물 반도체막에서의 알칼리 금속 또는 알칼리 토금속의 농도가 바람직하게는 1×10^{18}atoms/cm^3 이하, 더 바람직하게는 2×10^{16}atoms/cm^3 이하이면 좋다. 이것은, 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되고 캐리어를 생성하는 경우가 있어, 트랜지스터의 오프 전류를 상승시키는 원인이 되기 때문이다.

[0143] 또한, 이차 이온 질량 분석법에 의하여 얻어지는 산화물 반도체막에서의 수소 농도가 5×10^{18}atoms/cm^3 미만, 바람직하게는 1×10^{18}atoms/cm^3 이하, 더 바람직하게는 5×10^{17}atoms/cm^3 이하, 보다 바람직하게는 1×10^{16}atoms/cm^3 이하가 좋다.

[0144] 산화물 반도체막에 포함되는 수소는, 금속 원자와 결합되는 산소와 반응하여 물을 생성하고, 산소가 방출된 격자(또는 산소가 제거된 부분)에는 결함이 형성된다. 또한, 수소의 일부와 산소가 결합됨으로써 캐리어로서 기능하는 전자가 생성된다. 따라서 산화물 반도체막을 형성하는 공정에서, 수소를 포함하는 불순물을 가능한 한 많이 줄임으로써, 산화물 반도체막의 수소 농도를 저감시킬 수 있다. 또한, 수소를 가능한 한 많이 제거함으로써 고순도화된 산화물 반도체막에 채널 형성 영역이 형성되면, 문턱 전압의 마이너스 시프트를 저감할 수 있고, 트랜지스터의 소스 및 드레인 사이에서의 누설 전류(대표적으로는 오프 전류 등)를 수yA/㎛~수zA/㎛까지 저감시킬 수 있다. 이 결과, 트랜지스터의 전기적 특성을 향상시킬 수 있다.

[0145] 산화물 반도체막은 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법(laser ablation method) 등에 의하여 형성된다.

[0146] 스퍼터링법으로 산화물 반도체막이 형성되는 경우, 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, DC 전원 장치 등으로 적절히 할 수 있다.

[0147] 스퍼터링 가스로서는 희가스(대표적으로는 아르곤), 산소, 또는 희가스 및 산소의 혼합 가스가 적절히 사용된다. 희가스 및 산소의 혼합 가스를 사용하는 경우, 희가스보다 산소의 비율을 높게 하는 것이 바람직하다.

[0148] 또한, 타깃은 형성되는 산화물 반도체막의 조성에 따라, 적절히 선택되어도 좋다.

[0149] CAAC-OS막이 형성될 때, 예컨대 CAAC-OS막은 다결정 산화물 반도체 타깃을 사용하여 스퍼터링법에 의하여 형성된다. 상기 타깃에 이온이 충돌됨으로써, 타깃에 포함되는 결정 영역이 a-b면을 따라 타깃으로부터 분리된다. 바꿔 말하면 a-b면에 평행한 면을 갖는 스퍼터링 입자(평판 형상 스퍼터링 입자, 또는 펠릿(pellet) 형상 스퍼터링 입자)가 타깃으로부터 박리되는 경우가 있다. 이 경우, 상기 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달하여, CAAC-OS막이 형성될 수 있다.

[0150] 또한, CAAC-OS막을 성막하기 위하여 이하의 조건이 사용되는 것이 바람직하다.

[0151] 성막 중, CAAC-OS막에 진입되는 불순물의 양을 저감시킴으로써, 불순물에 의하여 결정 상태가 무너지는 것을 방

지할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(예컨대, 수소, 물, 이산화 탄소, 또는 질소) 농도를 저감시켜도 좋다. 또한, 성막 가스 중의 불순물 농도를 저감시켜도 좋다. 구체적으로는, 이슬점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스가 사용된다.

[0152] 성막 중의 기판 가열 온도를 높임으로써, 스퍼터링 입자가 기판에 도달된 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 성막 중의 기판 가열 온도를 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 한다. 성막 중의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달되는 경우에 기판 표면에서 마이그레이션이 일어나서, 평판 형상의 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0153] 또한, 성막 가스 내의 산소 비율을 높이고 전력을 최적화시킴으로써 성막 시의 플라즈마 대미지를 저감시키는 것이 바람직하다. 성막 가스 내의 산소 비율은 30vol% 이상, 바람직하게는 100vol%로 한다.

[0154] 타깃의 일례로서, In-Ga-Zn 산화물 타깃에 대하여 이하에서 기재한다.

[0155] InO_X 분말, GaO_Y 분말, 및 ZnO_Z 분말을 소정의 mol비로 혼합하고, 압력을 가하고, 1000℃ 이상 1500℃ 이하의 온도로 가열 처리를 수행함으로써 다결정인 In-Ga-Zn 산화물 타깃을 제작한다. 또한, X, Y, 및 Z는 각각 임의의 양수다. 여기서, InO_X 분말, GaO_Y 분말, 및 ZnO_Z 분말의 소정의 mol비는, 예컨대 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2다. 분말의 종류, 및 분말을 혼합하는 mol비는 원하는 타깃에 따라 적절히 결정되어도 좋다.

[0156] 산화물 반도체막이 형성된 후, 산화물 반도체막이 탈수화 또는 탈수소화되도록 가열 처리를 수행하여도 좋다. 가열 처리의 온도는, 대표적으로는, 150℃ 이상 기판의 변형점 미만, 바람직하게는 250℃ 이상 450℃ 이하, 더 바람직하게는 300℃ 이상 450℃ 이하다.

[0157] 가열 처리는 헬륨, 네온, 아르곤, 제논, 또는 크립톤 등의 희가스, 또는 질소를 포함하는 불활성 가스 분위기하에서 수행된다. 또는, 먼저 불활성 가스 분위기하에서 가열 처리를 수행하고 나서, 산소 분위기하에서 가열 처리를 수행하여도 좋다. 상술한 불활성 분위기 및 상술한 산소 분위기에 수소, 물 등이 포함되지 않는 것이 바람직하다. 처리 시간은 3분~24시간이다.

[0158] 산화물 반도체막이 형성된 후, 가열 처리를 수행함으로써, 산화물 반도체막에서, 수소 농도를 $5\times10^{18}atoms/cm^3$ 미만, 바람직하게는 $1\times10^{18}atoms/cm^3$ 이하, 더 바람직하게는 $5\times10^{17}atoms/cm^3$ 이하, 보다 바람직하게는 $1\times10^{16}atoms/cm^3$ 이하로 할 수 있다.

[0159] 또한, 게이트 절연층(107)으로서 산화물 절연층이 사용되는 경우, 산화물 절연층 위에 산화물 반도체막이 제공된 채 가열 처리가 수행되면, 산화물 반도체막에 산소를 공급할 수 있고 산화물 반도체막에서의 산소 결함을 저감시킬 수 있고, 반도체 특성이 향상될 수 있다. 산소가 산화물 반도체막에 공급되도록 산화물 반도체막 및 산화물 절연층이 적어도 부분적으로 서로 접촉된 상태에서 산화물 반도체막 및 산화물 절연층의 가열 공정을 수행하여도 좋다.

[0160] 반도체층(109) 위에 제공되는 소스 전극층 및 드레인 전극층은 게이트 전극층(105)의 재료 및 방법과 같은 것을 사용하여 형성될 수 있다.

[0161] 본 실시형태에서, 스퍼터링 장치를 사용하여 두께 50nm의 타이타늄막, 두께 400nm의 알루미늄막, 및 두께 100nm의 타이타늄막을 이 차례로 적층하고, 포토리소그래피법에 의하여 타이타늄막 위에 레지스트 마스크를 형성하고, 상술한 타이타늄막, 알루미늄막, 및 타이타늄막이 포함되는 적층막의 일부를 상기 레지스트 마스크를 사용하여 선택적으로 제거함으로써 소스 전극층(111a) 및 드레인 전극층(111b)이 형성된다.

[0162] 용량 소자(170) 위의 액정층(125)에 사용되는 액정 재료로서는, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료(액정 조성물)는 조건에 따라 콜레스테릭(cholesteric)상, 스멕틱상, 큐빅상, 키랄네마틱상, 등방상 등을 나타낸다. 또한, 도 1의 (A) 및 (B)에는 도시되지 않았지만, 이들 재료 중 어느 것을 포함하는 층이 사이에 개재된, 배향막으로서 각각 기능하는 절연막들, 투명 도전층(123)과 투명 도전층(127) 사이의 거리(셀 갭)를 제어하는 스페이서 등이 액정층(125)에 제공되어도 좋다. 또한, 배향막은 아크릴계 수지, 폴리이미드계 수지, 벤조사이클로부텐계 수지, 폴리아마이드계 수지, 또는 에폭시계 수지 등 내열성을 갖는 유기 재료를 사용하여 형성될 수 있다.

[0163] 또는 배향막이 사용되지 않는 블루상(blue phase)을 나타내는 액정 조성물이 액정층(125)에 사용되어도 좋다.

블루상은 액정상 중 하나이고, 이것은 콜레스테릭 액정의 온도가 증가되면서 콜레스테릭상이 등방상으로 변화되기 직전에 생성된다. 블루상은 액정과 키랄제를 혼합시킨 액정 조성물을 사용하여 나타낼 수 있다. 블루상이 나타내는 온도 범위를 확대하기 위하여, 블루상을 나타내는 액정 조성물에 중합성 단량체, 중합 개시제 등을 첨가하고 고분자 안정화 처리를 수행하여 액정층을 형성하여도 좋다. 블루상을 나타내는 액정 조성물은 응답 시간이 짧고, 광학적 등방성을 갖기 때문에 배향 처리가 제외되고, 시야각 의존성이 감소된다. 또한, 배향막이 제공될 필요가 없고 러빙 처리가 불필요하기 때문에, 상기 러빙 처리로 인한 정전기 방전 충격이 방지될 수 있고, 액정 표시 장치의 결함이나 손상이 제작 공정에서 감소될 수 있다. 따라서, 액정 표시 장치의 생산성이 증가될 수 있다. 산화물 반도체막을 포함하는 트랜지스터는, 정전기의 영향에 의하여 트랜지스터의 전기적 특성이 현저하게 변동되고 설계 범위를 일탈할 가능성이 있다. 따라서, 산화물 반도체막을 사용하여 형성된 트랜지스터를 포함하는 액정 표시 장치에 블루상을 나타내는 액정 조성물을 사용하는 것은 더 효과적이다.

[0164] 액정 재료의 고유 저항은, $1\times10^{9}\Omega\cdot cm$ 이상이고, 바람직하게는 $1\times10^{11}\Omega\cdot cm$ 이상이며, 더 바람직하게는 $1\times10^{12}\Omega\cdot cm$ 이상이다. 또한, 본 명세서에서의 고유 저항은 20℃에서 측정된 것이다.

[0165] 액정층(125)의 구동 방법에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등이 사용될 수 있다.

[0166] 또한, 수직 배향(VA) 모드를 이용한 투과형 액정 표시 장치 등 노멀리 블랙형 액정 표시 장치가 사용되어도 좋다. 수직 배향 모드로서는 몇 가지 예를 들 수 있다. 예를 들어, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드를 사용할 수 있다. 또한, 본 실시형태는 VA 액정 표시 장치에 적용할 수 있다. VA 액정 표시 장치는 액정 표시 패널의 액정 분자의 배열이 제어되는 방식의 일종을 갖는다. VA 액정 표시 장치에서, 전압이 인가되지 않는 경우에 패널면에 대하여 액정 분자가 수직 방향으로 배열된다. 또한, 화소가 몇 개의 영역(부화소)으로 분할되고 분자가 각각의 영역에서 상이한 방향으로 배열되는 멀티 도메인화 또는 멀티 도메인 설계로 불리는 방법을 사용할 수 있다.

[0167] 표시 장치에서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 또는 반사 방지 부재 등의 광학 부재(광학 기판) 등이 적절히 제공된다. 예를 들어, 편광 기판 및 위상차 기판을 사용하여 원편광이 얻어져도 좋다. 또한, 광원으로서 백 라이트나 사이드 라이트 등이 사용되어도 좋다.

[0168] 화소부에서의 표시 방법으로서는, 프로그레시브 방식이나 인터레이스 방식 등을 채용할 수 있다. 또한, 컬러 표시할 때에 화소에서 제어되는 색 요소는 R, G, 및 B(R은 적색, G는 녹색, B는 청색에 상당함)의 3색으로 한정되지 않는다. 예를 들어, R, G, B, 및 W(W는 흰색에 상당함), 또는 R, G, B, 및 옐로우, 시안, 마젠타 등 중 하나 이상, 등을 사용할 수 있다. 또한, 각각 색 요소의 도트마다 표시 영역의 크기가 상이하여도 좋다. 또한, 본 발명의 일 형태는 컬러 표시를 위한 표시 장치로의 적용에 한정되지 않고, 본 발명은 흑백 표시를 위한 표시 장치에 적용될 수도 있다.

[0169] 도 1의 (A) 및 (B)는 액정층(125)의 배열이 투명 도전층(123) 및 투명 도전층(127)에 의하여 제어되는 구성을 도시한 것이다. 따라서 도 1의 (A) 및 (B)에서, 투명 도전층(123)은 화소 전극으로서 기능하고, 투명 도전층(127)은 공통 전극으로서 기능한다. 도 5의 (A) 및 (B)는, 액정층(125)의 배열이 용량 소자(180)에 포함되는, 투명 도전층(121)과 투명 도전층(123) 사이에 발생되는 전계에 따라 제어되는 구성을 도시한 것이다. 따라서 도 5의 (A) 및 (B)에서, 투명 도전층(121)은 공통 전극으로서 기능하고, 투명 도전층(123)은 화소 전극으로서 기능한다.

[0170] 또한, 본 실시형태에 기재된 표시 장치의 구성은 도 1의 (A) 및 (B)에 도시된 구성에 한정되지 않고, 도 5의 (A) 및 (B)에 도시된 구성이어도 좋다.

[0171] 도 5의 (A) 및 (B)는 본 발명의 다른 일 형태에 따른 표시 장치에 포함되는 화소의 일부를 도시한 것이다. 도 5의 (A)는 본 발명의 다른 일 형태에 따른 표시 장치에 포함되는 화소의 일부를 도시한 상면도이고, 또한 도 5의 (B)는 도 5의 (A)를 일점 쇄선 C-D를 따라 자른 단면도다. 또한, 도 5의 (A) 및 (B)에서, 도 1의 (A) 및 (B)와 같은 부분은 같은 부호에 의하여 나타내고 자세한 설명은 하지 않는다.

[0172] 도 5의 (A) 및 (B)에 도시된 구성은, 용량 소자(180)의 유전체로서 일부 사용되는 제 2 무기 절연막(129)이 트랜지스터(150)의 드레인 전극층(111b)과 중첩되는 점에서 도 2의 (A)~(C)에 도시된 구성과 상이하다. 이와 같

은 구성에 의하여 제 2 무기 절연막(129) 및 무기 절연막(115)이 서로 접촉되고 유기 절연막(117)을 둘러쌀 수 있기 때문에, 유기 절연막(117)으로부터 방출되는 가스가 트랜지스터(150) 측에 확산되는 것을 방지할 수 있다.

[0173] 본 실시형태에 기재된 표시 장치에서, 트랜지스터 위에 제공된 유기 절연막으로부터 방출되는 가스가 트랜지스터 측에 진입되지 않도록, 노출되는 영역이 트랜지스터의 유기 절연막과 반대 측에 위치되는 유기 절연막에 제공된다. 노출부는 상기 유기 절연막 위의, 무기 절연막과 중첩되지 않는 영역이다. 무기 절연막이 노출부와 접촉되지 않도록 형성되기 때문에 유기 절연막으로부터의 가스가 노출부로부터 방출될 수 있다. 따라서 유기 절연막으로부터 방출되는 수소 등의 불순물을 포함하는 가스가 산화물 반도체층에 진입되는 것을 방지할 수 있고, 트랜지스터의 특성이 변동되는 것을 방지할 수 있어, 높은 표시 품질과 높은 신뢰성을 갖는 표시 장치를 얻을 수 있다.

[0174] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0175] (실시형태 2)

[0176] 본 실시형태에서는, 상술한 실시형태에서 기재된 표시 장치 중 어느 것과 조합하여 사용될 수 있는 이미지 센서에 대하여 설명한다.

[0177] 도 6의 (A)에 이미지 센서가 달린 표시 장치의 일례를 도시하였다. 도 6의 (A)는 이미지 센서가 달린 표시 장치의 화소의 등가 회로를 도시한 것이다.

[0178] 포토다이오드 소자(4002)의 한쪽 전극은 리셋 신호선(4058)에 전기적으로 접속되고, 포토다이오드 소자(4002)의 다른 쪽 전극은 트랜지스터(4040)의 게이트 전극에 전기적으로 접속된다. 트랜지스터(4040)의 소스 전극 및 드레인 전극 중 한쪽은 전원 전위(VDD)에 전기적으로 접속되고, 트랜지스터(4040)의 소스 전극 및 드레인 전극 중 다른 쪽은 트랜지스터(4056)의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속된다. 트랜지스터(4056)의 게이트 전극은 게이트 선택선(4057)에 전기적으로 접속되고, 트랜지스터(4056)의 소스 전극 및 드레인 전극 중 다른 쪽은 출력 신호선(4071)에 전기적으로 접속된다.

[0179] 제 1 트랜지스터(4030)는 화소 스위칭용 트랜지스터다. 제 1 트랜지스터(4030)의 소스 전극 및 드레인 전극 중 한쪽은 영상 신호선(4059)에 전기적으로 접속되고, 제 1 트랜지스터(4030)의 소스 전극 및 드레인 전극 중 다른 쪽은 용량 소자(4032) 및 액정 소자(4034)에 전기적으로 접속된다. 제 1 트랜지스터(4030)의 게이트 전극은 게이트선(4036)에 전기적으로 접속된다.

[0180] 또한, 제 1 트랜지스터(4030) 및 용량 소자(4032)의 구성은 실시형태 1에 기재된 표시 장치의 구성과 같게 할 수 있다.

[0181] 도 6의 (B)는 이미지 센서가 달린 표시 장치의 화소의 일부의 단면도다. 화소 영역에서, 포토다이오드 소자(4002) 및 트랜지스터(4030)는 기판(4001) 위에 제공된다. 또한, 화소부(5042)에서, 용량 소자(4032)의 유전체로서 사용되는 무기 절연막(4020)이 유기 절연막(4016) 위에 형성된다. 트랜지스터(4030)와 중첩되는, 무기 절연막(4020)의 영역의 일부에 개구가 형성된다. 유기 절연막(4016)은 위에 무기 절연막이 형성되지 않는 노출부를 갖는다.

[0182] 이와 같은 구성으로 함으로써, 유기 절연막(4016)으로부터 방출되는 가스가 트랜지스터(4030) 측에 진입되는 것을 방지할 수 있기 때문에, 신뢰성이 높은 표시 장치를 얻을 수 있다.

[0183] 또한, 유기 절연막(4016)은 포토다이오드 소자(4002) 및 트랜지스터(4030) 위에 제공된다. 용량 소자(4032)의 유전체로서 사용되는 무기 절연막(4020)은 유기 절연막(4016) 위에 형성되지만, 트랜지스터(4030)와 중첩되는 영역의 일부 위에는 제공되지 않는다.

[0184] 이와 같은 구성으로 함으로써, 유기 절연막으로부터의 방출 가스가 트랜지스터에 확산되는 것을 방지할 수 있기 때문에, 신뢰성이 높은 표시 장치를 얻을 수 있다.

[0185] 포토다이오드 소자(4002)에서, 트랜지스터(4030)의 소스 전극 및 드레인 전극과 같은 공정에서 형성되는 하부 전극과, 액정 소자(4034)의 화소 전극과 같은 공정에서 형성되는 상부 전극은 한 쌍의 전극으로서 포함되고, 상기 한 쌍의 전극 사이에 다이오드가 있다.

[0186] 포토다이오드 소자(4002)로서 사용될 수 있는 다이오드로서, p형 반도체막 및 n형 반도체막의 적층을 포함하는 pn형 다이오드, p형 반도체막, i형 반도체막, 및 n형 반도체막의 적층을 포함하는 pin형 다이오드, 쇼트키 다이오드 등이 사용될 수 있다.

[0187] 포토다이오드 소자(4002) 위에는, 제 1 배향막(4024), 액정층(4096), 제 2 배향막(4084), 대향 전극(4088), 유기 절연막(4086), 착색막(4085), 대향 기판(4052) 등이 제공된다.

[0188] 본 실시형태에서는 실시형태 1과는 달리, 표시 장치가, 액정층(4096)이 사이에 개재된 제 1 배향막(4024) 및 제 2 배향막(4084)을 포함한다. 제 1 배향막(4024) 및 제 2 배향막(4084)에는, 아크릴 수지, 폴리이미드, 벤조사이클로부텐계 수지, 폴리아마이드, 또는 에폭시 수지 등의 내열성 유기 재료가 사용될 수 있다. 제 1 배향막(4024)이 유기 절연막(4016)과 접촉되어 형성되기 때문에 유기 절연막(4016)으로부터 방출되는 가스를 통과하는 막이 되어 바람직하다.

[0189] 또한, 액정층(4096)의 배열은, 용량 소자(4032)에 포함되는 대향 전극(4088) 및 투명 도전층에 인가되는 전압에 의하여 제어된다.

[0190] 또한, p형 반도체막 측이 수광면으로서 사용될 때, pin형 다이오드는 좋은 광전 변환 특성을 갖는다. 이것은 정공 이동도가 전자 이동도보다 낮기 때문이다. 본 실시형태는, 대향 기판(4052) 표면으로부터 액정층(4096) 등을 통하여 포토다이오드 소자(4002)에 진입하는 광이 전기 신호로 변환되는 예를 나타내지만 본 발명은 이 예에 한정되지 않는다. 또는 착색막 등이 대향 기판 측에 제공되어도 좋다.

[0191] 본 실시형태에 기재된 포토다이오드 소자(4002)는, 포토다이오드 소자(4002)에 광이 진입함으로써 한 쌍의 전극 사이에 전류가 흐르는 것을 이용한다. 포토다이오드 소자(4002)가 광을 검출하면, 피검출물의 정보를 판독할 수 있다.

[0192] 예를 들어, 표시 장치 및 이미지 센서에 트랜지스터를 형성하는 공정을 동시에 수행함으로써 본 실시형태에 기재된, 이미지 센서가 달린 표시 장치의 생산성을 증가시킬 수 있다. 하지만, 상술한 실시형태에 기재된 어느 표시 장치 및 본 실시형태에 기재된 이미지 센서는 다른 기판 위에 제작되어도 좋다. 구체적으로, 상술한 실시형태에서 기재된 어느 표시 장치에서의 제 2 기판 위에 이미지 센서가 제작되어도 좋다.

[0193] 본 실시형태는 다른 실시형태에 기재된 구성 중 어느 것과 적절히 조합하여 실시할 수 있다.

[0194] (실시형태 3)

[0195] 본 실시형태에서는, 본 발명의 일 형태에 따른 표시 장치를 사용한 태블릿 단말의 예에 대하여 설명한다.

[0196] 도 7의 (A) 및 (B)는 폴더블 태블릿 단말을 도시한 것이다. 도 7의 (A)는 펼친 태블릿 단말을 도시한 것이다. 태블릿 단말은, 하우징(8630)과, 하우징(8630)에 제공된, 표시부(8631a), 표시부(8631b), 표시 모드 스위치(8034), 전원 스위치(8035), 절전 모드 스위치(8036), 클래스프(8033), 및 조작 스위치(8038)를 포함한다.

[0197] 표시부(8631a)의 일부 또는 모두는 터치 패널로서 기능할 수 있고 표시된 조작 키를 터치하면 데이터를 입력할 수 있다. 예를 들어, 표시부(8631a)는 터치 패널로서 기능하는 모든 영역에 키보드 버튼을 표시할 수 있고, 표시부(8631b)는 표시 화면으로서 사용되어도 좋다.

[0198] 표시부(8631a)와 같이, 표시부(8631b)의 일부 또는 모든 영역이 터치 패널로서 기능할 수 있다.

[0199] 또한, 표시부(8631a)의 터치 패널 영역 및 표시부(8631b)의 터치 패널 영역은 동시에 터치하여 입력할 수 있다.

[0200] 표시 모드 스위치(8034)에 의하여 예컨대 표시가, 세로 모드와 가로 모드 사이, 및 흑백 모드와 컬러 모드 사이 등에서 전환될 수 있다. 절전 모드 스위치(8036)에 의하여, 태블릿 단말에 내장되는 광 센서로 검출되는 외광에 따라 표시의 휘도가 제어될 수 있다. 또한, 광 센서에 더하여 기울기를 검출할 수 있는 자이로스코프 또는 가속도 센서 등의 센서를 포함하는 다른 검출 장치가 태블릿 단말에 포함되어도 좋다.

[0201] 또한, 도 7의 (A)는 표시부(8631a) 및 표시부(8631b)의 면적이 같은 예를 도시한 것이지만, 본 발명은 이 예에 한정되지 않는다. 표시부(8631a) 및 표시부(8631b)는 상이한 면적 또는 표시 품질이어도 좋다. 예를 들어, 한쪽의 표시 패널이 다른 쪽의 표시 패널보다 고선명 표시가 가능하여도 좋다.

[0202] 도 7의 (B)는 닫힌 태블릿 단말을 도시한 것이다. 태블릿 단말은, 하우징(8630)과, 하우징(8630)에 제공된, 태양 전지(8633) 및 충방전 제어 회로(8634)를 포함한다. 도 7의 (B)에서는, 충방전 제어 회로(8634)의 예로서 배터리(8635) 및 DCDC 컨버터(8636)를 포함하는 구성을 도시하였다.

[0203] 태블릿 단말은 폴더블이기 때문에, 태블릿 단말이 사용되지 않을 때, 하우징(8630)을 닫을 수 있다. 따라서 표시부(8631a) 및 표시부(8631b)가 보호될 수 있어, 내구성 및 장기 사용 시에서의 신뢰성을 뛰어나게 한다.

[0204] 도 7의 (A) 및 도 7의 (B)에 도시된 태블릿 단말은 다양한 정보(예컨대, 정지 화상, 동영상, 및 텍스트 화상)를 표시하는 기능, 달력, 날짜, 시각 등을 표시부에 표시하는 기능, 표시부에 표시된 정보를 터치 입력으로 조작 또는 편집하는 터치 입력 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수도 있다.

[0205] 태양 전지(8633)에 의하여 얻어진 전력은, 태블릿 단말의 조작에 사용되거나, 또는 배터리(8635)에 저장될 수 있다. 또한, 태양 전지(8633)는 하우징(8630)의 양면에 제공될 수 있다. 리튬 이온 전지가 배터리(8635)로서 사용되면, 소형화 등의 이점이 있다.

[0206] 도 7의 (B)에 도시된 충방전 제어 회로(8634)의 구성 및 동작에 대하여 도 7의 (C)의 블록도를 참조하여 설명한다. 도 7의 (C)에는, 태양 전지(8633), 배터리(8635), DCDC 컨버터(8636), 컨버터(8637), 스위치(SW1), 스위치(SW2), 스위치(SW3), 및 표시부(8631)가 도시되었다. 도 7의 (C) 중 배터리(8635), DCDC 컨버터(8636), 컨버터(8637), 및 스위치(SW1)~스위치(SW3)는 도 7의 (B)에 도시된 충방전 제어 회로(8634)에 상당한다.

[0207] 전력이 태양 전지(8633)에 의하여 생성되는 경우, 태양 전지에 의하여 생성된 전력의 전압은, 전력이 배터리(8635)를 충전하기 위한 전압을 갖도록 DCDC 컨버터(8636)에 의하여 상승 또는 하강된다. 이 때, 스위치(SW1)는 온되고, 전력의 전압은 표시부(8631)에 가장 적합한 전압이 되도록 컨버터(8637)에 의하여 승압 또는 강압된다. 또한, 표시부(8631)에서 표시가 수행되지 않을 때는 스위치(SW1)가 오프되고, 스위치(SW2)가 온되어 배터리(8635)가 충전된다.

[0208] 또한, 태양 전지(8633)는 발전 수단의 일례로서 기재되지만, 본 발명은 이것에 한정되지 않는다. 압전 소자 또는 열전 변환 소자(펠티어(Peltier) 소자) 등의 다른 발전 수단이 대체로 사용되어도 좋다. 예를 들어, 무선(비접촉)으로 전력을 송수신하여 충전할 수 있는 무접점 전력 전송 모듈 등의 다른 충전 수단을 조합하여 사용하여 배터리를 충전하여도 좋다.

[0209] 상술한 실시형태에 기재된 표시 장치가, 본 실시형태에 기재된 태블릿 단말에 포함되는 표시부(8631a) 및 표시부(8631b) 각각에 적용되면 높은 신뢰성을 얻을 수 있다.

[0210] 본 실시형태는 다른 실시형태에 기재된 구성 중 어느 것과 적절히 조합하여 실시할 수 있다.

[0211] (실시형태 4)

[0212] 본 실시형태에서는, 상술한 실시형태 등에서 기재된 표시 장치 중 어느 것을 포함하는 전자 기기의 예에 대하여 설명한다.

[0213] 도 8의 (A)는 휴대용 정보 단말을 도시한 것이다. 도 8의 (A)에 도시된 휴대용 정보 단말은 하우징(9300), 버튼(9301), 마이크로폰(9302), 표시부(9303), 스피커(9304), 및 카메라(9305)를 포함하며, 휴대 전화로서의 기능을 갖는다. 상술한 실시형태에 기재된, 표시 장치 및 이미지 센서가 달린 표시 장치 중 어느 것이 표시부(9303)에 적용될 수 있다.

[0214] 도 8의 (B)는 디스플레이를 도시한 것이다. 도 8의 (B)에 도시된 디스플레이는 하우징(9310) 및 표시부(9311)를 포함한다. 상술한 실시형태에 기재된, 표시 장치 및 이미지 센서가 달린 표시 장치 중 어느 것이 표시부(9311)에 적용될 수 있다.

[0215] 도 8의 (C)는 디지털 스틸 카메라를 도시한 것이다. 도 8의 (C)에 도시된 디지털 스틸 카메라는, 하우징(9320), 버튼(9321), 마이크로폰(9322), 및 표시부(9323)를 포함한다. 상술한 실시형태에 기재된, 표시 장치 및 이미지 센서가 달린 표시 장치 중 어느 것이 표시부(9323)에 적용될 수 있다.

[0216] 본 발명의 일 형태를 적용함으로써, 전자 기기의 신뢰성을 높일 수 있다.

[0217] 본 실시형태는 다른 실시형태에 기재된 구성 중 어느 것과 적절히 조합하여 실시할 수 있다.

부호의 설명

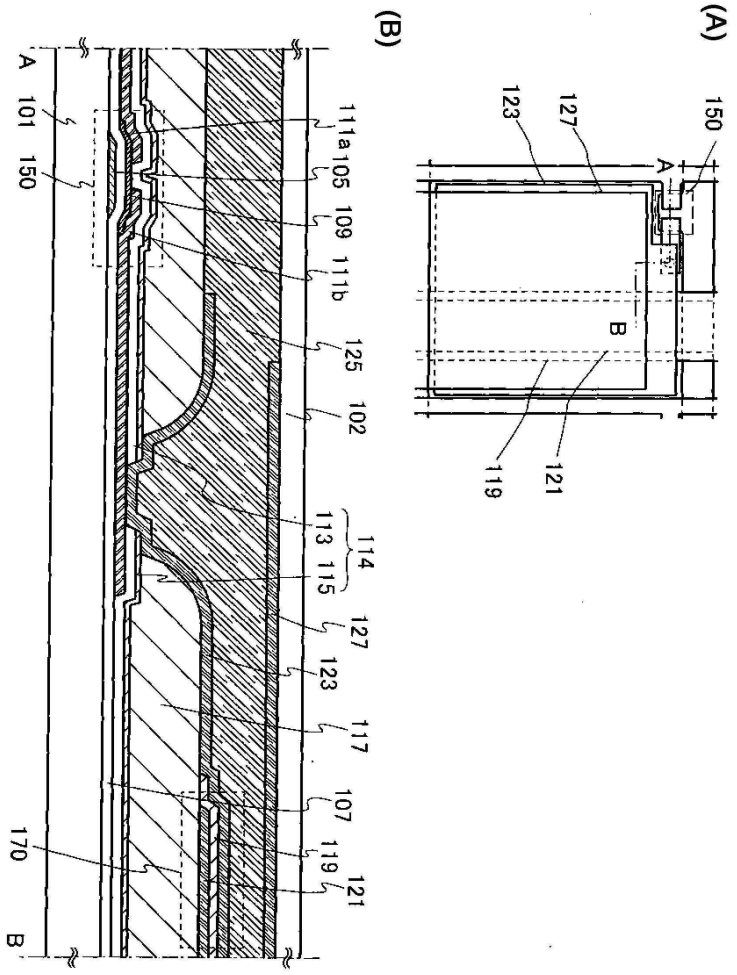
[0218] 101: 기판, 102: 기판, 105: 게이트 전극층, 107: 게이트 절연층, 109: 반도체층, 111a: 소스 전극층, 111b: 드레인 전극층, 114: 제 1 무기 절연막, 113: 무기 절연막, 115: 무기 절연막, 117: 유기 절연막, 119: 제 2 무기 절연막, 121: 투명 도전층, 123: 투명 도전층, 125: 액정층, 127: 투명 도전층, 129: 제 2 무기 절연막, 150: 트랜지스터, 170: 용량 소자, 180: 용량 소자, 1000: 화소부, 1001: 실재, 1003: 신호선 구동 회로, 1004: 주사선 구동 회로, 1018: FPC, 4001: 기판, 4002: 포토다이오드 소자, 4016: 유기 절연막, 4020: 무기

절연막, 4024: 배향막, 4030: 트랜지스터, 4032: 용량 소자, 4034: 액정 소자, 4036: 게이트선, 4040: 트랜지스터, 4052: 대향 기판, 4056: 트랜지스터, 4057: 게이트 선택선, 4058: 리셋 신호선, 4059: 영상 신호선, 4071: 출력 신호선, 4084: 배향막, 4086: 유기 절연막, 4088: 대향 전극, 4096: 액정층, 5042: 화소부, 8033: 클래스프, 8034: 스위치, 8035: 전원 스위치, 8036: 스위치, 8038: 조작 스위치, 8630: 하우징, 8631: 표시부, 8631a: 표시부, 8631b: 표시부, 8633: 태양 전지, 8634: 충방전 제어 회로, 8635: 배터리, 8636: DCDC 컨버터, 8637: 컨버터, 9300: 하우징, 9301: 버튼, 9302: 마이크로폰, 9303: 표시부, 9304: 스피커, 9305: 카메라, 9310: 하우징, 9311: 표시부, 9320: 하우징, 9321: 버튼, 9322: 마이크로폰, 및 9323: 표시부.

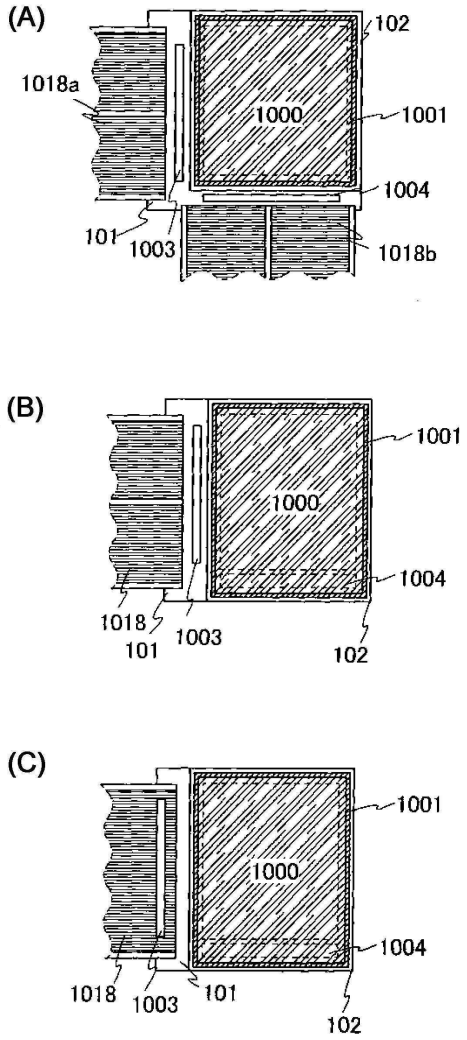
본 출원은 2012년 7월 20일에 일본 특허청에 출원된 일련 번호 2012-161726의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

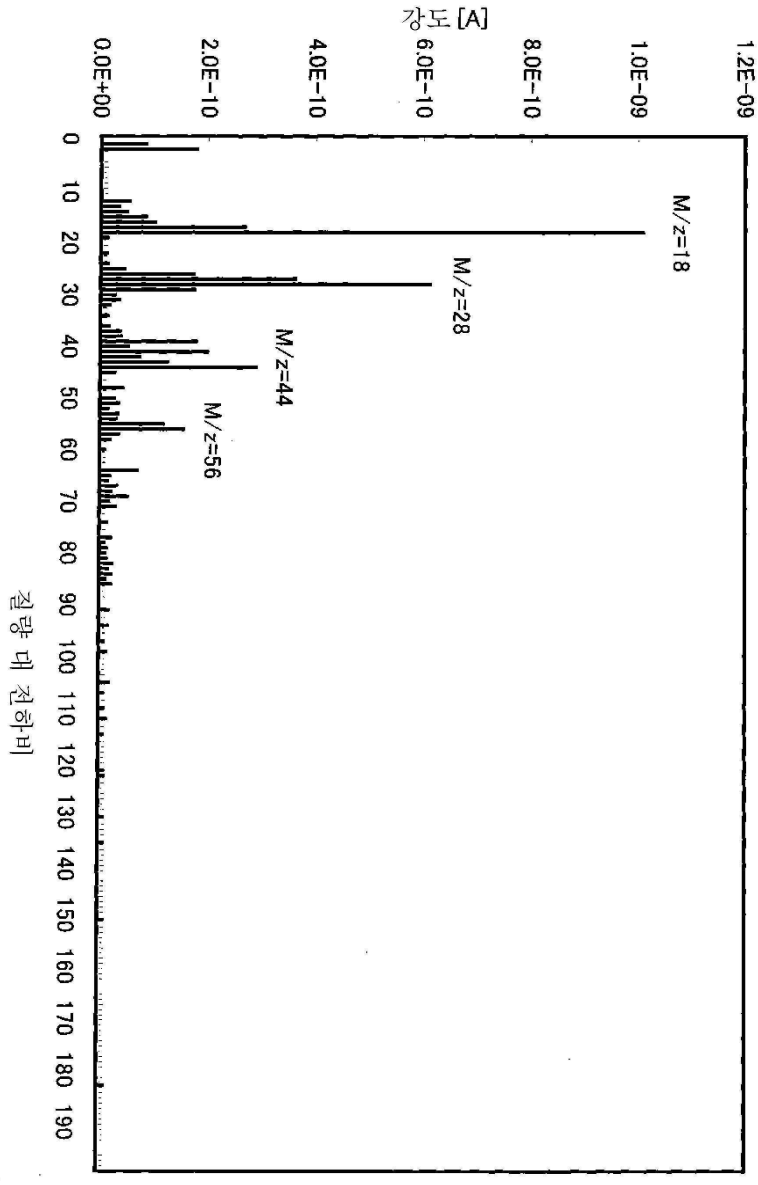
도면1



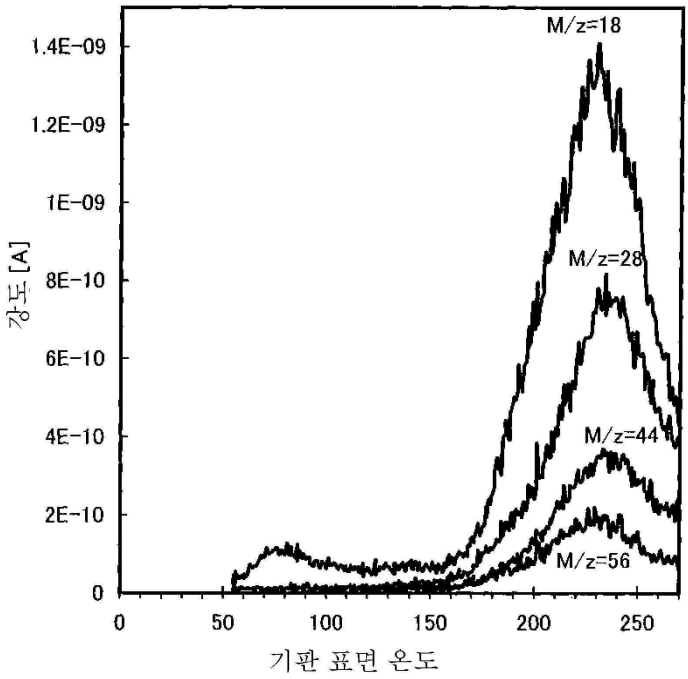
도면2


(A)
102
1018a
1000
1001
1004
101
1003
1018b
(B)
1001
1000
1004
1018
101
1003
102
(C)
1001
1000
1004
1018
1003
101
102

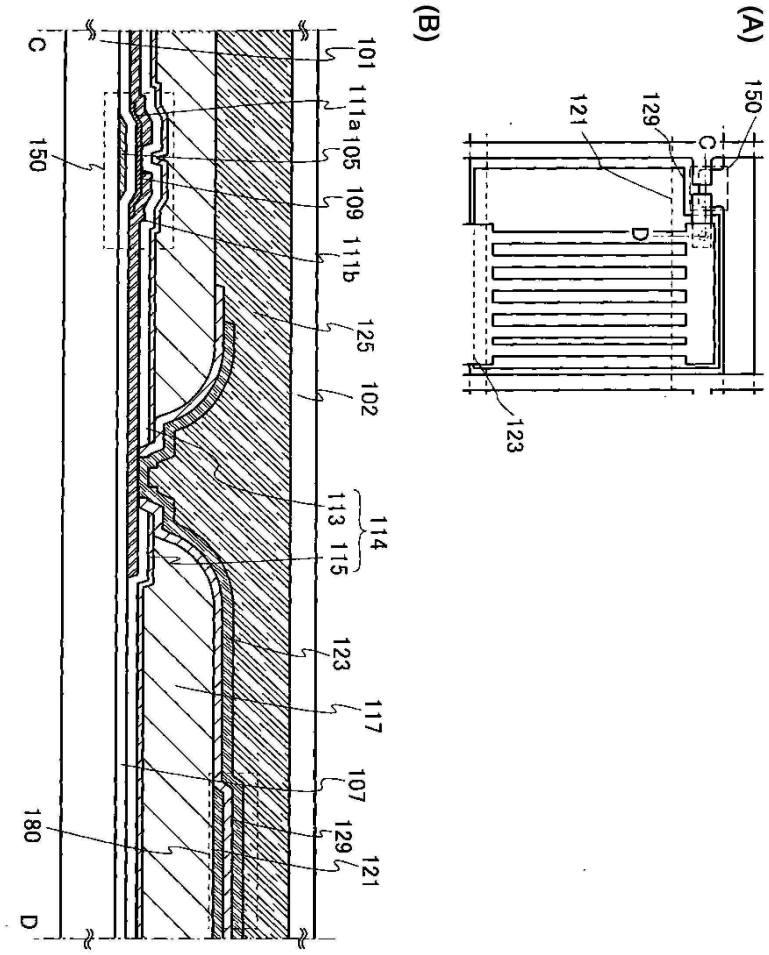
도면3


강도 [A]
1.2E-09
1.0E-09
8.0E-10
6.0E-10
4.0E-10
2.0E-10
0.0E+00
M/z=18
M/z=28
M/z=44
M/z=56
0 10 20 30 40 50 60 70 80 90 100 110 120 130 140 150 160 170 180 190
질량 대 전하비

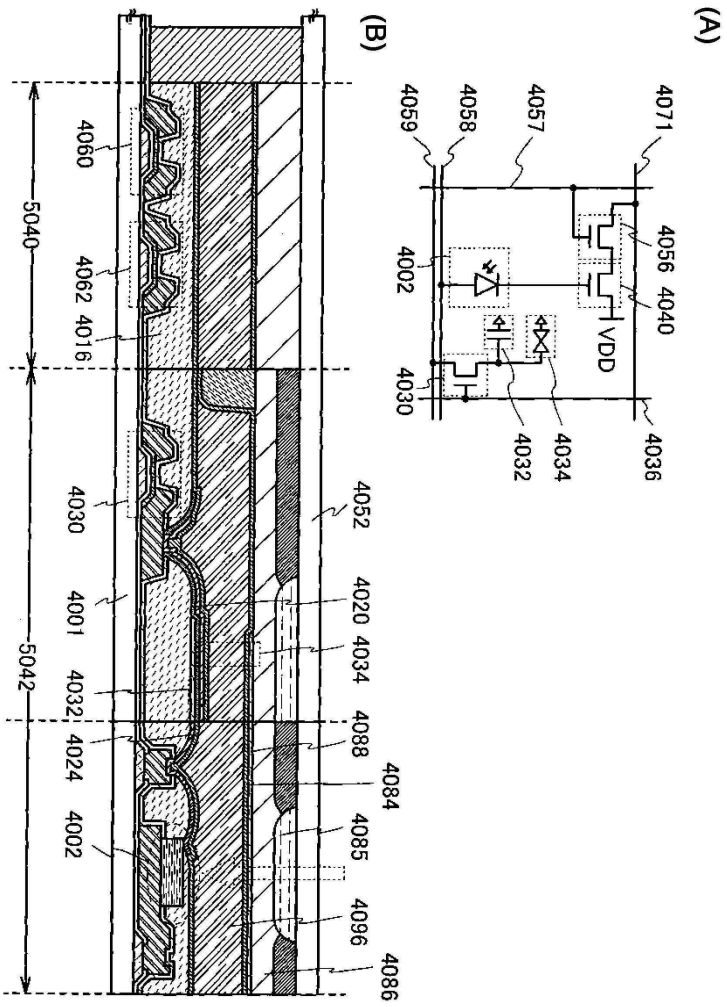
도면4


M/z=18
M/z=28
M/z=44
M/z=56
1.4E-09
1.2E-09
1E-09
8E-10
6E-10
4E-10
2E-10
0
강도 [A]
0
50
100
150
200
250
기판 표면 온도

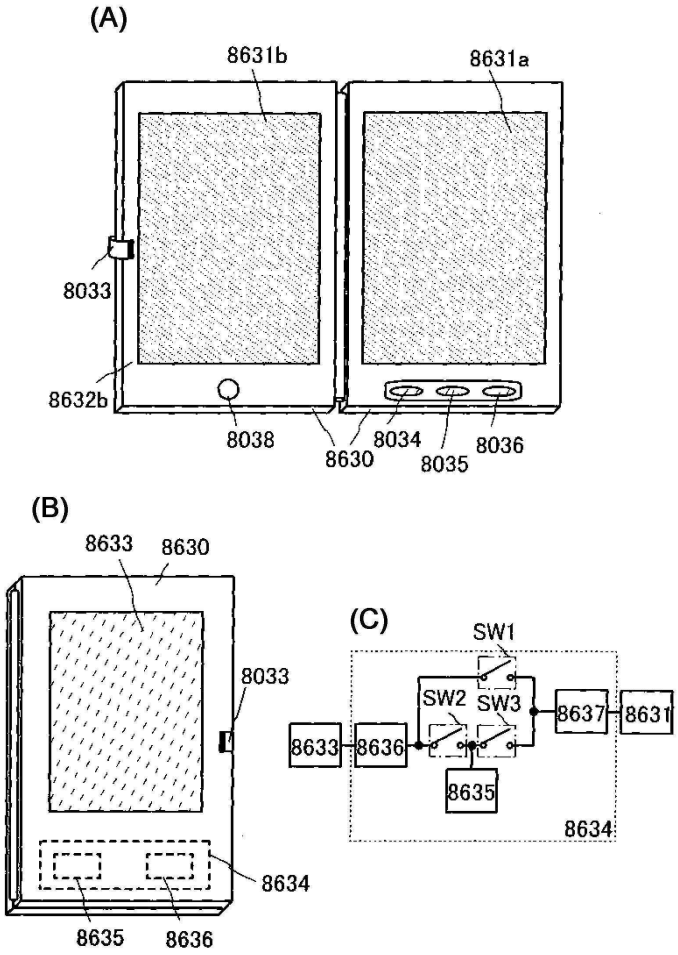
도면5


(A)
150
129
121
C
H
D
123
(B)
C
150
180
D
101
111a
105
109
111b
125
102
114
113
115
123
117
107
129
121

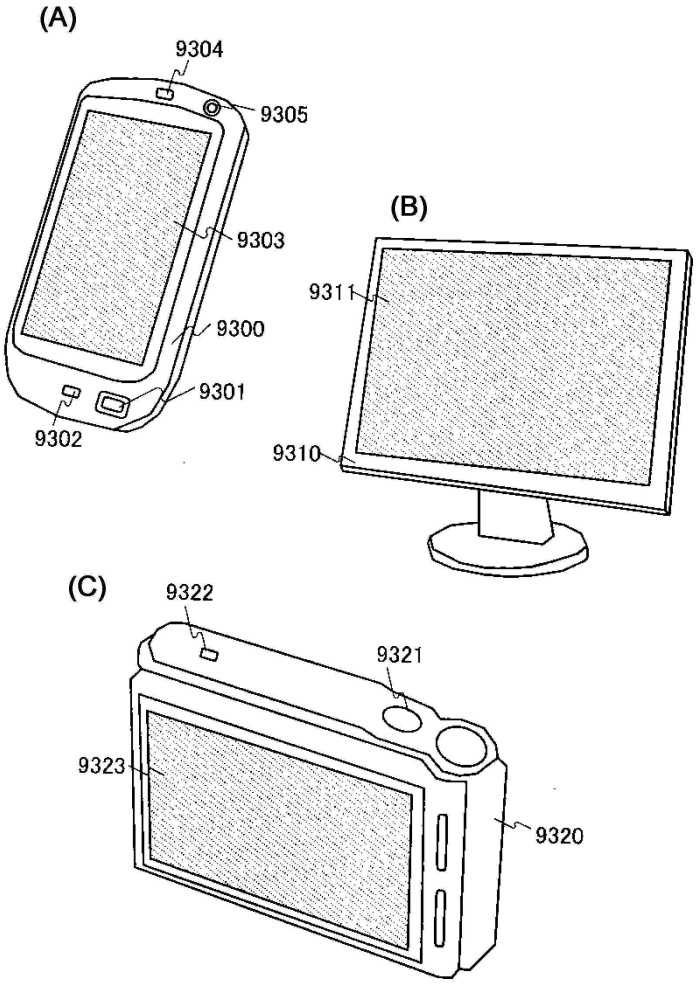
도면6


(A)
4071
4059
4058
4057
4056
4040
4002
VDD
4030
4032
4034
4036
(B)
4060
4062
4016
5040
4030
4001
4032
5042
4024
4002
4052
4020
4034
4088
4084
4085
4096
4086

도면7


(A)
8631b
8631a
8033
8632b
8038
8630
8034
8035
8036
(B)
8633
8630
8033
8634
8635
8636
(C)
SW1
SW2
SW3
8633
8636
8637
8631
8635
8634

도면8


(A)
9304
9305
9303
9300
9301
9302
(B)
9311
9310
(C)
9322
9321
9323
9320