

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01R 31/28 (2006.01)

G06F 11/22 (2006.01)



[12] 发明专利说明书

专利号 ZL 03113382.7

[45] 授权公告日 2007 年 11 月 28 日

[11] 授权公告号 CN 100351638C

[22] 申请日 2003.5.1 [21] 申请号 03113382.7

[73] 专利权人 中兴通讯股份有限公司

地址 518057 深圳市南山区高新技术产业园科技南路中兴通讯大厦法律部

[72] 发明人 程智刚

[56] 参考文献

CN 1369714 A 2002.9.18

特开平 10 - 311869 1998.11.24

特开平 7 - 175677 1995.7.14

审查员 胡斌

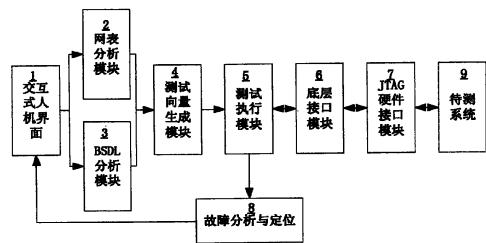
权利要求书 1 页 说明书 6 页 附图 2 页

[54] 发明名称

一种集成电路边界扫描测试装置

[57] 摘要

一种集成电路边界扫描测试装置，属于通信电子领域印制电路板上的集成电路测试领域。是利用计算机并行口进行边界扫描测试的装置，包括：底层接口模块；初试化模块；测试向量产生模块；测试模块；故障分析与定位模块；JTAG 硬件接口模块；PCB 网表文件分析模块；边界扫描描述语言文件分析模块。充分利用 PC 机本身的资源，即通过编制 PC 边界扫描应用程序和 PC 机并行口，同时辅助以 JTAG 接口硬件装置，来对待测设备进行边界扫描测试。不仅能够对待测 PCB 板上的器件进行边界扫描测试，而且能够对整个 PCB 板进行边界扫描测试。该装置成本低，能够提高 PCB 板生产的合格率，大大提高 PCB 板生产可测试性。



1、一种集成电路边界扫描测试装置，包括：底层接口模块，实现对 Windows 下底层硬件的驱动，使得应用程序能够对底层的硬件端口进行读写操作；初试化模块，实现对计算机并行口和测试逻辑的初试化，同时对定义的缓冲区进行初试化，以及对计算机并行口验证；网表文件分析模块，用于根据网络表文件分析得到 PCB 节点个数，网络连接情况，以及具有 BST 功能的器件在网络节点连接和分布情况；边界扫描描述语言文件分析模块，用于分析网络表中边界扫描测试器件的边界扫描描述语言文件，得出该器件支持的边界扫描测试命令、边缘扫描源寄存器长度、边缘扫描源控制逻辑关系，为测试向量生成和测试执行所用；测试向量产生模块，根据相关的测试向量生成算法来自动生成测试向量文件；测试模块，将测试向量输入到待测的印制电路板，读出测试结果；故障分析与定位模块，根据测试结果，给出故障类型和定位故障所在的位置；边界扫描标准硬件接口模块，实现对边界扫描标准接口信号的驱动和隔离。

一种集成电路边界扫描测试装置

技术领域：

本发明属于通信电子领域印制电路板上的集成电路测试领域，涉及带有边界扫描单元的集成电路、大规模集成电路或超大规模集成电路、以及印制电路板上带有边界扫描功能的集成电路之间互联的测试。

背景技术：

集成芯片（IC: Integrated Circuit）的功能变得越来越强大，伴随着工艺也不断提高，已经发展到亚微米工艺，同时 IC 的管脚越来越多，印制电路板（PCB: Printed Circuit Board）布线间距变得越来越小、结构越来越复杂。这样利用机械探针测试的针床（bed-of-nail）难于与电路板上的节点接触，留给针床的接触点空间已越来越小，使借助于针床夹具的在线测试（ICT: In Circuit Test）方法越来越困难，因为利用机械探针很难接触到这些高密度的 PCB 电路板的引线，而且这种测试设备已经变得十分昂贵，影响生产和开发成本。

IEEE1149.1-1990 标准，也称为 JTAG （Joint Test Action Group）标准或边界扫描标准，该标准详细描述并规定了测试访问口和边界扫描体的体系结构，是一种边界扫描技术标准。边界扫描技术是应用集成电路边界的扫描链，进行扫描操作并对其进行观察和控制的测试技术。目前，国内外器件生产厂商为争夺市场占有率，在集成电路设计和制造中都纷纷采用 JTAG 标准，把边缘扫描测试所需的硬件资源集成在芯片内，提供了边界扫描测试技术支持平台。

采用边界扫描测试设备能够为带有边界扫描功能的 IC 及由这种 IC 组成 PCB 提供边界扫描测试，解决 ICT 测试方法在 IC 和 PCB 测试中遇到的难题。每一个带有边界扫描功能的 IC 都有一个测试访问口（TAP:Test Access Port），该接口的五个信号分别定义为测试数据输入（TDI:Test Data Input）、测试数据输出（TDO:Test Data Output）、测试模式选择（TMS:Test Mode Select）、测试时钟（TCK:Test Clock）和测试复位（TRST:Test Reset）。在一块 PCB 上，由两个或两个以上 IC 的 TAP 口 TDI、TDO 信号依次串行连接就构成了“菊花链”结构，采用边界扫描测试（BST:Boundary Scan Test）方法能高效地检测密集布线 PCB 上的 IC 内部电路及其外部互连线的故障。同时边界扫描测试方法还能够通过读取器件的 ID 值和器件的版本号等信息，这样可以定位 PCB 上某个位置是否焊接错误的器件。

BST 的基本思想是靠近器件的每一输入/输出 (I/O) 管脚处增加一个移位寄存器单元。在测试期间，这些寄存器单元用于控制输入管脚的状态（高或低），并读出输出管脚的状态，利用这种基本思想就可以测试出电路板中器件的好坏及相互连接的正确性。并且能够识别器件的 ID 值和器件的版本等信息，避免焊错器件。在正常工作期间，这些附加的移位寄存器单元是“透明的”，不影响电路板的正常工作。

与本发明技术相关或相近的技术和专利：

- 1、国内：专利申请号为 01128718.7，发明名称为：大规模集成电路（LSI）边界扫描测试系统。该发明的主要内容分为软件和硬件两部分。软件部分是 JTAG Builder IDE；硬件部分是基于 PCI 总线的边界扫描测试接口卡。该发明的主要功能是测试 IC 或 LSI。不能测试 PCB 上 IC 互联情况。
- 2、国外：专利号为 US5751737，发明名称为：Boundary scan testing device（译为：边界扫描测试装置）。该发明内容是一台专用的边界扫描测试装置，该装置能够对边界扫描设备进行组合逻辑测试，侧重于电路本身实现的功能测试，不用于器件之间的互联测试。此外因为该发明是专用的测试设备，结构复杂、价格昂贵，不易被推广。

发明内容：

针对上述所描述的技术和现有测试设备状况，本发明提供一种利用计算机并行口资源进行边界扫描的装置。利用该装置，可以对印制板及其元器件进行边界扫描测试，从而大大改善通讯设备中各个功能单板的可测试性、提高测试覆盖率。结合传统的 ICT 方法，就可以对印制板及其元器件进行更加全面的测试。

本发明提供的集成电路边界扫描测试装置，是利用计算机并行口进行边界扫描测试的装置，包括：底层接口模块，实现对 Windows 下底层硬件的驱动，使得应用程序能够对底层的硬件端口进行读写操作；初试化模块，实现对计算机并行口和测试逻辑的初试化，同时对定义的缓冲区进行初试化，以及对计算机并行口验证；测试向量产生模块，根据相关的测试向量生成算法来自动生成测试向量文件；测试模块，将测试向量输入到待测的 PCB 板，读出测试结果；故障分析与定位模块，根据测试结果，给出故障类型和定位故障所在的位置；JTAG 硬件接口模块，实现对 JTAG 接口信号的驱动和隔离。

本发明还可以包括：PCB 网表文件分析模块，对输入的 PCB 网络表文件进行分析和处理；边界扫描描述语言（BSDL：Boundary Scan Description Language）文件分析模块，分析网络表中 BST 器件的 BSDL 文件，得出该器件支持的 BST 命令、BSC 寄存器长度、BSC 控制逻辑关系等信息，为测试向量生成和测试执行所用。

采用本发明的技术方案，充分利用 PC 机本身的资源，即通过编制 PC 边界扫描应用程序和 PC 机并行口，同时辅助以 JTAG 接口硬件装置，来对待测设备进行边界扫描测试。与已有的发明相比，不仅仅能够对待测 PCB 板上的器件进行边界扫描测试，而且能够对整个 PCB 板进行边界扫描测试。该装置成本低，易于推广，节省研发经费，更能够提高 PCB 板生产的合格率，大大提高 PCB 板生产可测试性。另外，对于工程维护或设备运行的现场，使用本发明所述的技术方案可以方便的在线定位和查找故障。

附图说明

图 1 是 IEEE 1149.1 定义的 TAP 控制器状态流程图。

图 2 是本发明的测试装置的一种实施例及工作流程图。

图 3 是本发明的测试装置的一种实施例的应用例 1。

图 4 是本发明的测试装置的另一种实施例的应用例 2。

图 5 是 JTAG 接口硬件装置图。

具体实施方式

下面结合附图，说明本发明的具体实施方式。

图 1 是 IEEE 1149.1 定义的 TAP 控制器状态流程图。是本发明原理性依据。

图 2 是本发明的装置的一种实施例及工作流程图。启动人机交互界面 1，就同时启动程序的初始化部分的程序。输入 PCB 网络表文件和 BSDL 文件，分别执行两类文件的分析：网络表文件分析模块 2、BSDL 文件分析模块 3。然后根据对两类文件分析的结果执行测试向量生成模块 4 生成测试向量。执行测试模块 5 将测试向量通过底层接口模块 6 和 JTAG 硬件接口模块 7 给待测系统 9。同时执行模块 5 获取执行结果给故障分析与定位模块 8，最后在人机交互界面 1 上显示测试结果。

如果由另外的向量生成器生成向量文件，本发明的装置中可去省去 PCB 网表文件分析模块和边界扫描描述语言文件分析模块。

下面对各模块进行详细说明：

1、用户界面

图形用户界面是基于 Windows 操作系统的交互式窗口，提供友好的人机接口。为测试过程提供输入、输出操作方式。

2、初始化模块

主要实现对计算机并行口和测试逻辑的初试化，同时对定义的缓冲区进行初试化。该功能还包括对计算机并行口验证，用来判断它是否可用。验证方法是计

计算机并行口初始化时，将 JTAG 接口硬件部分的 TDI 和 TDO 用跳线短接起来，可以通过程序来自动诊断计算机并行口、JTAG 接口信号是否可用。验证完毕，断开上述的跳线即可正常工作。

3、底层接口模块

该接口模块的主要功能是实现对 Windows 下底层硬件的驱动，这里主要是对计算机的并行口进行访问，给应用程序的测试执行模块提供 API 接口，使得应用程序能够对底层的硬件端口进行读写操作。

4、网表文件（PCB 网表文件）分析模块

输入的 PCB 网络表文件进行分析和处理。PCB 网络表文件是原理图工具自动生成，符合一定的规范和格式，如 Protel98 等。该程序模块，能够提示网络表文件出现的异常错误。根据网络表文件分析得到 PCB 节点个数、网络连接情况，以及具有 BST 功能的器件在网络节点连接和分布情况。为测试向量生成模块和测试结果诊断用。原理图器件库中器件的管脚名称定义须按照器件厂商给定的定义来命名，因为网络表文件中对于器件管脚名称定义依赖与原理图器件库中对于相关器件的管脚名称的定义。

5、SDL 文件分析模块

分析网络表中 BST 器件的 BSDL 文件，得出该器件支持的 BST 命令、BSC 寄存器长度、BSC 控制逻辑关系等信息。为测试向量生成和测试执行所用。

器件的 BSDL 文件是由器件厂商提供或从相关器件厂商的网站下载得到，BSDL 文件必须符合 IEEE Std 1149.1 的规定，因为 BSDL 是 VHDL(Verilogic Hardware Description Language) 的一个子集，所以可以参考 IEEE Std 1076-1993。该程序模块，能够提示 BSDL 文件出现的异常错误。如果遇到网络表文件中对于器件管脚定义与 BSDL 文件描述不一致的地方，需要自动或手工修改网络表文件相关部分。即网络表文件对于器件管脚的定义必须与该器件的 BSDL 文件一致，否则就不能生成测试向量。

6、测试向量产生模块

只有在对 PCB 网络表和相关 BSDL 文件正确分析的前提下，才能根据相关的测试向量生成算法来自动生成测试向量文件。

测试向量生成的方法：通过网络表文件的分析结果找到器件互联关系、互联节点的个数，并依据互联节点数通过相关算法决定生成测试向量的个数。通过 BSDL 文件分析出器件支持的边缘扫描测试命令及其长度、边缘扫描源（BSC：Boundary Scan Cell）的个数、BSC 之间的控制和输入输出关系、互联节点的管脚名称或管脚号与 BSC 序号对应关系。最后可以用“最小权序列”、“最大独立集”等算法借助应用程序来自动生成最终应用的测试向量，伴随测试向量的生成，预

期的测试结果也随之而产生。

6、试执行模块

应用程序通过插到 PC 机并行口的 JTAG 硬件装置，将测试码流（测试向量）经过并串转换后，依次串行地输入到待测的 PCB 板，这个过程的 TAP 状态迁移需要严格按照图 1 所示的 TAP 控制器的状态流程图。当将测试指令 EXTEST 写指令寄存器，并且执行 UPDATE_IR 后，就可以再次通过 TAP 口来读出测试结果。

8、障分析与定位模块

根据测试向量经过测试后的测试结果，针对测试结果与预期结果的不一致故障，给出故障类型和定位故障所在的位置：某个芯片的某个管脚。

9、JTAG 硬件接口模块

JTAG 硬件接口装置，主要实现对 JTAG 接口信号（TDI、TDO、TCK、TMS 和 TRST）的驱动和隔离。

JTAG 接口硬件装置可以直接插到计算机的并行口上，其电源是由外部电源设备供给，也可以直接通过待测 PCB 板的 JTAG 接口供给。该装置实现对 TAP 接口信号（TDI、TDO、TCK、TMS 和 TRST）的驱动和隔离。首先计算机的并行口发送的信号经过缓冲驱动后给待测 PCB 板的 TAP 接口信号，同时反向时进行隔离。其次，待测板 TAP 接口的输出信号与计算机并口接收也进行进行缓冲隔离，这样可以保护计算机的并行口和待测设备。同时硬件部分还包括信号指示部分，用于指示 JTAG 接口信号的状态。

图 3 和图 4 是本发明的两种实施方式的应用例。它们的区别在于，图 3 输入“PC 机+应用程序”102 的是器件的 BSDL 文件 101 和 PCB 板的网络表文件 100。图 4 输入“PC 机+应用程序”102 的是器件的向量文件 201，该向量文件是由另外的向量生成器产生的。应用程序即边界扫描测试程序，它主要由底层接口模块、初始化模块、向量产生模块、测试执行模块和故障分析定位模块组成，共同完成边界扫描测试。其中底层接口模块采用 WinDriver(V5.05) 软件向导（能够支持当前 Microsoft 所有正式发行的 Windows 操作系统）来完成对底层硬件的访问。

下面主要以图 3 为主来说明。

实施对待测 PCB 板进行边界扫描，首先确认 PCB 板在设计时是否支持边界扫描。图 3 的待测 PCB 板 9 在设计时已经将 BST 器件链接为“菊花链”（图 4 的待测 PCB 板 9 与此相同），即链中前一个器件 107 的 TDO 接下一个器件 108 的 TDI，链中第一个器件 107 的 TDI 为 TAP 口 106 的 TDI，链中的最后一个器件 109 的 TDO 为 TAP 口 106 的 TDO。

在实施对待测 PCB 板进行边界扫描，将 JTAG 接口装置 104 通过并口 103 与 PC 机 102 连接起来，此时可以启动 PC 机上的边界扫描测试程序先来检测并口 103

的能否正常工作，如果正常工作则可以继续下面的工作。然后用 10 芯扁平电缆线 105 与待测 PCB 板 110 的 TAP 口 106 建立连接。

在实施对待测 PCB 板进行边界扫描，进行 PCB 板上 BST 器件互联测试，器件准备待测 PCB 板 110 上“菊花链”上所有 BST 器件的 BSDL 文件 101 和本 PCB 对应的网络表文件 100。通过边界扫描测试程序选择输入正确的 BSDL 文件 101 和网络表文件 100，设置相关选项，启动测试功能，应用程序根据图 1 所示状态机，控制 TAP 口信号，最后输出对应的测试结果。有故障时应用程序输出故障信息。

在实施对待测 PCB 板进行边界扫描，进行 PCB 板上某个 BST 器件如 108 本身内部测试，输入待测器件的 BSDL 文件。此时可以将“菊花链”中 107 和 109 实施 BYPASS 指令，对 108 实施 INTEST 或 RUNBIST 指令，同时对该器件辅以外部的激励信号，这样就可以对 108 进行内部测试，测试完毕，应用程序通过边界扫描寄存器捕获测试结果。

在实施对待测 PCB 板进行边界扫描，进行 PCB 板上器件的焊接正确性测试，输入待测器件的 BSDL 文件，对整个 BST 扫描通路进行扫描测试，读取相关器件 ID 值和版本号，与设计时应该焊接器件的信息进行比较，判断 PCB 板固定位置是否已经焊接了正确的器件。如果仅仅对某一个器件如 108 进行测试，可以将“菊花链”中 107 和 109 实施 BYPASS，对 108 实施 IDCODE 指令，只获取 108 的信息。应用程序自动与器件实际的信息进行比较，给出测试结果。

图 5 是 JTAG 接口装置 306，与并行口 301 相关的一侧从 PC 机的并口取相关的数据线和地线 302，其中数据线经过缓冲驱动后 304 后作为 TAP 口 309 的输入信号 307（包括 TDI、TMS、TCK 和 TRST）。PC 机并口的地线直接与 TAP 口的地线相连接。另外从 TAP 口 309 输出信号 308（TDO）经过缓冲隔离 304 后与 PC 机并口 301 的 BUSY 线 303 连接。另外：该装置的状态指示 305 能够显示 TAP 口的信号状态。

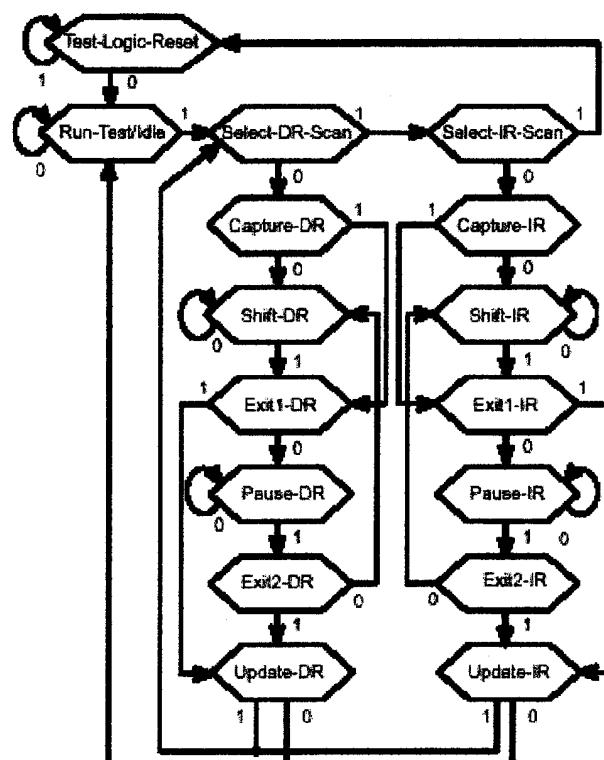


图 1

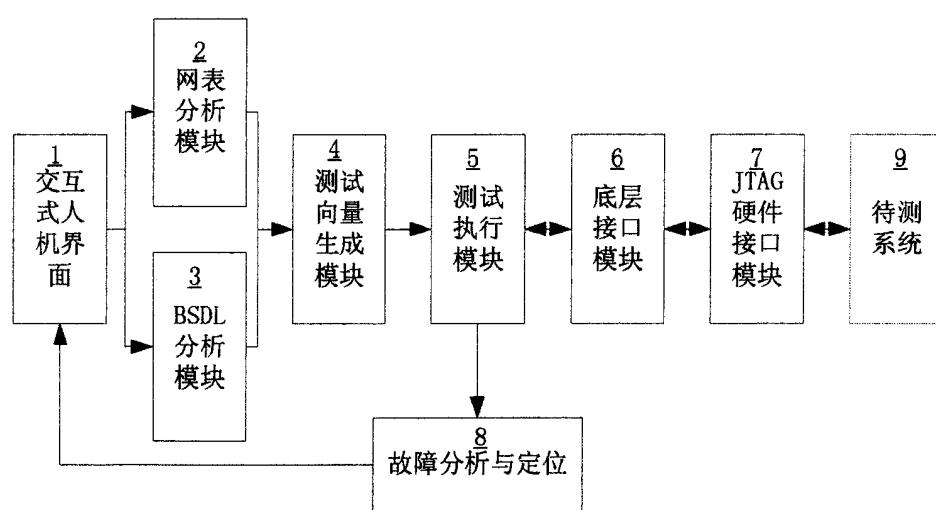


图 2

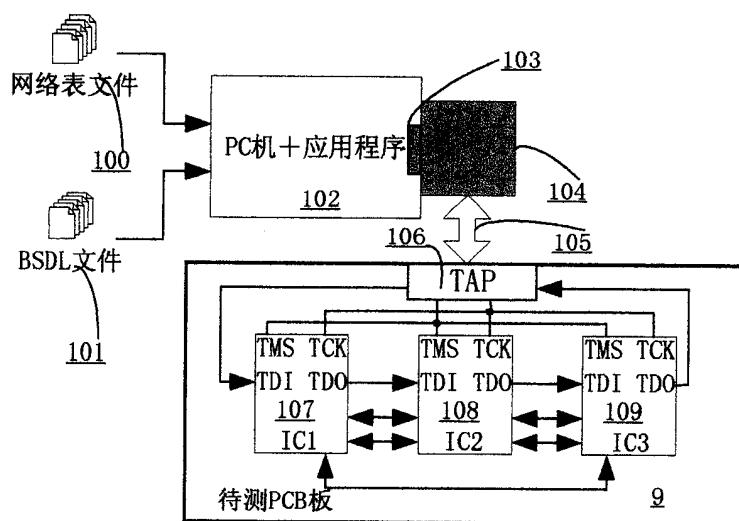


图 3

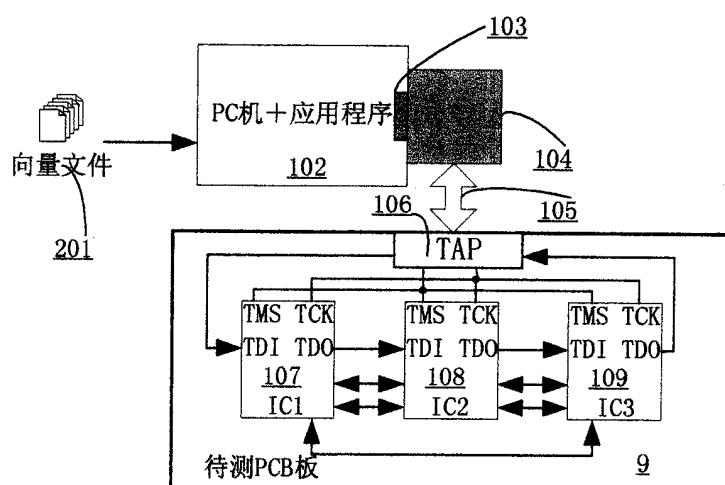


图 4

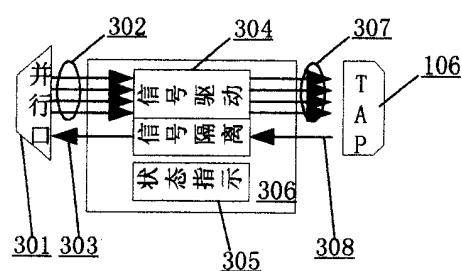


图 5