



(12) 发明专利

(10) 授权公告号 CN 102833002 B

(45) 授权公告日 2014. 12. 10

(21) 申请号 201210302672. 9

CN 101742358 A, 2010. 06. 16,

(22) 申请日 2012. 08. 23

徐轲, 闫娟娟, 郑铮. 基于光纤通道的 IEEE1394 光信号传输系统设计. 《电子设计工程》. 2011, 第 19 卷 (第 5 期),

(73) 专利权人 哈尔滨工业大学

地址 150001 黑龙江省哈尔滨市南岗区西大直街 92 号

杨金龙, 谢军. 光纤通道交换机接口的设计与实现. 《光通信技术》. 2010,

(72) 发明人 刘大同 彭宇 刘连胜 刘川 见其拓

郭志君, 周东. 基于 PowerPC 的光纤通道接口卡设计. 《技术纵横》. 2010,

(74) 专利代理机构 哈尔滨市松花江专利商标事务所 23109

审查员 龙祁峰

代理人 牟永林

(51) Int. Cl.

H04B 10/25 (2013. 01)

G06F 13/38 (2006. 01)

(56) 对比文件

CN 202261361 U, 2012. 05. 30,

CN 101677280 A, 2010. 03. 24,

CN 201813391 U, 2011. 04. 27,

CN 102377642 A, 2012. 03. 14,

CN 201251783 Y, 2009. 06. 03,

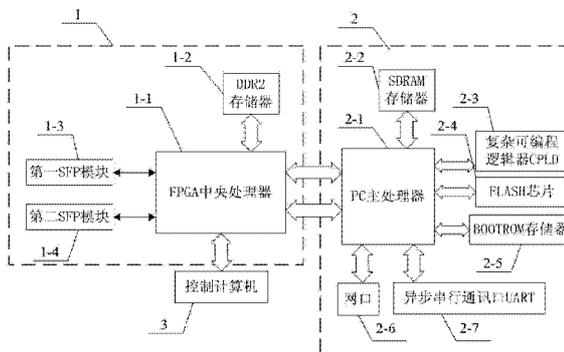
权利要求书3页 说明书7页 附图6页

(54) 发明名称

支持光纤通道协议的数据传输装置及传输方法

(57) 摘要

支持光纤通道协议的数据传输装置及传输方法,属于数据传输技术领域。它解决了现有大容量、远距离数据传输中,其数据传输方式不适于远距离传输的问题。本发明高速数据的接收与发送缓存采用 DDR2 存储器,高速串行数据的编码、解码利用 FPGA 子板实现,需要在硬件平台上处理的数据采用 Power PC 嵌入式处理器实现;同时,可以通过板卡的 PCI 总线接口与控制计算机通信,完成相应数据与控制信息的传送。本发明适用于远距离数据传输。



CN 102833002 B

1. 一种支持光纤通道协议的数据传输装置,它包括 FPGA 子板 (1)、POWER PC 子板 (2) 和控制计算机 (3),FPGA 子板 (1) 包括 FPGA 中央处理器 (1-1)、DDR2 存储器 (1-2)、第一 SFP 光模块 (1-3) 和第二 SFP 光模块 (1-4);POWER PC 子板 (2) 包括 PC 主处理器 (2-1)、SDRAM 存储器 (2-2)、复杂可编程逻辑器 CPLD(2-3)、FLASH 芯片 (2-4)、BOOTROM 存储器 (2-5)、以太网接口 (2-6) 和异步串行通讯口 UART(2-7),

FPGA 中央处理器 (1-1) 的存储控制信号输入输出端连接 DDR2 存储器 (1-2) 的存储控制信号输出输入端,FPGA 中央处理器 (1-1) 的第一传输数据输入输出端连接第一 SFP 光模块 (1-3) 的数据输出输入端,FPGA 中央处理器 (1-1) 的第二传输数据输入输出端连接第二 SFP 光模块 (1-4) 的数据输出输入端,FPGA 中央处理器 (1-1) 通过 PCI 总线接口与控制计算机 (3) 连接,FPGA 中央处理器 (1-1) 的 UP 接口连接 PC 主处理器 (2-1) 的 UP 接口,FPGA 中央处理器 (1-1) 的 MII 接口连接 PC 主处理器 (2-1) 的 MII 接口,

PC 主处理器 (2-1) 的数据存储信号输出输入端连接 SDRAM 存储器 (2-2) 的数据存储信号输入输出端,PC 主处理器 (2-1) 的逻辑信号输出输入端连接复杂可编程逻辑器 CPLD(2-3) 的逻辑信号输入输出端,PC 主处理器 (2-1) 的 FLASH 信号输出输入端连接 FLASH 芯片 (2-4) 的 FLASH 信号输入输出端,PC 主处理器 (2-1) 的 BOOT 信号输出输入端连接 BOOTROM 存储器 (2-5) 的 BOOT 信号输入输出端,PC 主处理器 (2-1) 上设置有以太网接口 (2-6) 和异步串行通讯口 UART(2-7);其特征在于:

所述 FPGA 中央处理器 (1-1) 包括数据组织与管理区 (1-11)、第一编解码区 (1-12)、第二编解码区 (1-13)、DDR2 存储器控制区 (1-14)、UP 接口逻辑区 (1-15)、MII 接口逻辑区 (1-16) 和时钟区 (1-17),

FPGA 中央处理器 (1-1) 的数据组织与管理区 (1-11) 通过 PCI 总线接口与控制计算机 (3) 连接,数据组织与管理区 (1-11) 的第一编解码信号输入输出端连接第一编解码区 (1-12) 的编码解码信号输出输入端,第一编解码区 (1-12) 的传输数据输入输出端为 FPGA 中央处理器 (1-1) 的第一传输数据输入输出端,数据组织与管理区 (1-11) 的第二编解码信号输入输出端连接第二编解码区 (1-13) 的编码解码信号输出输入端,第二编解码区 (1-13) 的传输数据输入输出端为 FPGA 中央处理器 (1-1) 的第二传输数据输入输出端,

数据组织与管理区 (1-11) 的 UP 接口信号输出输入端连接 UP 接口逻辑区 (1-15) 的 UP 接口信号输入输出端,UP 接口逻辑区 (1-15) 的 UP 接口信号输出输入端为 FPGA 中央处理器 (1-1) 的 UP 接口,

数据组织与管理区 (1-11) 的 MII 接口信号输出输入端连接 MII 接口逻辑区 (1-16) 的 MII 接口信号输入输出端,MII 接口逻辑区 (1-16) 的 MII 接口信号输出输入端为 FPGA 中央处理器 (1-1) 的 MII 接口,

数据组织与管理区 (1-11) 的存储控制信号输入输出端连接 DDR2 存储器控制区 (1-14) 的存储控制信号输出输入端,DDR2 存储器控制区 (1-14) 的存储控制信号输入输出端为 FPGA 中央处理器 (1-1) 的存储控制信号输入输出端,

数据组织与管理区 (1-11) 的时钟信号输出输入端连接时钟区 (1-17) 的时钟信号输入输出端。

2. 根据权利要求 1 所述的支持光纤通道协议的数据传输装置,其特征在于:所述 PC 主处理器 (2-1) 采用 MPC8280 芯片实现,

MPC8280 芯片与二级 60x 总线连接,二级 60x 总线上挂载有复杂可编程逻辑器 CPLD(2-3)、FLASH 芯片(2-4)和 BOOTROM 存储器(2-5),

MPC8280 芯片与一级 60x 总线连接,一级 60x 总线上挂载 SDRAM 存储器(2-2),

二级 60x 总线连接总线驱动区,总线驱动区连接一级 60x 总线,

MPC8280 芯片的 UP 接口程序在二级 60x 总线上实现,MPC8280 芯片的 UP 接口程序连接 UP 接口逻辑区(1-15);

MPC8280 芯片的 MII 接口程序通过其引脚 FCC2 实现,MPC8280 芯片的 MII 接口程序连接 MII 接口逻辑区(1-16);

MPC8280 芯片的引脚 SMC2 连接异步串行通讯口 UART(2-7),

MPC8280 芯片的引脚 FCC3 连接以太网接口(2-6)。

3. 根据权利要求 2 所述的支持光纤通道协议的数据传输装置,其特征在于:所述以太网接口(2-6)由 RJ45 以太网接口和 RJ45 型网卡接口组成,以太网接口(2-6)连接 MPC8280 芯片的引脚 FCC3,以太网接口(2-6)连接 RJ45 型网卡接口。

4. 根据权利要求 2 所述的支持光纤通道协议的数据传输装置,其特征在于:所述异步串行通讯口 UART(2-7)由串口 RS232 和 RJ11 接口组成,串口 RS232 连接 MPC8280 芯片的引脚 SMC2,串口 RS232 连接 RJ11 接口。

5. 根据权利要求 4 所述的支持光纤通道协议的数据传输装置,其特征在于:

所述 POWER PC 子板还包括 RS422 扩展接口、第一 RS485 扩展接口和第二 RS485 扩展接口,

RS422 扩展接口连接 MPC8280 芯片的引脚 SMC1,第一 RS485 扩展接口连接 MPC8280 芯片的引脚 TDMb,第二 RS485 扩展接口连接 MPC8280 芯片的引脚 TDMc。

6. 根据权利要求 2 所述的支持光纤通道协议的数据传输装置,其特征在于:所述 MPC8280 芯片的 MII 接口程序与 MII 接口逻辑区(1-16)之间的数据传输线包括数据线、发送控制信号线、接收控制信号线和时钟信号线。

7. 根据权利要求 2 所述的支持光纤通道协议的数据传输装置,其特征在于:MPC8280 芯片的 UP 接口程序与 UP 接口逻辑区(1-15)之间的数据传输线包括数据线、地址线、写信号线、片选信号线和读信号线。

8. 一种基于权利要求 1 所述支持光纤通道协议的数据传输装置的数据传输方法,其特征在于:它包括发送数据的方法,该发送数据的方法包括以下步骤:

步骤一:数据传输装置进行初始化,完成基于光纤通道协议的速率与发送配置;

步骤二:控制计算机(3)通过 PCI 总线将欲发送数据写至 FPGA 子板(1)并存储在 DDR2 存储器(1-2);

步骤三:POWER PC 子板(2)读取 DDR2 存储器(1-2)内存储的欲发送数据并进行处理;

步骤四:POWER PC 子板(2)将步骤三中处理完成后的欲发送数据发送至 FPGA 子板(1),FPGA 子板(1)将所述数据通过第一 SFP 光模块(1-3)和第二 SFP 光模块(1-4)发送出去。

9. 根据权利要求 8 所述的支持光纤通道协议的数据传输方法,其特征在于:它还包括接收数据的方法,该接收数据的方法包括以下步骤:

步骤五:数据传输装置进行初始化,完成基于光纤通道协议的速率与发送配置;

步骤六 :FPGA 子板 (1) 通过第一 SFP 光模块 (1-3) 和第二 SFP 光模块 (1-4) 接收高速串行数据,并存储至 DDR2 存储器 (1-2) ;

步骤七 :POWER PC 子板 (2) 从 DDR2 存储器 (1-2) 中读取接收到的串行数据,并进行处理 ;

步骤八 :POWER PC 子板 (2) 将处理完成后的接收数据发送给 FPGA 子板 (1),该 FPGA 子板 (1) 将接收到的数据通过 PCI 总线传输至控制计算机 (3)。

## 支持光纤通道协议的数据传输装置及传输方法

### 技术领域

[0001] 本发明涉及一种支持光纤通道协议的数据传输装置及传输方法,属于数据传输技术领域。

### 背景技术

[0002] 随着信息技术的发展,对大容量数据、远距离数据进行传输的需求越来越迫切,现有的数据传输技术可以分为两类:并行传输方式与串行传输方式。并行传输时数据的各位同时传送,它以字或字节为单位并行进行。并行通信具有速度快的优点,但其使用的数据线较多,造成成本高;同时由于数据线较多,在长距离数据传输时,干扰会增加,数据也容易产生错误,不适于长距离数据传输。串行传输方式的数据是一位一位进行传送,其特点为节省传输线、通信成本低、适合长距离数据传送,常用的串行传输方式为 RS232、RS422 和 RS485,其中 RS232 传输速率低于 200kbps,传输距离小于 15m;RS422 传输速率可达到 10Mbps,在速率低于 100kbps 时,可以达到最大传输距离为 1219m;RS485 在传输速率与传输距离方面指标与 RS422 相同。而其它高速串行传输如 PCI-E、SRI0、USB、GE 等,虽然支持数据传输速率最大可达 10Gbps,但传输距离受限,最远传输距离不超过 2m。

### 发明内容

[0003] 本发明是为了解决现有大容量、远距离数据传输中,其数据传输方式不适于远距离传输的问题,提供一种支持光纤通道协议的数据传输装置及传输方法。

[0004] 本发明所述支持光纤通道协议的数据传输装置,它包括 FPGA 子板、POWER PC 子板和控制计算机,FPGA 子板包括 FPGA 中央处理器、DDR2 存储器、第一 SFP 光模块和第二 SFP 光模块;POWER PC 子板包括 PC 主处理器、SDRAM 存储器、复杂可编程逻辑器 CPLD、FLASH 芯片、BOOTROM 存储器、以太网接口和异步串行通讯口 UART,

[0005] FPGA 中央处理器的存储控制信号输入输出端连接 DDR2 存储器的存储控制信号输出输入端,FPGA 中央处理器的第一传输数据输入输出端连接第一 SFP 光模块的数据输出输入端,FPGA 中央处理器的第二传输数据输入输出端连接第二 SFP 光模块的数据输出输入端,FPGA 中央处理器通过 PCI 总线接口与控制计算机连接,FPGA 中央处理器的 UP 接口连接 PC 主处理器的 UP 接口,FPGA 中央处理器的 MII 接口连接 PC 主处理器的 MII 接口,

[0006] PC 主处理器的数据存储信号输出输入端连接 SDRAM 存储器的数据存储信号输入输出端,PC 主处理器的逻辑信号输出输入端连接复杂可编程逻辑器 CPLD 的逻辑信号输入输出端,PC 主处理器的 FLASH 信号输出输入端连接 FLASH 芯片的 FLASH 信号输入输出端,PC 主处理器的 BOOT 信号输出输入端连接 BOOTROM 存储器的 BOOT 信号输入输出端,PC 主处理器上设置有以太网接口和异步串行通讯口 UART。

[0007] 所述 FPGA 中央处理器包括数据组织与管理区、第一编解码区、第二编解码区、DDR2 存储器控制区、UP 接口逻辑区、MII 接口逻辑区和时钟区,

[0008] FPGA 中央处理器的数据组织与管理区通过 PCI 总线接口与控制计算机连接,数据

组织与管理区的第一编解码信号输入输出端连接第一编解码区的编解码信号输出输入端,第一编解码区的传输数据输入输出端为 FPGA 中央处理器的第一传输数据输入输出端,数据组织与管理区的第二编解码信号输入输出端连接第二编解码区的编解码信号输出输入端,第二编解码区的传输数据输入输出端为 FPGA 中央处理器的第二传输数据输入输出端,

[0009] 数据组织与管理区的 UP 接口信号输出输入端连接 UP 接口逻辑区的 UP 接口信号输入输出端,UP 接口逻辑区的 UP 接口信号输出输入端为 FPGA 中央处理器的 UP 接口,

[0010] 数据组织与管理区的 MII 接口信号输出输入端连接 MII 接口逻辑区的 MII 接口信号输入输出端,MII 接口逻辑区的 MII 接口信号输出输入端为 FPGA 中央处理器的 MII 接口,

[0011] 数据组织与管理区的存储控制信号输入输出端连接 DDR2 存储器控制区的存储控制信号输出输入端,DDR2 存储器控制区的存储控制信号输入输出端为 FPGA 中央处理器的存储控制信号输入输出端,

[0012] 数据组织与管理区的时钟信号输出输入端连接时钟区的时钟信号输入输出端。

[0013] 所述 PC 主处理器采用 MPC8280 芯片实现,

[0014] MPC8280 芯片与二级 60x 总线连接,二级 60x 总线上挂接有复杂可编程逻辑器 CPLD、FLASH 芯片和 BOOTROM 存储器,

[0015] MPC8280 芯片与一级 60x 总线连接,一级 60x 总线上挂接 SDRAM 存储器,

[0016] 二级 60x 总线连接总线驱动区,总线驱动区连接一级 60x 总线,

[0017] MPC8280 芯片的 UP 接口程序在二级 60x 总线上实现,MPC8280 芯片的 UP 接口程序连接 UP 接口逻辑区;

[0018] MPC8280 芯片的 MII 接口程序通过其引脚 FCC2 实现,MPC8280 芯片的 MII 接口程序连接 MII 接口逻辑区;

[0019] MPC8280 芯片的引脚 SMC2 连接异步串行通讯口 UART,

[0020] MPC8280 芯片的引脚 FCC3 连接以太网接口。

[0021] 本发明所述基于上述支持光纤通道协议的数据传输装置的数据传输方法,它包括发送数据的方法,该发送数据的方法包括以下步骤:

[0022] 步骤一:数据传输装置进行初始化,完成基于光纤通道协议的速率与发送配置;

[0023] 步骤二:控制计算机通过 PCI 总线将欲发送数据写至 FPGA 子板并存储在 DDR2 存储器;

[0024] 步骤三:POWER PC 子板读取 DDR2 存储器内存储的欲发送数据并进行处理;

[0025] 步骤四:POWER PC 子板将步骤三中处理完成后的欲发送数据发送至 FPGA 子板,FPGA 子板将所述数据通过第一 SFP 光模块和第二 SFP 光模块发送出去。

[0026] 它还包括接收数据的方法,该接收数据的方法包括以下步骤:

[0027] 步骤五:数据传输装置进行初始化,完成基于光纤通道协议的速率与发送配置;

[0028] 步骤六:FPGA 子板通过第一 SFP 光模块和第二 SFP 光模块接收高速串行数据,并存储至 DDR2 存储器;

[0029] 步骤七:POWER PC 子板从 DDR2 存储器中读取接收到的串行数据,并进行处理;

[0030] 步骤八:POWER PC 子板将处理完成后的接收数据发送给 FPGA 子板,该 FPGA 子板将接收到的数据通过 PCI 总线传输至控制计算机。

[0031] 本发明的优点是：本发明提供了一种支持光纤通道协议的数据传输硬件平台及数据传输方法，能够完成高速数据传输，高速数据的接收与发送缓存采用 DDR2 存储器，高速串行数据的编码、解码利用 FPGA 子板实现，需要在硬件平台上处理的数据采用 Power PC 嵌入式处理器实现。同时，可以通过板卡的 PCI 总线接口与控制计算机通信，完成相应数据与控制信息的传送。

[0032] 本发明支持的数据传输速率为 1.0625Gbps、2.125Gbps 和 4.25Gbps。最高数据传输速率达到了 4.25Gbps，最远数据传输距离可达 15km。

#### 附图说明

[0033] 图 1 为本发明装置的逻辑框图；

[0034] 图 2 为 FPGA 子板的内部逻辑及与 POWER PC 子板连接的逻辑框图；

[0035] 图 3 为 POWER PC 子板的内部逻辑框图；

[0036] 图 4 为 FPGA 子板的 JTAG 配置方案示意图；

[0037] 图 5 为 FPGA 子板的 AS 配置方案示意图；

[0038] 图 6 为 MPC8280 芯片的 60x 总线与 SDRAM 存储器的连接示意图；

[0039] 图 7 为 FPGA 子板的同步电路逻辑框图；

[0040] 图 8 为本发明装置的电路板的布局示意图；

[0041] 图 9 为本发明方法发送数据的流程图；

[0042] 图 10 为本发明方法接收数据的流程图。

#### 具体实施方式

[0043] 具体实施方式一：下面结合图 1 说明本实施方式，本实施方式所述支持光纤通道协议的数据传输装置，它包括 FPGA 子板 1、POWER PC 子板 2 和控制计算机 3，FPGA 子板 1 包括 FPGA 中央处理器 1-1、DDR2 存储器 1-2、第一 SFP 光模块 1-3 和第二 SFP 光模块 1-4；POWER PC 子板 2 包括 PC 主处理器 2-1、SDRAM 存储器 2-2、复杂可编程逻辑器 CPLD2-3、FLASH 芯片 2-4、BOOTROM 存储器 2-5、以太网接口 2-6 和异步串行通讯口 UART2-7，

[0044] FPGA 中央处理器 1-1 的存储控制信号输入输出端连接 DDR2 存储器 1-2 的存储控制信号输出输入端，FPGA 中央处理器 1-1 的第一传输数据输入输出端连接第一 SFP 光模块 1-3 的数据输出输入端，FPGA 中央处理器 1-1 的第二传输数据输入输出端连接第二 SFP 光模块 1-4 的数据输出输入端，FPGA 中央处理器 1-1 通过 PCI 总线接口与控制计算机 3 连接，FPGA 中央处理器 1-1 的 UP 接口连接 PC 主处理器 2-1 的 UP 接口，FPGA 中央处理器 1-1 的 MII 接口连接 PC 主处理器 2-1 的 MII 接口，

[0045] PC 主处理器 2-1 的数据存储信号输出输入端连接 SDRAM 存储器 2-2 的数据存储信号输入输出端，PC 主处理器 2-1 的逻辑信号输出输入端连接复杂可编程逻辑器 CPLD2-3 的逻辑信号输入输出端，PC 主处理器 2-1 的 FLASH 信号输出输入端连接 FLASH 芯片 2-4 的 FLASH 信号输入输出端，PC 主处理器 2-1 的 BOOT 信号输出输入端连接 BOOTROM 存储器 2-5 的 BOOT 信号输入输出端，PC 主处理器 2-1 上设置有以太网接口 2-6 和异步串行通讯口 UART2-7。

[0046] 本实施方式中，将数据传输的硬件平台分为两个子板，FPGA 子板 1 和 POWER PC 子

板 2, 该两块板卡通过高速连接器连接。其中, POWER PC 子板 2 是根据光纤通道协议处理发送或接收数据。数据的发送流程为: 控制计算机 3 通过 PCI 总线将数据经由 FPGA 子板 1 传至 POWER PC 子板 2, POWER PC 子板 2 处理完成后经 FPGA 的高速串行接口由 SFP 光模块发送, SFP 光模块功能为将接收到的高速串行电信号数据转换为光信号发送, 同时可以完成将接收到的光信号转换为电信号; 数据的接收流程为: 通过 SFP 光模块接收发送过来的数据, 由 FPGA 转换后传至 Power PC 处理器, 处理完成的数据经 FPGA 通过 PCI 总线传输至控制计算机。

[0047] 具体实施方式二: 下面结合图 2 说明本实施方式, 本实施方式为对实施方式一的进一步说明, 所述 FPGA 中央处理器 1-1 包括数据组织与管理区 1-11、第一编解码区 1-12、第二编解码区 1-13、DDR2 存储器控制区 1-14、UP 接口逻辑区 1-15、MII 接口逻辑区 1-16 和时钟区 1-17,

[0048] FPGA 中央处理器 1-1 的数据组织与管理区 1-11 通过 PCI 总线接口与控制计算机 3 连接, 数据组织与管理区 1-11 的第一编解码信号输入输出端连接第一编解码区 1-12 的编码解码信号输出输入端, 第一编解码区 1-12 的传输数据输入输出端为 FPGA 中央处理器 1-1 的第一传输数据输入输出端, 数据组织与管理区 1-11 的第二编解码信号输入输出端连接第二编解码区 1-13 的编码解码信号输出输入端, 第二编解码区 1-13 的传输数据输入输出端为 FPGA 中央处理器 1-1 的第二传输数据输入输出端,

[0049] 数据组织与管理区 1-11 的 UP 接口信号输出输入端连接 UP 接口逻辑区 1-15 的 UP 接口信号输入输出端, UP 接口逻辑区 1-15 的 UP 接口信号输出输入端为 FPGA 中央处理器 1-1 的 UP 接口,

[0050] 数据组织与管理区 1-11 的 MII 接口信号输出输入端连接 MII 接口逻辑区 1-16 的 MII 接口信号输入输出端, MII 接口逻辑区 1-16 的 MII 接口信号输出输入端为 FPGA 中央处理器 1-1 的 MII 接口,

[0051] 数据组织与管理区 1-11 的存储控制信号输入输出端连接 DDR2 存储器控制区 1-14 的存储控制信号输出输入端, DDR2 存储器控制区 1-14 的存储控制信号输入输出端为 FPGA 中央处理器 1-1 的存储控制信号输入输出端,

[0052] 数据组织与管理区 1-11 的时钟信号输出输入端连接时钟区 1-17 的时钟信号输入输出端。

[0053] 具体实施方式三: 下面结合图 3 说明本实施方式, 本实施方式为对实施方式二的进一步说明, 所述 PC 主处理器 2-1 采用 MPC8280 芯片实现,

[0054] MPC8280 芯片与二级 60x 总线连接, 二级 60x 总线上挂载有复杂可编程逻辑器 CPLD2-3、FLASH 芯片 2-4 和 BOOTROM 存储器 2-5,

[0055] MPC8280 芯片与一级 60x 总线连接, 一级 60x 总线上挂载 SDRAM 存储器 2-2,

[0056] 二级 60x 总线连接总线驱动区, 总线驱动区连接一级 60x 总线,

[0057] MPC8280 芯片的 UP 接口程序在二级 60x 总线上实现, MPC8280 芯片的 UP 接口程序连接 UP 接口逻辑区 1-15;

[0058] MPC8280 芯片的 MII 接口程序通过其引脚 FCC2 实现, MPC8280 芯片的 MII 接口程序连接 MII 接口逻辑区 1-16;

[0059] MPC8280 芯片的引脚 SMC2 连接异步串行通讯口 UART2-7,

[0060] MPC8280 芯片的引脚 FCC3 连接以太网接口 2-6。

[0061] 具体实施方式四：下面结合图 3 说明本实施方式，本实施方式为对实施方式三的进一步说明，所述以太网接口 2-6 由 RJ45 以太网接口和 RJ45 型网卡接口组成，以太网接口 2-6 连接 MPC8280 芯片的引脚 FCC3，以太网接口 2-6 连接 RJ45 型网卡接口。

[0062] 具体实施方式五：下面结合图 3 说明本实施方式，本实施方式为对实施方式三或四的进一步说明，所述异步串行通讯口 UART2-7 由串口 RS232 和 RJ11 接口组成，串口 RS232 连接 MPC8280 芯片的引脚 SMC2，串口 RS232 连接 RJ11 接口。

[0063] 具体实施方式六：下面结合图 3 说明本实施方式，本实施方式为对实施方式五的进一步说明，所述 POWER PC 子板还包括 RS422 扩展接口、第一 RS485 扩展接口和第二 RS485 扩展接口，

[0064] RS422 扩展接口连接 MPC8280 芯片的引脚 SMC1，第一 RS485 扩展接口连接 MPC8280 芯片的引脚 TDMb，第二 RS485 扩展接口连接 MPC8280 芯片的引脚 TDMc。

[0065] 具体实施方式七：下面结合图 3 说明本实施方式，本实施方式为对实施方式三、四、五或六的进一步说明，所述 MPC8280 芯片的 MII 接口程序与 MII 接口逻辑区 1-16 之间的数据传输线包括数据线、发送控制信号线、接收控制信号线和时钟信号线。

[0066] 具体实施方式八：下面结合图 1 至图 8 说明本实施方式，本实施方式为对实施方式三、四、五、六或七的进一步说明，MPC8280 芯片的 UP 接口程序与 UP 接口逻辑区 1-15 之间的数据传输线包括数据线、地址线、写信号线、片选信号线和读信号线。

[0067] POWER PC 子板 2 采用 MPC8280 作为主处理器，MPC8280 外部总线工作频率最高可达 100MHz，核心频率最大为 400MHz，CPM 的最大工作频率为 300MHz。POWER PC 子板 2 的子系统主要有：256Mbytes 的 60x BUS 的 SDRAM、128Mbytes 的 FLASH、bootflash、CPLD、RS232 接口、100M 以太网接口。其逻辑框图如图 3 所示。

[0068] 本实施方式中硬件平台涉及到的 FPGA 内部对于数据处理、Power PC 内部对于数据处理及相互之间的数据流向说明如图 2 所示。

[0069] FPGA 为光纤通道硬件平台的主要控制器件，实现对光纤通道协议处理中相关数据的组织，其主要功能如下所述：

[0070] 一、对于高速信号的编解码功能，需要发送的数据通过编码功能，将并行数据转换为串行数据，然后以串行的方式发出，经过 SFP 光模块后，转换为光信号传送出去；接收数据为相反的过程，将高速的光信号转换为高速电信号，然后通过解码功能，转换为并行数据处理；

[0071] 二、FPGA 逻辑核心部分为数据组织与管理区 1-11，用于实现 PCI 总线接口功能、与 DDR2 存储器控制器接口功能、与 Power PC 间的 UP 接口和 MII 接口功能，分别叙述如下：当有数据需要传输至控制计算机时，通过 PCI 总线接口进行通信；当有数据需要传输至 DDR2 存储器时，首先需要由数据组织与管理区 1-11 将数据传输至 DDR2 存储器控制器，然与再与 DDR2 存储器交涉，与 Power PC 的通信也是类似的；

[0072] 三、DDR2 存储器控制区 1-14 与 DDR2 存储器 1-2 间的信号包括地址与控制信号线 ADDR/CTRL、数据线 DQ 和数据选通线 DQS；

[0073] 四、FPGA 子板 1 与 POWER PC 子板 2 间通信接口包 UP 接口与 MII 接口，其中 UP 接口涉及的信号包括：数据线 DATA、地址线 ADDR、写信号 WR、片选信号 CS 和读信号 RD；MII 接口

涉及的信号包括：数据线 DATA、发送控制信号 TXCTR、接收控制信号 RXCTR 和时钟信号 CLK。

[0074] MPC8280 上电复位：

[0075] MPC8280 的上电复位信号有效时，会引起包括硬复位和软复位等一系列复位操作，在这些复位过程中初始化 MPC8280 的状态。MPC8280 的 PORESET# 处理如下：

[0076] 一、使用 TI 公司专用的电压检测芯片 TPS3110K33DBVR，通过检测电压产生复位信号。当输入电压低于 2.94V 时，它将产生一个约为 130 毫秒的复位信号，将该复位信号接到 CPU。

[0077] 二、当按下复位键时，通过 TPS3110K33DBVR 来产生一个有效的复位信号。它属于手动复位，产生的效果同检测电压产生的复位效果相同。

[0078] MPC8280 支持主模式和从模式两种复位配置模式，主从配置模式在上电复位信号 PORESET # 的上升沿时，由 RSTCONF # 信号的状态决定。在光纤通道接口板上，RSTCONF # 通过跳线既可接低电平也可接高电平。RSTCONF # 接高电平时，MPC8280 以默认的配置字工作，方便使用仿真器对 MPC8280 进行调试；正常工作时，需要将 RSTCONF # 接低电平，MPC8280 工作在主模式。

[0079] 上电复位配置时，MPC8280 将读取 MODCK[1:3] 和 MODCKH[0:3]，来配置不同的时钟工作模式。MODCK 由上下接电阻决定高低电平，而 MODCKH 根据不同需要，可以从 FLASH MEMORY 读取。MODCK[1:3] 和 MODCKH[0:3] 在上电复位过程中保持不变，直到复位结束。配置完成后 MPC8280 的工作频率不受硬件复位和软件复位的影响。

[0080] 60x 总线扩展 SDRAM 存储器：

[0081] 在 Power PC 子板上，60x 总线上连接 256Mbyte 的 SDRAM 作为主存储器，它占用的地址空间为 0X00000000~0X0FFFFFFF。SDRAM 的数据线直接和 60x 总线的数据线相连，地址和数据总线未经驱动。

[0082] 主存储器 SDRAM 选用 MICRON 公司 TSOP54 封装的 MT48LC32M16-A2 芯片，单片 MT48LC32M16-A2 容量为 64M 字节，16 比特数据接口，所以选用 4 片相同的 SDRAM，这样系统主存储器的容量为 256M 字节，并且可以使得 SDRAM 接口数据总线宽度达到 64 位，即 60x 总线的位宽，硬件连接如图 6 所示。

[0083] FPGA 子板支持 32 位的 PCI 总线接口，同时具有 1 个通道的 64 位数据总线的 DDR2 接口，2 个通道的光接口以及同步和触发接口，本设计中选择用 ALTERA 公司的 Stratix IIGX 系列型号为 EP2SGX90E 的 FPGA，其引脚数量为 1152。为实现 FPGA 的灵活配置，本设计中 FPGA 的采用两种配置方案：JTAG 配置方案与 AS 配置方案。JTAG 配置的连接关系如图 4 所示。

[0084] AS 模式的配置方案中配置器件选用 EPCS64，其连接关系如图 5 所示。

[0085] FPGA 子板可以通过时间同步与时钟同步接口获得外界相应的时间、时钟信息，同时也可以作为主设备，发送同步时间信息与时钟。本实施方式中时间的获取与发送有三种方式：第一种方式表述如下，从模式的工作方式为通过 IRIG-B 码输入通道获取同步时间信息，同时 FPGA 可作为主设备产生 IRIG-B 同步时间信息输出；第二种方式表述如下，从模式的工作方式为通过 SYNC\_CLK\_IN 和 SYNC\_NRZ\_IN 输入获取同步时间信息，同时 FPGA 可作为主设备产生同步时间信息通过 SYNC\_CLK\_OUT 和 SUNC\_NRZ\_OUT 输出；第三种方式表述如下，从模式的工作方式为通过板边连接器 SYNC\_CLK\_MATE 和 SYNC\_NRZ\_MATE 获取同步时间

信息,同时 FPGA 可作为主设备从此接口将同步时间信息输出。单板的触发用于在单板卡系统中实现板卡间的协同工作。其逻辑关系如图 7 所示。

[0086] 图 8 为本发明装置的外观尺寸图。

[0087] 具体实施方式九:下面结合图 9 说明本实施方式,本实施方式为基于实施方式一所述支持光纤通道协议的数据传输装置的数据传输方法,它包括发送数据的方法,该发送数据的方法包括以下步骤:

[0088] 步骤一:数据传输装置进行初始化,完成基于光纤通道协议的速率与发送配置;

[0089] 步骤二:控制计算机 3 通过 PCI 总线将欲发送数据写至 FPGA 子板 1 并存储在 DDR2 存储器 1-2;

[0090] 步骤三:POWER PC 子板 2 读取 DDR2 存储器 1-2 内存储的欲发送数据并进行处理;

[0091] 步骤四:POWER PC 子板 2 将步骤三中处理完成后的欲发送数据发送至 FPGA 子板 1, FPGA 子板 1 将所述数据通过第一 SFP 光模块 1-3 和第二 SFP 光模块 1-4 发送出去。

[0092] 具体实施方式十:下面结合图 10 说明本实施方式,本实施方式为对实施方式九的进一步说明,本实施方式还包括接收数据的方法,该接收数据的方法包括以下步骤:

[0093] 步骤五:数据传输装置进行初始化,完成基于光纤通道协议的速率与发送配置;

[0094] 步骤六:FPGA 子板 1 通过第一 SFP 光模块 1-3 和第二 SFP 光模块 1-4 接收高速串行数据,并存储至 DDR2 存储器 1-2;

[0095] 步骤七:POWER PC 子板 2 从 DDR2 存储器 1-2 中读取接收到的串行数据,并进行处理;

[0096] 步骤八:POWER PC 子板 2 将处理完成后的接收数据发送给 FPGA 子板 1,该 FPGA 子板 1 将接收到的数据通过 PCI 总线传输至控制计算机 3。

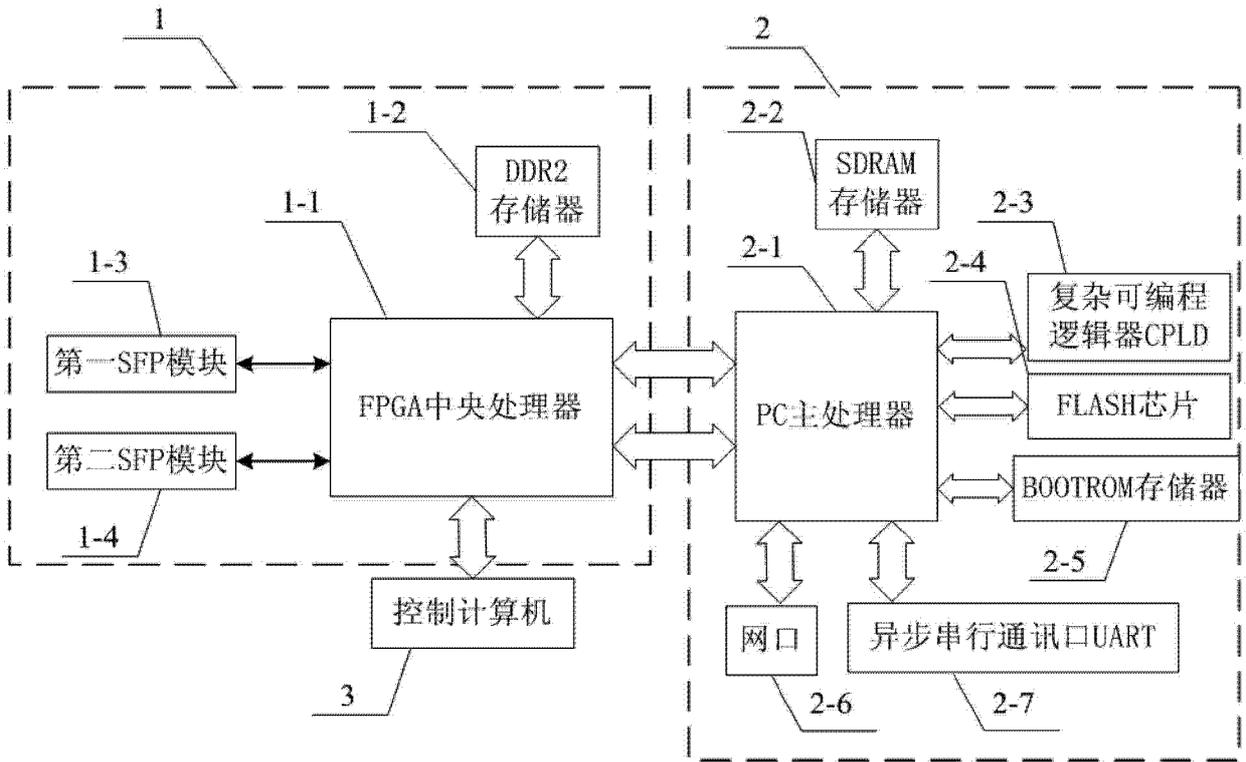


图 1

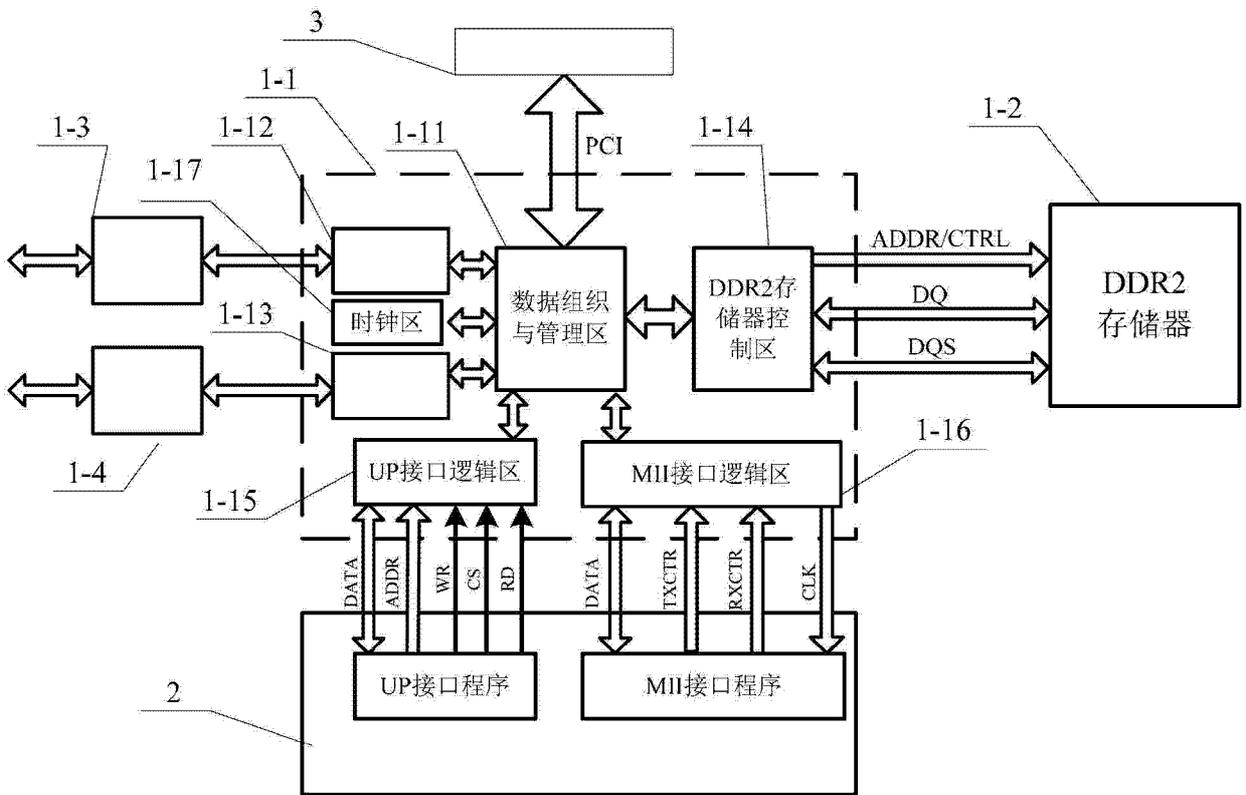


图 2

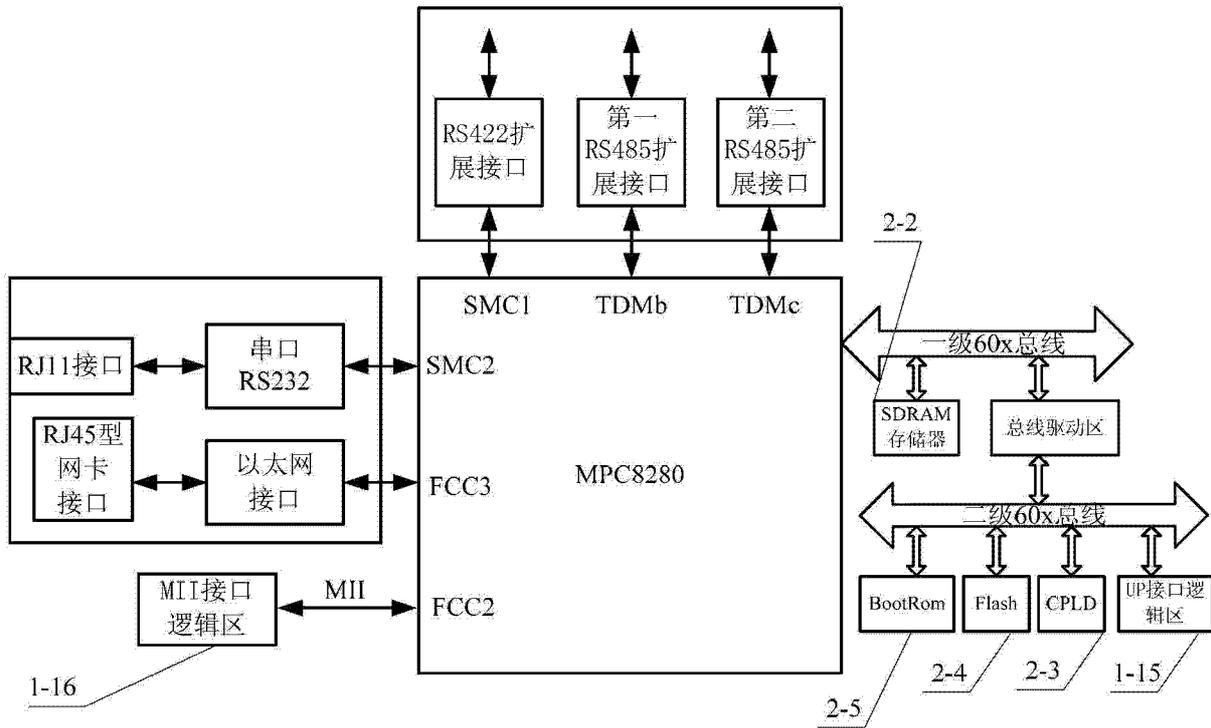


图 3

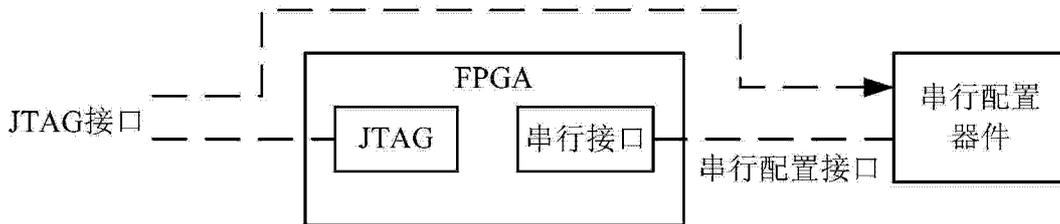


图 4

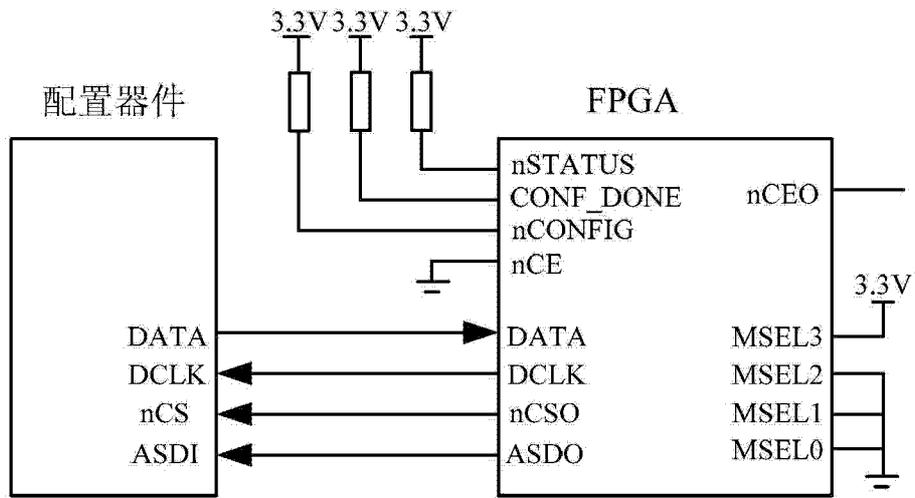


图 5

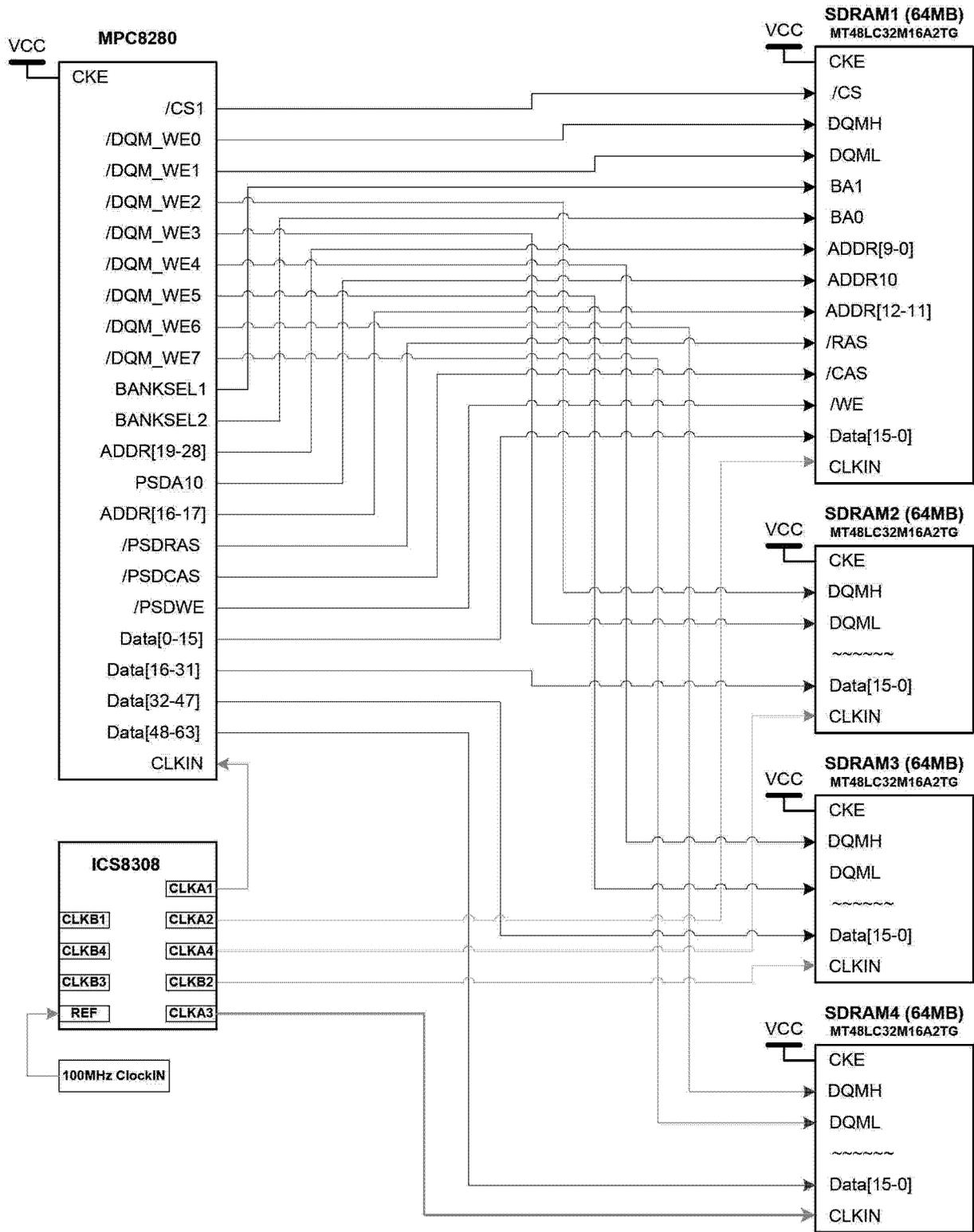


图 6

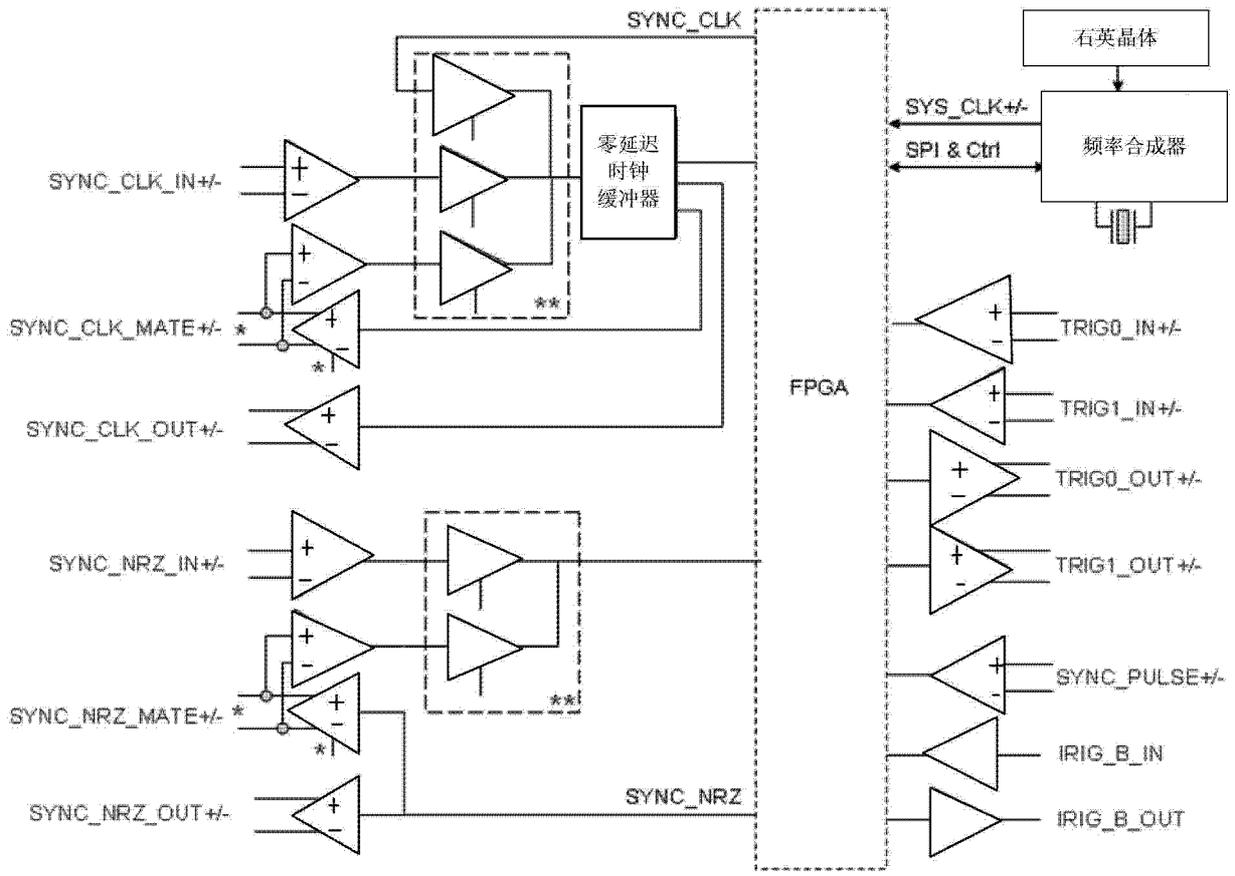


图 7

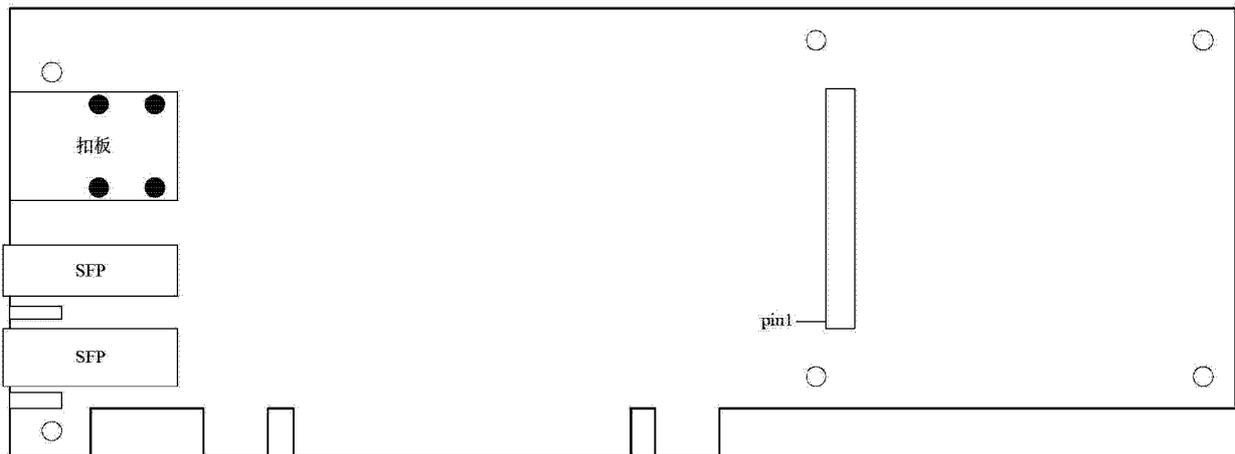


图 8

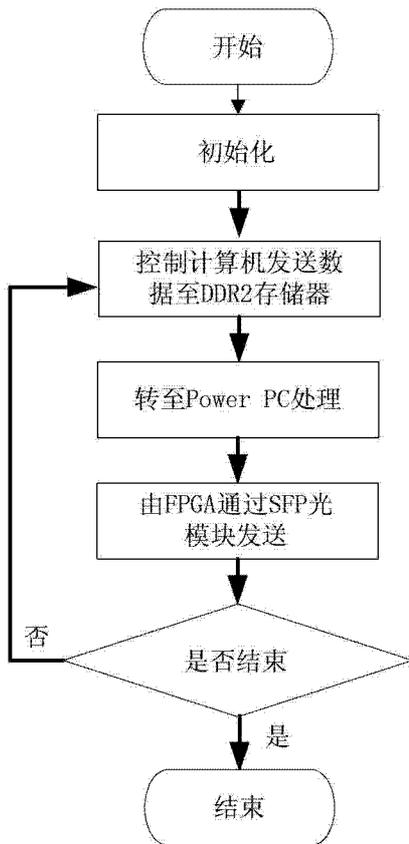


图 9

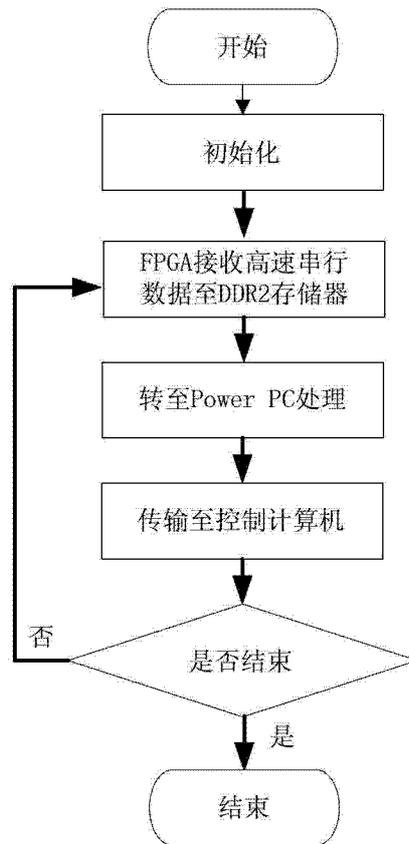


图 10