



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월08일  
(11) 등록번호 10-0764360  
(24) 등록일자 2007년09월28일

(51) Int. Cl.

H01L 21/336(2006.01)

(21) 출원번호 10-2006-0038826  
(22) 출원일자 2006년04월28일  
심사청구일자 2006년04월28일  
(56) 선행기술조사문헌  
KR100555569B1  
KR1020050089588A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

정성웅

경기도 이천시 부발읍 아미리 현대3차아파트 301동 308호

이상돈

경기도 구리시 수택동 금호베스트빌 2차 아파트 505동 102호

(74) 대리인

이정훈, 특허법인태평양

전체 청구항 수 : 총 19 항

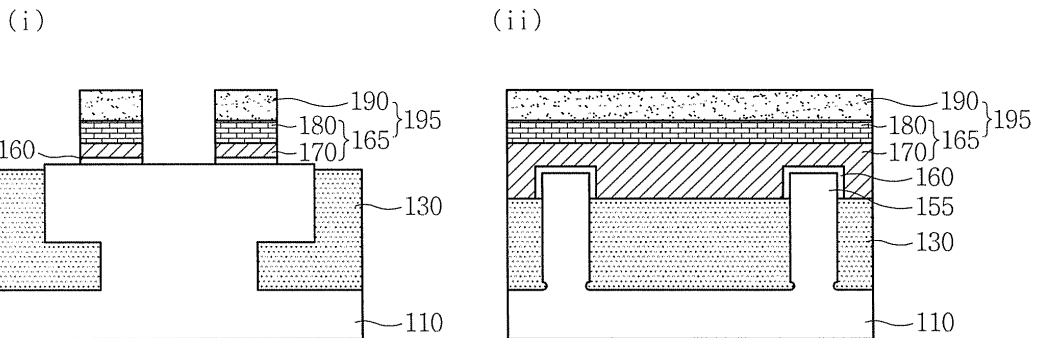
심사관 : 홍성의

(54) 반도체 소자 및 그 제조 방법

(57) 요약

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 반도체 기판 하부의 저장 전극 접합 영역과 이와 인접한 일부 채널 영역이 리세스된 활성 영역을 정의하는 소자 분리 구조를 형성하고, 게이트 영역의 소자 분리 구조를 식각하여 게이트 영역의 길이 방향에서 소자 분리 구조 상부로 돌출된 핀 형(Fin-type) 채널 영역을 형성하도록 반도체 소자를 설계함으로써, 저장 전극에서 반도체 기판의 바디(Body)로 흐르는 GIDL 누설 전류를 감소시켜 바디 바이어스 의존성과 리프레쉬 특성을 개선하고, 제한된 공핍층 전하에 의해 단 채널 효과(Short channel effect)를 개선할 수 있는 기술이다.

대표도 - 도5



**특허청구의 범위**

**청구항 1**

반도체 기관 하부의 활성 영역의 길이 방향에서 저장 전극 접합 영역과 이와 인접한 채널 영역의 일부가 리세스된 상기 활성 영역을 정의하는 소자 분리 구조;

게이트 영역의 길이 방향에서 상기 소자 분리 구조 상부로 돌출된 핀 형 채널 영역;

상기 돌출된 핀 형 채널 영역을 포함한 상기 반도체 기관 상부에 형성된 게이트 절연막; 및

상기 돌출된 핀 형 채널 영역을 매립하며, 상기 게이트 절연막 상측에 형성된 게이트 전극을 포함하는 것을 특징으로 하는 반도체 소자.

**청구항 2**

삭제

**청구항 3**

제 1항에 있어서,

상기 게이트 전극 양측의 상기 반도체 기관을 시드(Seed)층으로 성장시킨 실리콘(Si)에 형성된 소스/드레인 영역을 더 포함하는 것을 특징으로 하는 반도체 소자.

**청구항 4**

(a) 반도체 기관 하부의 활성 영역의 길이 방향에서 저장 전극 접합 영역과 이와 인접한 채널 영역의 일부가 리세스된 활성 영역을 정의하는 소자 분리 구조를 형성하는 단계;

(b) 게이트 영역을 정의하는 리세스 게이트 마스크를 식각 마스크로 상기 소자 분리 구조를 식각하여 상기 소자 분리 구조 상부로 돌출된 핀 형 채널 영역을 형성하는 단계;

(c) 상기 돌출된 핀 형 채널 영역을 포함한 상기 반도체 기관 상부에 게이트 절연막을 형성하는 단계; 및

(d) 상기 게이트 영역의 상기 핀 형 채널 영역을 매립하는 게이트 전극과 게이트 하드 마스크층 패턴의 적층구조로 이루어진 게이트 구조물을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 5**

제 4항에 있어서,

상기 (a) 단계는

(a-1) 패드 산화막과 패드 질화막이 구비된 상기 반도체 기관 하부의 활성 영역의 길이 방향에서 저장 전극 접합 영역과 이와 인접한 채널 영역의 일부를 식각하여 활성 영역을 정의하는 트렌치를 형성하는 단계;

(a-2) 전체 표면 상부에 제 1 절연막을 형성하는 단계;

(a-3) 상기 제 1 절연막을 식각하여 상기 트렌치의 측벽에 제 1 스페이서를 형성하는 단계;

(a-4) 상기 제 1 스페이서를 식각 마스크로 상기 트렌치 하부에 노출된 상기 반도체 기관을 식각하여 언더-컷 형태의 공간을 형성하는 단계; 및

(a-5) 상기 언더-컷 형태의 공간을 포함하는 트렌치를 매립하는 소자 분리 구조를 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 6**

제 5항에 있어서,

상기 제 1 절연막은 1nm 내지 100nm 두께의 실리콘 질화막, 실리콘 산화막, 실리콘막 또는 이들의 조합으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 7**

제 5항에 있어서,

상기 제 1 절연막은 CVD(Chemical vapor deposition) 또는 ALD(Atomic layer deposition) 방법으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 8**

제 5항에 있어서,

상기 제 1 스페이서 형성을 위한 식각 공정은  $C_xF_yH_z$ ,  $O_2$ , HCl, Ar, He 및 이들의 조합을 포함하는 가스를 이용한 플라즈마 식각 방법으로 수행되는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 9**

제 5항에 있어서,

상기 언더-컷 형태의 공간 형성을 위한 식각 공정은 500℃ 내지 1000℃의 온도에서 HCl과  $H_2$ 의 혼합가스를 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 10**

제 5항에 있어서,

상기 패드 질화막 및 패드 산화막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 11**

제 4항에 있어서,

상기 (a) 단계는

(a-1) 상기 반도체 기판 상부에 SiGe층을 형성하는 단계;

(a-2) 활성 영역의 길이 방향에서 저장 전극 접합 영역과 이와 인접한 채널 영역의 일부의 SiGe층을 제거하여 상기 반도체 기판을 노출하는 단계;

(a-3) 상기 노출된 반도체 기판을 시드(Seed)층으로 실리콘(Si)층을 성장시켜 상기 SiGe층을 매립하는 단계;

(a-4) 상기 실리콘층 상부에 패드 산화막과 패드 질화막을 순차적으로 형성하는 단계;

(a-5) 소자 분리 영역의 상기 패드 질화막, 상기 패드 산화막, 상기 실리콘층, 상기 SiGe층 및 상기 반도체 기판을 식각하여 상기 활성 영역을 정의하는 트렌치를 형성하되, 상기 트렌치의 측벽에 상기 SiGe층이 노출되는 단계;

(a-6) 상기 트렌치 측벽에 노출된 SiGe층을 제거하여 상기 활성 영역 하측에 언더-컷 형태의 공간을 형성하는 단계; 및

(a-7) 상기 언더-컷 형태의 공간을 포함하는 트렌치를 매립하는 소자 분리 구조를 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 12**

제 11항에 있어서,

상기 SiGe층 제거 공정은 건식 식각 방법으로 수행되는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 13**

제 11항에 있어서,

상기 SiGe층과 상기 반도체 기판의 식각 속도비는 10 이상인 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 14**

삭제

**청구항 15**

제 4항에 있어서,

상기 반도체 기판과 상기 소자 분리 구조의 계면에 열 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 16**

제 15항에 있어서,

상기 열 산화막은 200℃ 내지 1000℃의 온도에서 H<sub>2</sub>O, O<sub>2</sub>, H<sub>2</sub>, O<sub>3</sub> 또는 이들의 혼합 가스를 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 17**

제 4항에 있어서,

상기 게이트 절연막은 O<sub>2</sub>, H<sub>2</sub>O, O<sub>3</sub> 및 이들의 조합을 포함하는 가스를 이용하여 1 내지 10nm의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 18**

제 4항에 있어서,

상기 게이트 절연막은 1nm 내지 20nm 두께의 실리콘 산화막, 하프늄 산화막, 알루미늄 산화막, 지르코늄 산화막, 실리콘 질화막 또는 이들의 조합으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 19**

제 4항에 있어서,

상기 게이트 전극은 인(P) 또는 붕소(B)를 포함하는 불순물로 도핑된 폴리실리콘층을 포함하는 하부 게이트 전극과 티타늄(Ti)층, 티타늄 질화(TiN)막, 텅스텐(W)층, 알루미늄(Al)층, 구리(Cu)층, 텅스텐 실리사이드(WSix)층 또는 이들의 조합을 포함하는 상부 게이트 전극의 적층구조로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 20**

제 4항에 있어서,

상기 게이트 구조물 양측의 상기 반도체 기판을 시드(Seed)층으로 실리콘(Si)층을 형성하는 단계; 및

상기 실리콘층에 불순물 이온을 주입하여 소스/드레인 영역을 형성하는 단계

를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 21**

제 20항에 있어서,

상기 실리콘층의 두께는 200Å 내지 1000Å인 것을 특징으로 하는 반도체 소자의 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <7> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 반도체 기판 하부의 저장 전극 집합 영역과 이와 인접한 일부 채널 영역이 리세스된 활성 영역을 정의하는 소자 분리 구조를 형성하고, 게이트 영역의 소자 분리 구조를 식각하여 게이트 영역의 길이 방향에서 소자 분리 구조 상부로 돌출된 핀 형(Fin-type) 채널 영역을 형성하도록 반도체 소자를 설계함으로써, 저장 전극에서 반도체 기판의 바디(Body)로 흐르는 GIDL 누설 전류를 감소시켜 바디 바이어스 의존성과 리프레쉬 특성을 개선하고, 제한된 공핍층 전하에 의해 단 채널 효과(Short channel effect)를 개선할 수 있는 반도체 소자 및 그 제조 방법에 관한 것이다.
- <8> 일반적으로, 셀 트랜지스터의 채널 길이가 감소할수록 셀 트랜지스터의 문턱 전압을 맞추기 위하여 셀 채널의 이온 농도를 증가시키고, 이로 인하여 소스/드레인 영역의 전계가 증가되어 누설 전류가 증가함으로 DRAM의 리프레쉬 특성은 나빠진다. 따라서, 셀 트랜지스터의 채널 길이를 늘이기 위하여 다음과 같은 반도체 소자의 구조가 제안되었다.
- <9> 도 1은 종래 기술에 따른 소자 분리 구조(30)에 의해 정의되는 활성 영역(1) 및 게이트 영역(3)을 도시한 반도체 소자의 레이아웃이다.
- <10> 도 2a 내지 2c는 종래 기술에 따른 반도체 소자의 제조 방법을 도시한 단면도들로서, 도 2a 내지 2c는 도 1의 I-I'을 따른 단면도들이다.
- <11> 도 2a를 참조하면, 패드 절연막(미도시)을 구비한 반도체 기판(10)을 소자 분리 마스크(미도시)로 식각하여 핀 형(Fin-type) 활성 영역(20)을 정의하는 트렌치(미도시)를 형성한다. 다음으로, 트렌치를 매립하는 소자 분리용 절연막(미도시)을 형성한 후, 패드 절연막을 노출할 때까지 소자 분리용 절연막을 평탄화 식각하여 소자 분리 구조(30)를 형성한다. 이후, 패드 절연막을 제거하고 핀 형 활성 영역(20)의 상부 표면을 노출한다.
- <12> 도 2b를 참조하면, 도 1의 게이트 영역(3)을 정의하는 리세스 게이트 마스크(미도시)를 식각 마스크로 소자 분리 구조(30)를 소정 두께 제거하여 핀 형 활성 영역(20)을 소자 분리 구조(30) 상부로 돌출시킨다.
- <13> 도 2c를 참조하면, 돌출된 핀 형 활성 영역(20) 상부에 게이트 절연막(60)을 형성한 후, 돌출된 핀 형 활성 영역(20)을 매립하는 평탄화된 게이트 전극(65)과 그 상부에 게이트 하드 마스크층 패턴(90)을 형성하여 핀 형 활성 영역(20)의 측벽과 상면 채널 영역을 매립하는 게이트 전극(65)과 게이트 하드 마스크층 패턴(90)의 적층구조로 이루어진 게이트 구조물(95)을 형성한다.
- <14> 도 3은 종래 기술에 따른 반도체 소자의 단면도이다.
- <15> 도 3을 참조하면, 게이트에 문턱 전압 이상의 전압을 인가하면, 게이트 절연막(60) 하부의 반도체 기판에 역전층(IL)과 공핍층(DR)을 형성한다.
- <16> 그러나 상술한 반도체 소자의 제조 방법에 따르면, 원하는 Off 특성을 얻기 위해서 게이트 포텐셜, 채널 도핑 농도 등을 조절해야 하고, 이로써 저장 전극에서 반도체 기판의 바디(Body)로 흐르는 누설 전류가 증가한다. 결국, 증가된 누설 전류로 인하여 적절한 소자의 리프레쉬 특성을 얻는 것이 매우 어렵다.

**발명이 이루고자 하는 기술적 과제**

- <17> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 특히 반도체 기판 하부의 저장 전극 집합 영역과 이와 인접한 일부 채널 영역이 리세스된 활성 영역을 정의하는 소자 분리 구조를 형성하고, 게이트 영역의 소자 분리 구조를 식각하여 게이트 영역의 길이 방향에서 소자 분리 구조 상부로 돌출된 핀 형(Fin-type) 채널 영역을 형성하도록 반도체 소자를 설계함으로써, 저장 전극에서 반도체 기판의 바디(Body)로 흐르는 GIDL 누설 전류를 감소시켜 바디 바이어스 의존성과 리프레쉬 특성을 개선하고, 제한된 공핍층 전하에 의해 단 채널 효과(Short channel effect)를 개선할 수 있는 반도체 소자 및 그의 제조 방법을 제공함에 있다.

**발명의 구성 및 작용**

- <18> 본 발명은 상기와 같은 목적을 달성하기 위한 것으로서, 본 발명에 따른 반도체 소자는,
- <19> 반도체 기판 하부의 활성 영역의 길이 방향에서 저장 전극 접합 영역과 이와 인접한 채널 영역의 일부가 리세스된 활성 영역을 정의하는 소자 분리 구조와, 게이트 영역의 길이 방향에서 소자 분리 구조 상부로 돌출된 핀 형 채널 영역과, 돌출된 핀 형 채널 영역을 포함한 반도체 기판 상부에 형성된 게이트 절연막과, 돌출된 핀 형 채널 영역을 매립하며, 게이트 절연막 상층에 형성된 게이트 전극을 포함하는 것을 특징으로 한다.
- <20> 또한, 본 발명에 따른 반도체 소자의 제조 방법은,
- <21> (a) 반도체 기판 하부의 활성 영역의 길이 방향에서 저장 전극 접합 영역과 이와 인접한 채널 영역의 일부가 리세스된 활성 영역을 정의하는 소자 분리 구조를 형성하는 단계와, (b) 게이트 영역을 정의하는 리세스 게이트 마스크를 식각 마스크로 소자 분리 구조를 식각하여 소자 분리 구조 상부로 돌출된 핀 형 채널 영역을 형성하는 단계와, (c) 돌출된 핀 형 채널 영역을 포함한 반도체 기판 상부에 게이트 절연막을 형성하는 단계와, (d) 게이트 영역의 핀 형 채널 영역을 매립하는 게이트 전극과 게이트 하드 마스크층 패턴의 적층구조로 이루어진 게이트 구조물을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <22> 이하에서는 본 발명의 실시 예를 첨부한 도면을 참조하여 상세히 설명하기로 한다.
- <23> 도 4는 본 발명의 일 실시 예에 따른 소자 분리 구조(130)에 의해 정의되는 활성 영역(101) 및 게이트 영역(103)을 도시한 반도체 소자의 레이아웃이다.
- <24> 도 5는 본 발명의 일 실시 예에 따른 반도체 소자의 단면도들이며, 도 5(i)는 도 4의 I-I'을 따른 단면도이고, 도 5(ii)는 도 4의 II-II'을 따른 단면도이다.
- <25> 도 5를 참조하면, 소자 분리 구조(130)는 반도체 기판(110) 하부의 도 6의 저장 전극 접합 영역(107)과 이와 인접한 채널 영역(109)의 일부를 포함한 소정 영역이 리세스된 도 4의 활성 영역(101)을 정의한다. 핀 형(Fin-type) 채널 영역(155)은 게이트 영역(103)의 길이 방향에서 소자 분리 구조(130) 상부로 돌출되어 형성된다. 게이트 절연막(160)은 돌출된 핀 형 채널 영역(155)을 포함하는 도 4의 활성 영역(101) 상부에 형성된다. 게이트 구조물(195)은 도 4의 게이트 영역(103)의 게이트 절연막(160) 상층에 형성되며, 핀 형 채널 영역(155)을 매립한다. 이때, 게이트 구조물(195)은 게이트 전극(165)과 게이트 하드 마스크층 패턴(190)의 적층구조를 포함하며, 게이트 전극(165)은 하부 게이트 전극(170)과 상부 게이트 전극(180)의 적층구조를 포함하는 것이 바람직하다. 본 발명의 일 실시 예에 따르면, 게이트 절연막(160)은 O<sub>2</sub>, H<sub>2</sub>O, O<sub>3</sub> 또는 이들의 조합을 이용하여 1nm 내지 10nm의 두께로 형성되며, 하부 게이트 전극(170)은 인(P) 또는 보론(B)과 같은 불순물이 도핑된 폴리실리콘층으로 형성되고, 상부 게이트 전극(180)은 티타늄(Ti)층, 티타늄 질화(TiN)막, 텅스텐(W)층, 알루미늄(Al)층, 구리(Cu)층, 텅스텐 실리사이드(WSix)층 또는 이들의 조합으로 형성되는 것이 바람직하다. 본 발명의 다른 실시 예에 따르면, 게이트 절연막(160)은 1nm 내지 20nm 두께의 실리콘 산화막, 하프늄 산화막, 알루미늄 산화막, 지르코늄 산화막, 실리콘 질화막 또는 이들의 조합으로 형성될 수 있다.
- <26> 도 6은 본 발명의 일 실시 예에 따른 반도체 소자의 3차원 단면도로, 저장 전극 접합 영역(107)과 이와 인접한 채널 영역(109)의 일부를 포함한 소정 영역의 반도체 기판(110)이 리세스된 활성 영역과 핀 형 채널 영역을 자세히 도시하고 있다.
- <27> 도 6을 참조하면, D는 저장 전극 접합 영역(107) 하단의 반도체 기판(110)으로부터 핀 형(Fin-type) 채널 영역 하부까지의 깊이이며, 저장 전극과 반도체 기판(110)의 바디(Body) 사이의 직접적인 연결을 차단하기 위하여 그 값이 0보다 커야한다. 하지만, D가 0보다 작더라도 저장 전극 접합 영역(107) 하층의 반도체 기판(110)이 제거되어 접합 캐패시턴스와 접합 누설 전류는 차단될 수 있을 것으로 기대된다. X는 도 4의 활성 영역(101)의 길이 방향에서 반도체 기판(110)이 제거된 크기이며, 저장 전극 접합 영역(107)과 이와 인접한 채널 영역(109)의 일부를 포함한다. 또한, X는 저장 전극 접합 영역(107)으로부터 이와 인접한 채널 영역(109)까지 연장될 수 있다. T는 저장 전극 접합 영역(107)에서 반도체 기판(110)의 깊이이며, 실질적으로 도 5의 핀 형 채널 영역(155)의 깊이이다. 따라서, 그 크기는 채널 면적 또는 동작 전류의 크기를 고려하여 조절될 수 있다. H는 도 4의 활성 영역(101) 하층에 리세스된 반도체 기판(110)의 깊이이며, 최소한 D의 크기보다 커야한다.
- <28> 본 발명의 일 실시 예에 따르면, 저장 전극은 반도체 기판(110)의 바디와 직접적인 연결이 단절되어, 저장 전극과 게이트 전압에 의해 발생하는 GIDL 전류가 바디(Body)로 흐르는 것이 방지되어 저장 전극에 저장된 전하가

감소되는 것이 억제될 수 있다. 또한, 도 5의 핀 형 채널 영역(155)에 채널을 형성함으로써 게이트에 의해 조절되는 충분한 채널 면적을 확보하여 단 채널 효과를 개선할 수 있다.

- <29> 도 7a 내지 7e는 본 발명의 제 1 실시 예에 따른 반도체 소자의 제조 방법을 도시한 단면도들이며, 도 7a(i) 내지 7e(i)는 도 4의 I-I'를 따른 단면도들이고, 도 7a(ii) 내지 7e(ii)는 도 4의 II-II'를 따른 단면도들이다.
- <30> 도 7a를 참조하면, 반도체 기판(110) 상부에 패드 산화막(113)과 패드 질화막(115)을 형성한 후, 소자 분리 마스크(미도시)로 패드 질화막(115), 패드 산화막(113) 및 반도체 기판(110)을 식각하여 도 4의 활성 영역(101)을 정의하는 제 1 트렌치(117)를 형성한다. 다음으로, 전체 표면에 제 1 절연막(미도시)을 형성한 후, 이를 건식 식각 방법으로 식각하여 제 1 트렌치(117)의 측벽에 제 1 스페이서(133)를 형성한다. 여기서, 제 1 절연막은 CVD(Chemical vapor deposition) 또는 ALD(Atomic layer deposition) 방법으로 실리콘 질화막, 실리콘 산화막, 실리콘막 또는 이들의 조합으로 형성하며, 그 두께는 1nm 내지 100nm인 것이 바람직하다. 또한, 제 1 스페이서(133) 형성을 위한 식각 공정은  $C_xF_yH_z$ ,  $O_2$ , HCl, Ar, He 또는 이들의 조합을 포함하는 가스를 이용한 플라즈마 식각 방법으로 수행되는 것이 바람직하다.
- <31> 도 7b를 참조하면, 제 1 트렌치(117) 하부에 노출된 반도체 기판(110)을 500℃ 내지 1000℃의 온도에서 HCl과  $H_2$ 의 혼합가스 분위기에 노출시켜 도 6의 저장 전극 접합 영역(107)과 이와 인접한 채널 영역(109)의 일부를 포함하는 소정 영역 하측의 반도체 기판(110)이 제거된 언더-컷 형태의 공간(140)을 포함하는 제 2 트렌치(123)를 형성한다. 여기서, 언더-컷 형태의 공간(140)은 반도체 기판(110) 제거 공정이 실리콘(Si) 결정면에 따라 다른 식각 속도를 갖기 때문에 형성된다. 특히, 도 4의 활성 영역(101)의 길이 방향의 식각 속도가 다른 결정면에 비해 상대적으로 매우 빨라 도 6의 소정 영역 하측의 반도체 기판(110)이 제거된 언더-컷 형태의 공간(140)을 형성한다.
- <32> 도 7c를 참조하면, 제 1 스페이서(133)를 제거한 후, 언더-컷 형태의 공간(140)을 포함한 제 2 트렌치(123)를 매립하는 소자 분리용 절연막(미도시)을 형성한다. 다음으로, 패드 질화막(115)을 노출할 때까지 소자 분리용 절연막을 평탄화 식각하여 소자 분리 구조(130)를 형성한다. 본 발명의 일 실시 예에 따르면, 제 1 스페이서(133)를 제거하지 않고, 그 상부에 소자 분리용 절연막을 형성하여 언더-컷 형태의 공간(140)을 포함한 제 2 트렌치(123)를 매립할 수도 있다. 또한, 소자 분리 구조(130)와 언더-컷 형태의 공간(140)을 포함한 제 2 트렌치(123)의 계면에 열 산화막(미도시)을 더 형성할 수도 있다. 이때, 열 산화막은 반도체 기판(110)을 200℃ 내지 1000℃의 온도에서  $H_2O$ ,  $O_2$ ,  $H_2$ ,  $O_3$  또는 이들의 혼합 가스에 노출시켜 형성하는 것이 바람직하다. 본 발명의 다른 실시 예에 따르면, 소자 분리용 절연막은 HDP(High density plasma) 또는 CVD 방법으로 형성된 실리콘 산화막인 것이 바람직하며, 소자 분리 구조(130) 형성을 위한 평탄화 식각 방법은 CMP 방법으로 수행되는 것이 바람직하다.
- <33> 도 7d를 참조하면, 도 4의 게이트 영역(103)을 정의하는 리세스 게이트 마스크(미도시)로 소자 분리 구조(130)를 식각하여 게이트 영역(103)의 길이 방향에서 활성 영역(101)의 측벽을 노출하는 리세스 영역(135)을 형성한다. 이때, 리세스 영역(135)은 소자 분리 구조(130) 상부로 돌출된 핀 형 채널 영역(155)을 정의한다. 본 발명의 일 실시 예에 따르면, 도 4의 게이트 영역(103)을 정의하는 리세스 게이트 마스크로 패드 질화막(115), 패드 산화막(113) 및 소자 분리 구조(130)를 식각하여 게이트 영역(103)의 길이 방향에서 활성 영역(101)의 측벽을 노출하는 리세스 영역(135)을 형성할 수도 있다. 또한, 소자 분리 구조(130)의 식각 공정은 건식 식각 방법으로 수행되는 것이 바람직하다.
- <34> 도 7e를 참조하면, 도 7d의 패드 질화막(115)과 패드 산화막(113)을 제거하여 핀 형 채널 영역(155)을 포함하는 반도체 기판(110)을 노출한 후, 노출된 반도체 기판(110) 상부에 게이트 절연막(160)을 형성한다. 다음으로, 핀 형 채널 영역(155)을 포함한 리세스 영역(135)을 매립하는 하부 게이트 도전층(미도시)을 형성한 후, 그 상부에 상부 게이트 도전층(미도시)과 게이트 하드 마스크층(미도시)을 형성한다. 이후, 게이트 하드 마스크층, 상부 게이트 도전층, 하부 게이트 도전층 및 게이트 절연막(160)을 게이트 마스크(미도시)로 패터닝하여 게이트 전극(165)과 게이트 하드 마스크층 패턴(190)의 적층구조를 포함하는 게이트 구조물(195)을 형성한다. 본 발명의 일 실시 예에 따르면, 게이트 절연막(160)을 형성하기 전에 불산(HF)을 포함하는 용액을 이용하여 노출된 반도체 기판(110)의 표면을 세정하는 단계를 더 추가할 수 있다. 또한, 패드 질화막(115)과 패드 산화막(113) 제거 공정을 인산( $H_3PO_4$ )을 이용한 습식 식각 방법으로 수행된다. 그리고, 게이트 절연막(160)은  $O_2$ ,  $H_2O$ ,  $O_3$  또는 이들의 조합을 이용하여 1nm 내지 10nm의 두께로 형성하며, 하부 게이트 전극(170)은 인(P) 또는 붕(B)을 포함하는 불순물로 도핑된 폴리실리콘층으로 형성하는 것이 바람직하다. 이때, 도핑된 폴리실리콘층은 불순물이 도핑



되지 않은 폴리실리콘층에 불순물 이온을 주입하여 형성하거나, 실리콘(Si) 소스 가스와 인(P) 또는 보론(B)을 포함하는 불순물 소스 가스를 이용하여 형성할 수 있다. 그리고, 상부 게이트 전극(180)은 티타늄(Ti)층, 티타늄 질화(TiN)막, 텅스텐(W)층, 알루미늄(Al)층, 구리(Cu)층, 텅스텐 실리사이드(WSi<sub>x</sub>)층 또는 이들의 조합으로 형성하는 것이 바람직하다. 한편, 본 발명의 다른 실시 예에 따르면, 게이트 절연막(160)은 1nm 내지 20nm 두께의 실리콘 산화막, 하프늄 산화막, 알루미늄 산화막, 지르코늄 산화막, 실리콘 질화막 또는 이들의 조합으로 형성할 수 있다.

<35> 한편, 소자의 유효 채널 길이를 증가시키기 위하여, 게이트 구조물(195) 양측에 노출된 반도체 기판(110)을 시드(Seed)층으로 하여 200Å 내지 1000Å 두께의 실리콘(Si)을 성장시킨 후, 성장시킨 실리콘에 불순물 이온을 주입하여 소스/드레인 영역을 형성할 수 있다. 따라서, 소스/드레인 영역과 채널 영역은 높이 차이가 발생한다.

<36> 이후 공정은 게이트 측벽 절연막 형성, 콘택 플러그 형성, 비트 라인 콘택 및 비트 라인 형성, 캐패시터 콘택 및 캐패시터 형성, 금속 배선 콘택 및 금속 배선 형성과 같은 일반적 트랜지스터 제조 공정을 수행하여 반도체 소자를 완성한다.

<37> 도 8a 내지 8d는 본 발명의 제 2 실시 예에 따른 반도체 소자의 제조 방법을 도시한 단면들로서, 후속 공정에서 소정 영역 하측의 반도체 기판을 용이하게 제거하기 위하여, 반도체 기판이 제거될 영역을 SiGe층으로 형성하는 반도체 소자의 제조 방법을 도시한 단면도들이다. 여기서, 도 8a(i) 내지 8d(i)는 도 4의 I-I'을 따른 단면도들이고, 도 8a(ii) 내지 8d(ii)는 도 4의 II-II'을 따른 단면도들이다.

<38> 도 8a를 참조하면, 반도체 기판(110) 표면에 세정 공정을 수행한 후, 전체 표면 상부에 SiGe층(119)을 형성한다. 다음으로, 후속 공정 시 제거될 소정 영역의 반도체 기판(110)을 덮는 마스크(미도시)를 식각 마스크로 SiGe층(119)을 선택적으로 제거하여 반도체 기판(110)을 노출한다. 이후, 노출된 반도체 기판(110)을 시드(Seed)층으로 하여 SiGe층(119)을 매립하는 실리콘(Si)층(121)을 형성한 후, 실리콘층(121) 상부에 패드 산화막(113) 및 패드 질화막(115)을 순차적으로 형성한다. 본 발명의 일 실시 예에 따르면, SiGe층(119)의 제거 공정은 건식 식각 방법으로 수행되는 것이 바람직하다. 본 발명의 일 실시 예에 따르면, 반도체 기판(110)이 제거될 소정 영역은 도 4의 활성 영역(101)의 길이 방향에서 도 6의 저장 전극 접합 영역(107)과 이와 인접한 채널 영역(109)의 일부를 포함한다.

<39> 도 8b 및 8c를 참조하면, 소자 분리 영역의 패드 질화막(115), 패드 산화막(113), 실리콘층(121), SiGe층(119) 및 반도체 기판(110)을 식각하여 도 4의 활성 영역(101)을 정의하는 트렌치(117)를 형성한다. 이때, 트렌치(117)의 측벽에 SiGe층(119)이 노출된다. 다음으로, 트렌치(117)의 측벽을 통해 노출된 SiGe층(119)을 식각하여 언더-컷 형태의 공간(140)을 형성한다. 이때, 언더-컷 형태의 공간(140)은 SiGe층(119)의 식각 속도가 반도체 기판(110)에 비해 상대적으로 빠르기 때문에 형성되며, SiGe층(119)과 반도체 기판(110)의 식각 속도비는 10 이상인 것이 바람직하다.

<40> 도 8d를 참조하면, 언더-컷 형태의 공간(140)을 포함한 트렌치(117)를 매립하는 소자 분리용 절연막(미도시)을 형성한 후, 패드 질화막(115)을 노출할 때까지 소자 분리용 절연막을 평탄화 식각하여 소자 분리 구조(130)를 형성한다. 본 발명의 일 실시 예에 따르면, 소자 분리 구조(130)와 언더-컷 형태의 공간(140)을 포함한 트렌치(117)의 계면에 열 산화막(미도시)을 더 형성할 수 있다. 이때, 열 산화막은 반도체 기판(110)을 200℃ 내지 1000℃의 온도에서 H<sub>2</sub>O, O<sub>2</sub>, H<sub>2</sub>, O<sub>3</sub> 또는 이들의 혼합 가스에 노출시켜 형성하는 것이 바람직하다. 본 발명의 일 실시 예에 따르면, 소자 분리용 절연막은 HDP 또는 CVD 방법으로 실리콘 산화막으로 형성하는 것이 바람직하며, 소자 분리 구조(130) 형성을 위한 평탄화 식각 방법은 CMP 방법으로 수행되는 것이 바람직하다.

<41> 이후 공정은 도 7d 내지 7e의 반도체 소자의 제조 방법과 동일하게 수행될 수 있다.

### 발명의 효과

<42> 이상에서 설명한 바와 같이, 본 발명에 따른 반도체 소자 및 그의 제조 방법은 반도체 기판 하부의 저장 전극 접합 영역과 이와 인접한 일부 채널 영역이 리세스된 활성 영역을 정의하는 소자 분리 구조를 형성하고, 게이트 영역의 소자 분리 구조를 식각하여 게이트 영역의 길이 방향에서 소자 분리 구조 상부로 돌출된 핀 형(Fin-type) 채널 영역을 형성하도록 반도체 소자를 설계함으로써, 상대적으로 더 큰 동작전류를 얻을 수 있는 이점이 있다. 또한, 저장 전극 하부의 반도체 기판을 제거하여 저장 전극과 반도체 기판의 바디(Body) 사이에 직접적인 접촉을 방지함으로써 저장 전극에서 바디로 흐르는 누설 전류를 근본적으로 감소시킬 수 있다. 따라서, 소자의 리프레쉬 특성을 상당히 개선할 수 있다.



<43> 본 발명에 따른 반도체 소자는 핀 형 채널 영역을 갖기 때문에 디자인 룰의 감소에도 쉽게 적용할 수 있고, 단 채널 효과를 개선할 수 있다. 또한 드레인 전압에 의한 문턱전압 감소 현상, 기판 바이어스 의존성 및 게이트 On/Off 특성을 개선할 수 있다. 그리고 본 발명에 따른 반도체 소자는 디자인 룰 감소에도 채널 면적을 충분히 확보할 수 있는 확장성을 갖으며, 리세스 영역을 위한 마스크를 기존 게이트 마스크로 사용함으로써 공정 비용을 절감하고, 공정 단순화에 의해 소자의 결함을 감소시킬 수 있는 효과가 있다.

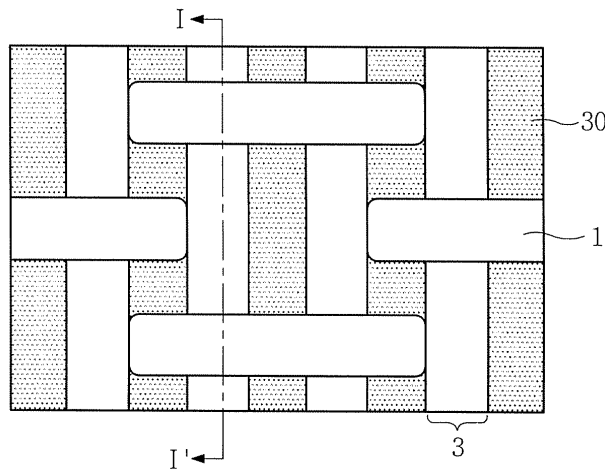
<44> 아울러 본 발명의 바람직한 실시 예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

**도면의 간단한 설명**

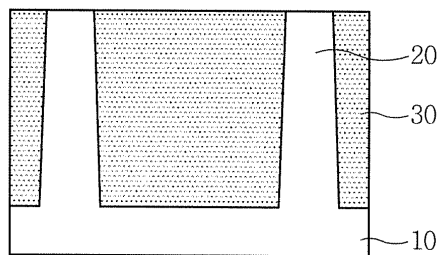
- <1> 도 1은 종래 기술에 따른 반도체 소자의 레이아웃.
- <2> 도 2a 내지 2c 및 도 3은 종래 기술에 따른 반도체 소자의 제조 방법을 도시한 단면도들.
- <3> 도 4는 본 발명의 실시 예에 따른 반도체 소자의 레이아웃.
- <4> 도 5 및 6은 본 발명의 실시 예에 따른 반도체 소자의 단면도들.
- <5> 도 7a 내지 7i는 본 발명의 제 1 실시 예에 따른 반도체 소자의 제조 방법을 도시한 단면도들.
- <6> 도 8a 내지 8d는 본 발명의 제 2 실시 예에 따른 반도체 소자의 제조 방법을 도시한 단면도들.

**도면**

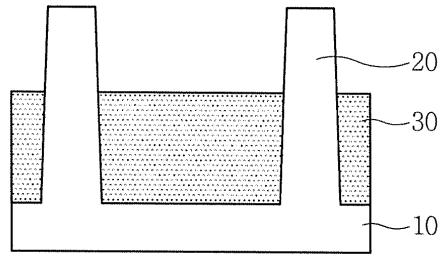
**도면1**



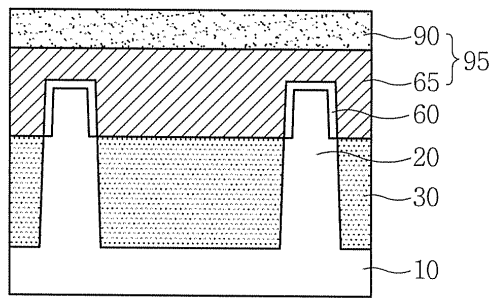
**도면2a**



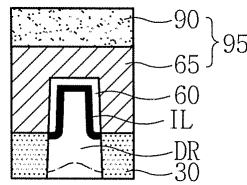
도면2b



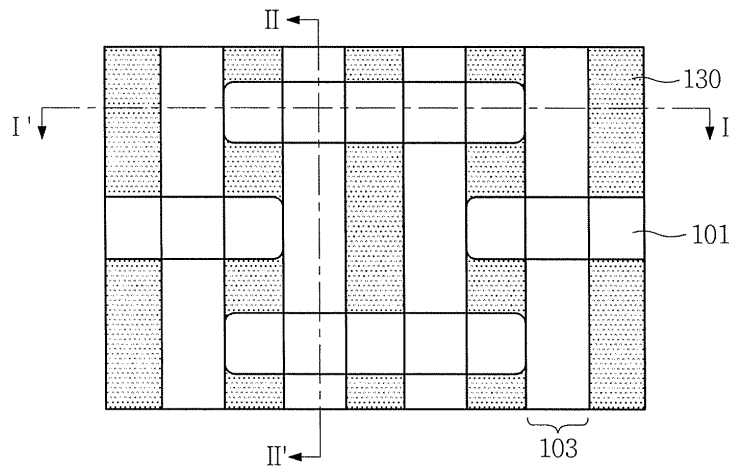
도면2c



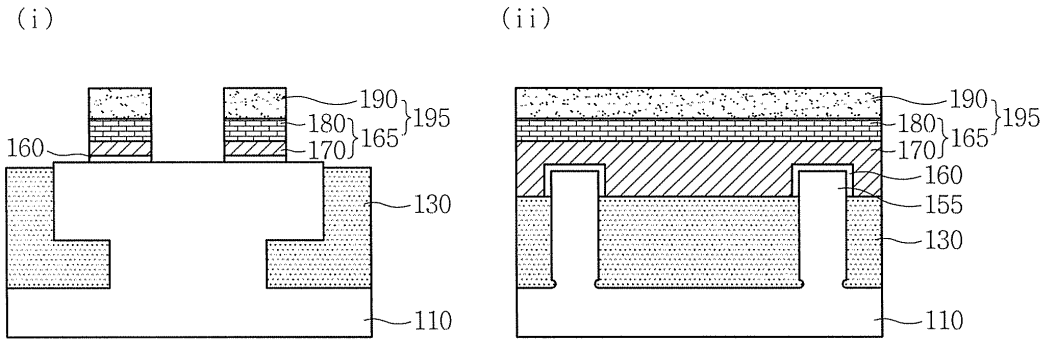
도면3



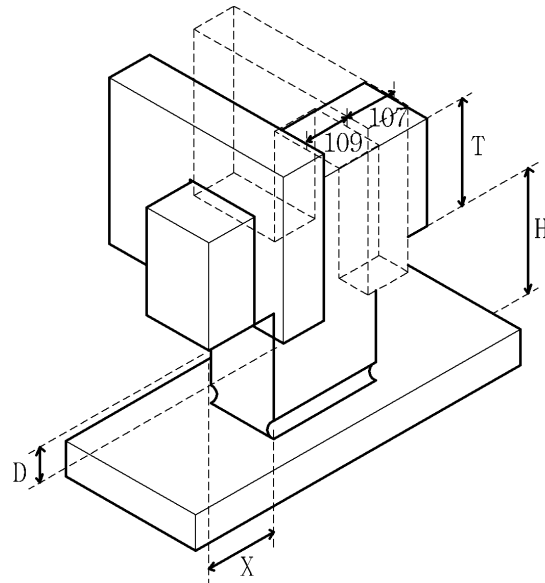
도면4



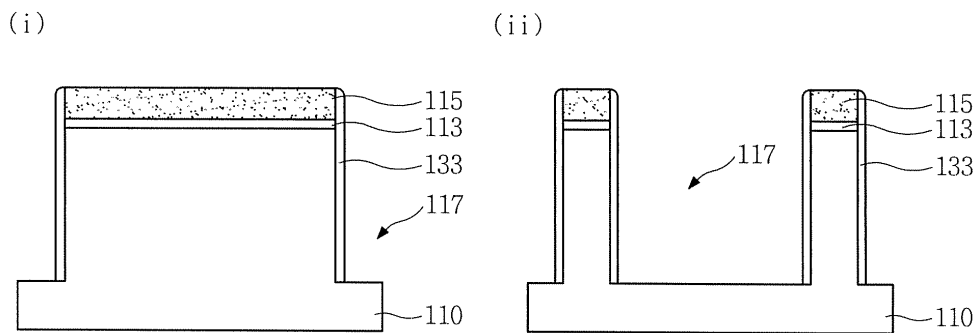
도면5



도면6

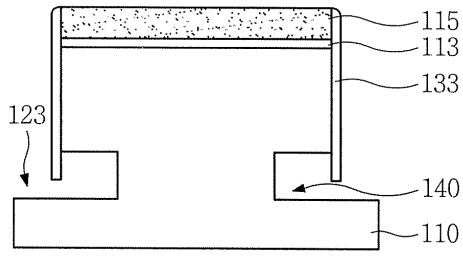


도면7a

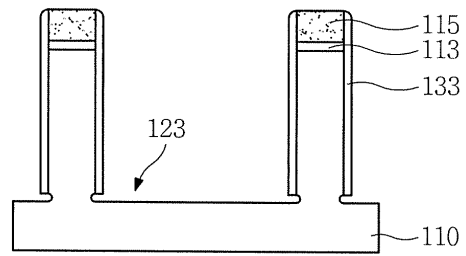


도면7b

(i)

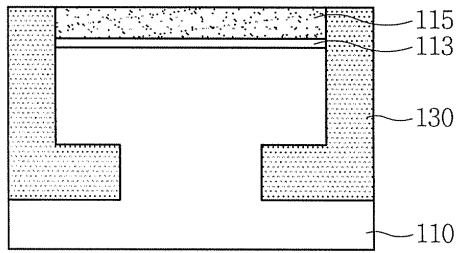


(ii)

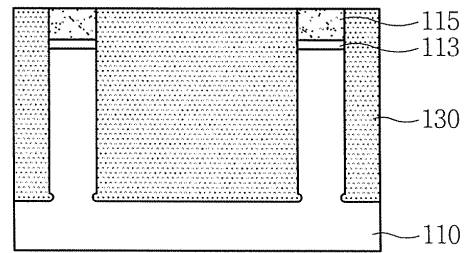


도면7c

(i)

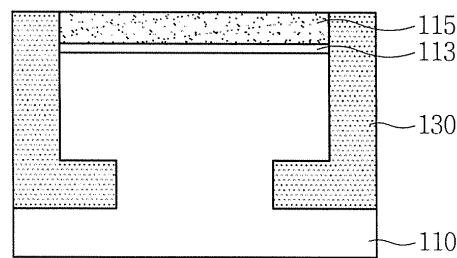


(ii)

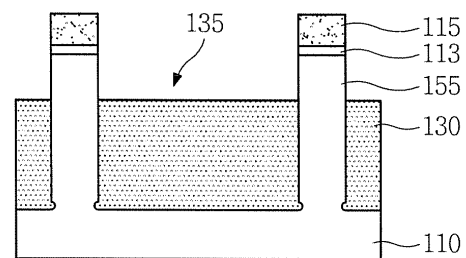


도면7d

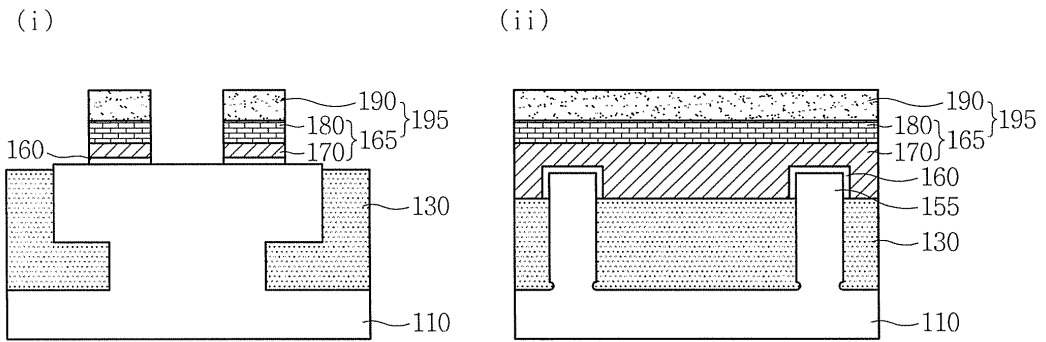
(i)



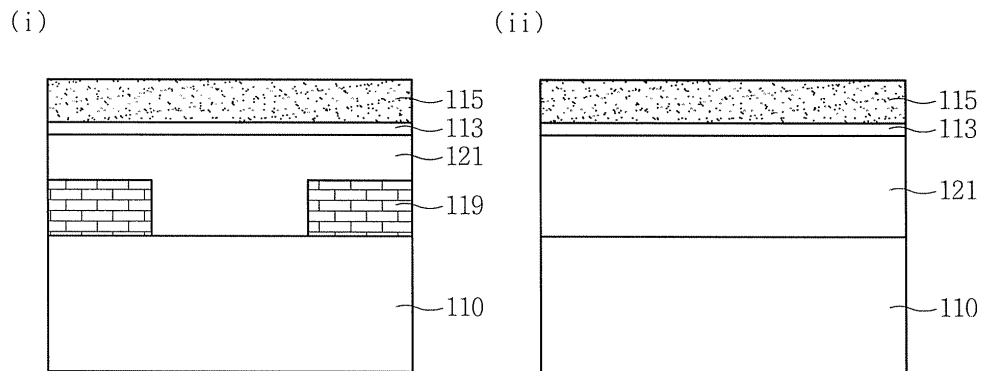
(ii)



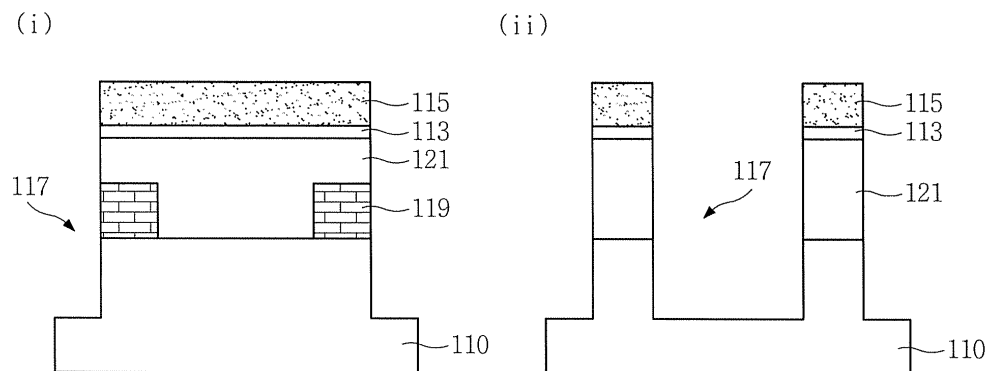
도면7e



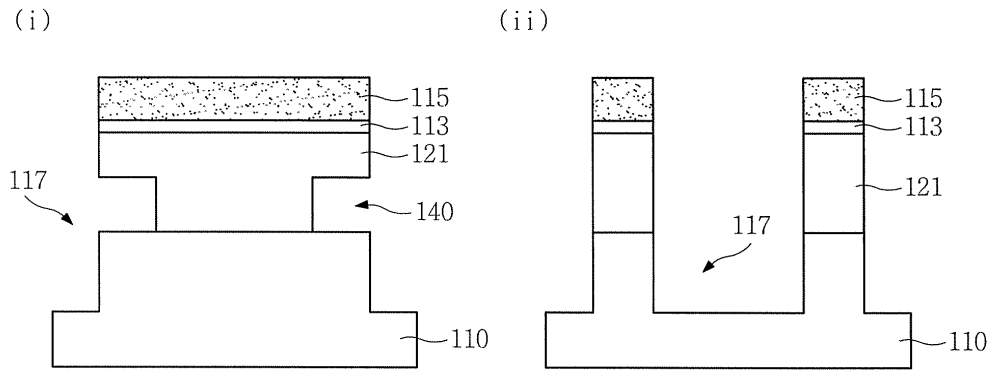
도면8a



도면8b



도면8c



도면8d

