



I252525

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93127364

※ 申請日期：93.9.10

※IPC 分類：H01L²¹/58

一、發明名稱：(中文/英文)

金屬單層膜形成方法、配線形成方法及場效型電晶體之製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

安藤 國威

ANDO, KUNITAKE

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番 35 號

7-35, KITASHINAGAWA 6-CHOME SHINAGAWA-KU, TOKYO

JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

米屋 伸英

YONEYA, NOBUHIDE

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2003 年 09 月 11 日；特願 2003-319557

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種金屬單層膜形成方法、配線形成方法及場效型電晶體之製造方法。

【先前技術】

在半導體裝置中，要直接將包含金(Au)和白金(Pt)等(以下有時稱為金屬層)的配線及電極形成在由SiO₂構成的絕緣膜上，因絕緣膜和金屬層之間的密著力低，故有困難。因此，通常會在絕緣膜和金屬層之間，形成包含鈦(Ti)和鉻(Cr)之密著層，防止金屬層從絕緣膜剝離。

但是，在該金屬層與密著層之多層構造中，由於蝕刻條件相異，造成金屬層及密著層之圖案化之控制性低落之情形。又因需要形成密著層，會導致原材料費用增加、製造程序增加等之半導體裝置製造成本之增加。更且，在構成半導體裝置之通道形成區域與由金(Au)構成之源極/汲極電極以及由鈦(Ti)構成的密著層等兩者接觸之情形，確認會由於在與鈦(Ti)通道間電荷之移動而造成電晶體全體之通道遷移率降低之現象。

因此，本發明之目的在於提供一種能夠在例如由SiO₂構成之基體上確實形成密著性良好之金屬單層膜之金屬單層膜形成方法、能夠在例如由SiO₂構成之基體上確實形成密著性良好之配線之配線形成方法，以及能夠在閘極絕緣膜或基材上確實形成包含密著性良好之由金屬單層膜構成之源極/汲極電極之場效型電晶體之製造方法。

【發明內容】

為達成上述目的，本發明之金屬單層膜形成方法，係在基體表面上形成金屬單層膜之方法，其特徵在於：在形成金屬單層膜之前，在基體表面上實施矽烷偶合處理。

為達成上述之目的，本發明係之第1形態之配線形成方法，係關於所謂剝離(lift-off)法，其特徵在於包含以下工序：

(A)在基體上形成已除去用以形成配線之部分之光阻層者；

(B)在露出之基體表面實施矽烷偶合處理者；

(C)在光阻層以及基體上形成金屬單層膜者；及

(D)除去光阻層而在基體上殘留由金屬單層膜構成之配線者。

再者，為達成上述之目的，本發明之第2形態之配線形成方法，係關於所謂剝離(lift-off)法，其特徵在於包含以下工序：

(A)在基體之表面實施矽烷偶合處理者；

(B)在經過矽烷偶合處理之基體表面形成金屬單層膜者；及

(C)以蝕刻法選擇性除去金屬單層膜，而在基體上形成由金屬單層膜構成之配線者。

為達成上述之目的，本發明之第1形態之場效型電晶體之製造方法，其特徵在於包含：

(A)在支撐體上形成閘極電極之工序；

(B)在閘極電極上形成閘極絕緣膜之工序；

(C)在閘極絕緣膜之表面實施矽烷偶合處理之工序；

(D)在經過矽烷偶合處理之閘極絕緣膜上形成由金屬單層膜構成之源極/汲極電極之工序；及

(E)在源極/汲極電極間之閘極絕緣膜上形成由半導體材料層構成之通道形成區域之工序。

為達成上述之目的，本發明之第2形態之場效型電晶體之製造方法，其特徵在於包含：

(A)在基材表面實施矽烷偶合處理之工序；

(B)在經過矽烷偶合處理的基材表面上形成由金屬單層膜構成之源極/汲極電極之工序；

(C)在源極/汲極電極及其間之基材上形成半導體材料層，而在源極/汲極電極之間獲得由半導體材料層構成之通道形成區域之工序；

(D)在半導體材料層上形成閘極絕緣膜之工序；及

(E)閘極絕緣膜上形成閘極電極之工序。

本發明之金屬單層膜之形成方法、本發明之第1形態或第2形態之配線形成方法中之基體、及本發明之第2形態之場效型電晶體之製造方法中之基材，乃至於本發明之第1形態之場效型電晶體之製造方法中之閘極絕緣膜，只要其最表面以OH基端基，便能夠進行矽烷偶合處理，故只要在最表面具有OH基，基本上可由何種材料所構成，在此可舉出其一例，例如SiO₂系材料。此外，作為基體和基材，可舉出其他有機系絕緣材料，例如聚甲基丙烯酸甲酯(PMMA)、聚乙烯基苯酚(PVP)、聚乙烯醇(PVA)，以及聚乙烯等。此外，

作為構成金屬單層膜之材料，可舉例如與硫醇基(-SH)反應之金屬，具體可舉例如選自由金(Au)、白金(Pt)、銀(Ag)、鈦(Pd)、銻(Rb)及銻(Rh)所組成之群中之一種金屬。

在此，作為SiO₂系材料，可舉例如：二氧化矽(SiO₂)、BPSG、PSG、BSG、AsSG、PbSG、氧化氮化矽(SiON)、SOG(旋塗式玻璃)、具有低介電常數之SiO₂系材料(例如：聚芳基醚、環全氟碳聚合物及苯并環丁烯、環狀氟樹脂、聚四氟乙烯、氟化芳基醚、氟化聚醯亞胺、非晶形碳、有機SOG)。

藉由以下等眾所周知的製程，可形成由SiO₂系材料構成之基體、基材或閘極絕緣膜：例如真空蒸鍍法和濺鍍法之物理氣相沈積法(PVD法：Physical Vapor Deposition法)；各種化學氣相沈積法(CVD法)；旋轉塗敷法；網版印刷法及噴墨印刷法等之印刷法；後述之各種塗敷方法；浸漬法；澆鑄法；噴塗法；以及利用矽熱氧化而形成SiO₂等。

或者可藉由將閘極電極之表面氧化而形成閘極絕緣膜。作為將閘極電極之表面氧化之方法，雖視構成閘極電極之材料而定，但可舉例如採用O₂電漿之氧化法及陽極氧化法等。另外，例如由Au構成閘極電極之情形，如將一端以氫硫基修飾之直鏈狀碳氫化合物的方式，利用浸漬等方法藉由具有能與閘極電極化學性鍵結之官能基的絕緣性分子自我組織化而被覆閘極電極表面，亦可在閘極電極之表面上形成閘極電極絕緣膜。

矽烷偶合劑一般可用X-Si(OR)₃表示。其中，「X」表示氫硫基(巰基)、胺基、乙烯基、環氧基、氟基、甲基丙烯基等

官能基；「OR」表示可加水分解的基(可舉例如：甲氧基、乙氧基)。作為矽烷偶合劑，具體言之，可舉出3-巰基丙基三甲氧基矽烷 $[(\text{CH}_3\text{O})_3\text{SiC}_3\text{H}_7\text{SH}]$ 。

作為矽烷偶合處理之方法，可舉出將基體、基材或閘極絕緣膜進行以下方法：暴露在矽烷偶合劑之蒸氣中之方法；浸漬在矽烷偶合劑溶液之方法；用各種塗敷法塗敷矽烷偶合處理劑溶液之塗敷方法；各種印刷方法；以及旋塗矽烷偶合劑溶液之方法等。在此，作為塗敷方法，可舉例：空氣刮刀塗敷法、刮刀式塗敷法、輥式塗敷法、裁刀式塗敷法、擠壓式塗敷法、正逆轉塗敷法、轉移輥塗敷法、凹板塗敷法、接觸塗敷法(kiss roll coater)、澆鑄塗敷法、噴塗法、狹縫塗敷法(slit orifice coater)、及壓輥塗敷法等。

作為閘極電極之構成材料，可例示：選自由金(Au)、白金(Pt)、銀(Ag)、鈀(Pd)、銻(Rb)以及銻(Rh)所構成之群中之一種金屬。或作為閘極電極之構成材料，可進一步舉出：鋁(Al)、銅(Cu)、鎳(Ni)、鉻(Cr)、鎢(W)、鉭(Ta)、鈦(Ti)、銦(In)、錫(Sn)等之金屬與各種合金或包含該等金屬之導電性粒子；或包含該等金屬之合金之導電性粒子，亦可以是包含該等元素層之疊層構造。另外，亦可舉出聚(3,4-乙二氧基噻吩)/聚苯乙烯磺酸(PEDOT/PSS)等各種導電性高分子(如後所述)，亦可舉出高濃度摻雜之矽。

作為金屬單層膜、源極/汲極電極或閘極電極之形成方法，雖需視其構成材料而定，但可舉例如：真空蒸鍍法和濺鍍法之PVD法；包含MOCVD法之各種CVD法；旋塗法；

使用導電性糊膏或後述之各種導電性高分子溶液之網版印刷法或噴墨印刷法等印刷法；上述各種塗敷法；剝離法；陰影遮罩法；電解電鍍法或無電解電鍍法，或將兩種方法組合之電鍍法；以及噴塗法中之任意一種方法，乃至於根據需要與圖案化技術組合而成的方法等等。另外，作為PVD法，可舉出：(a)電子束加熱法、電阻加熱法、快速(flash)蒸鍍法等各種真空蒸鍍法；(b)電漿蒸鍍法；(c)2極濺鍍法、直流濺鍍法、直流磁控管濺鍍法、高頻濺鍍法、磁控管濺鍍法、離子束濺鍍法、偏壓濺鍍法等各種濺鍍方法；(d)DC(直流)法、RF法、多陰極法、活性化反應法、電場蒸鍍法、高頻離子鍍膜法、反應性離子鍍膜法等各種離子鍍膜法。

作為構成半導體材料之材料，可舉出：

2,3,6,7-二苯并蔥(亦稱作戊聚糖)； C_9S_9 (苯并[1,2-c；3,4-c'；5,6-c"]參[1,2]二硫雜環戊-1,4,7-三硫代酮)； $C_{24}H_{14}S_6$ (α -SeXi噻吩)；以銅酞青為代表之酞青；富勒烯(Fullerene) C_{60} ；四硫代四氫蔥($C_{18}H_8S_4$)；四硒代四氫蔥($C_{18}H_8Se_4$)；四碲代四氫蔥($C_{18}H_8Te_4$)；聚(3,4-伸乙二氧基噻吩)/聚苯乙烯磺酸[PEDOT/PSS]；且，聚(3,4-伸乙二氧基噻吩)之構造式(1)，聚苯乙烯磺酸之結構式(2)示於圖6。

又或，作為構成半導體層之材料，例如，可使用以下例示之雜環式共軛系導電性高分子及含雜原子共軛系導電性高分子。且，結構式中[R]，[R']表示烷基(C_nH_{2n+1})。

[雜環式共軛系導電性高分子]

聚吡咯	[參照圖 6 結構式 (3)]
聚呋喃	[參照圖 6 結構式 (4)]
聚噻吩	[參照圖 6 結構式 (5)]
聚硒雜環戊二烯	[參照圖 6 結構式 (6)]
聚碲雜環戊二烯吩	[參照圖 6 結構式 (7)]
聚(3-烷基噻吩)	[參照圖 6 結構式 (8)]
聚(3-噻吩- β -乙烷磺酸)	[參照圖 6 結構式 (9)]
聚(N-烷基吡咯)	[參照圖 7 結構式 (10)]
聚(3-烷基吡咯)	[參照圖 7 結構式 (11)]
聚(3,4-二烷基吡咯)	[參照圖 7 結構式 (12)]
聚(2,2'-噻吩基吡咯)	[參照圖 7 結構式 (13)]

[含雜原子共軛系導電性高分子]

聚苯胺	[參照圖 7 結構式 (14)]
聚(二苯并噻吩硫化物)	[參照圖 7 結構式 (15)]

又或，作為構成半導體材料層之材料，係具有共軛鍵之有機半導體分子，可舉出：在分子兩端上具有：氫硫基(SH)、胺基(-NH₂)、異氰基(-NC)、硫代乙醯氧基(-SCOCH₃)、或羧基(-COOH)，具體言之，作為有機半導體分子，可例示以下材料。

4,4'-聯苯二硫醇	[參照圖 8 結構式 (16)]
4,4'-二異氰基聯苯	[參照圖 8 結構式 (17)]
4,4'-二異氰基-p-聯三苯	[參照圖 8 結構式 (18)]
2,5-雙(5'-硫代乙醯氧基-2'-噻吩基)噻吩)	[參照圖 8 結構式 (19)]

另外，亦可由無機半導體材料構成半導體材料層，作為無機半導體材料，具體言之，可舉出Si、Ge、Se。

由上述導電性高分子材料構成半導體材料層之情況，雖依據構成半導體材料層之材料而定，但作為半導體材料層(通道形成區域)之形成方法，可例示：真空蒸鍍法和濺鍍法之PVD法；各種CVD法；旋塗法；網版印刷法，噴墨法之印刷法；上述各種塗敷法；浸漬法；印模法；剝離法(lift-off)；陰影遮罩法及噴塗法內之任何一種方法。由上述無機半導體材料構成半導體材料層之情況，作為半導體材料層(通道形成區域)之形成方法，可舉出各種CVD法和PVD法。

藉由本發明之第1形態之場效型電晶體製造之方法製造之場效型電晶體，係形成在支撐體上，而作為支撐體，可舉出，例如：在各種玻璃基板或表面上形成絕緣層之各種玻璃基板、石英基板、在表面上形成絕緣層之石英基板、在表面上形成絕緣層之矽基板。另外，作為支撐體，可例示：由聚醚砜(PES)、聚醯亞胺、聚碳酸酯、聚對苯二甲酸乙二醇酯(PET)之高分子材料構成之塑膠薄膜或塑膠薄片、塑膠基板；若使用具有該可撓性之高分子材料構成之支撐體，則可將場效型電晶體應用到例如：具有曲面形狀之顯示器裝置和電子設備之組裝或一體化。而且亦可用樹脂將場效型電晶體實施封裝。即使在藉由本發明之第2形態之場效型電晶體製造方法製造場效型電晶體中，基材較好藉由支撐體支撐，作為有關支撐體，可舉出上述材料。

[發明效果]

根據本發明，對基體、基材或閘極絕緣膜之表面進行矽烷偶合處理，使基體、基材、閘極絕緣膜之最表面以例如氫硫基之官能基為端基。然後，在基體、基材或閘極絕緣膜上進行金屬單層膜成膜時，該官能基會發揮接著劑的功能而提高基體、基材、閘極絕緣膜與金屬單層膜之間的密著性。且，因能夠在基體、基材或閘極絕緣膜表面上形成金屬單層膜，故可達成提高蝕刻控制性、降低原材料費用、簡化場效型電晶體等製造程序並降低製造成本。此外，由金屬單層膜構成場效型電晶體之源極/汲極電極，可消除密著層和通道間之電荷遷移，使由金屬單層膜構成之源極/汲極電極與通道間之電荷遷移順暢，達成通道遷移率提升，進而使場效型電晶體之特性提高。

【實施方式】

以下，參照圖示，根據實施例說明本發明，但對於先前之場效型電晶體之構成與配線之構成無任何更動，僅追加若干製造工序，即可獲得密著性優異之源極/汲極電極與配線等。

[實施例1]

實施例1係關於本發明之第1形態的場效型電晶體之製造方法、本發明之第1形態及第2形態之配線形成方法，及本發明之金屬單層膜形成方法。圖3顯示在與閘極電極之延伸方向成直角之假想垂直面上，將藉由實施例1之場效型電晶體之製造方法所得到之場效型電晶體(具體稱作薄膜電晶

體，TFT)切斷時之模式化之局部剖面圖。

實施例1中之場效型電晶體，具體言之，係所謂「底部閘極」型，且係底接觸型TFT，其具有：

- (A)閘極電極12，其形成在支撐體上；
- (B)閘極絕緣膜13，其形成在閘極電極12上；
- (C)源極/汲極電極14，其形成在閘極絕緣膜13上；及
- (D)通道形成區域15，其位於源極/汲極電極14之間且形成在閘極絕緣膜13上，由半導體材料層構成。

更且，於全面形成有由SiO₂構成之層間絕緣層20，在層間絕緣層20上形成有配線21。此外，在從閘極電極12延伸之字元線及源極/汲極電極14之上方之層間絕緣層20之部分形成有開口部，在該等開口部內亦延伸有配線21，並連接於字元線及源極/汲極電極14。

在此，除了採用本發明之第1形態之場效型電晶體之製造方法來製造圖3所示之TFT以外，並將亦作為字元發揮功能之閘極電極12視作配線，而透過本發明之第1形態之配線方法形成閘極電極12(配線)，並透過本發明之第2形態之配線方法形成層間絕緣層20上之配線21。

在實施例1中，使用戊聚糖，作為構成通道形成區域15之半導體材料層。此外，以利用濺鍍法在表面形成有由SiO₂構成的絕緣層11之玻璃基板10來構成支撐體。而且，由包含金(Au)之金屬單層膜構成閘極電極12、源極/汲極電極14及配線21；由SiO₂構成閘極絕緣膜13。此外，由SiO₂構成層間絕緣層20。即絕緣層11相當於本發明之第1形態之配線

方法中之基體，層間絕緣層20相當於本發明之第2形態之配線形成方法中之基體，絕緣層11、閘極絕緣膜13或層間絕緣層20相當於本發明之金屬單層形成方法中之基體。

以下，參照支撐體等模式化之局部剖面圖的圖1之(A)~(D)、圖2之(A)~(C)及圖3，說明實施例1之場效型電晶體之製造方法之概要。

[工序-100]

首先，在支撐體上形成閘極電極12。具體言之，於形成在玻璃基板10之表面上且由SiO₂構成之絕緣層11(基體)上，藉由微影技術形成已除去用以形成配線(閘極電極12)的部分之光阻層31(參照圖1(A))。又，在光阻層31形成後，為除去光阻層之殘渣，宜採用氧電漿實施灰化處理。

然後，使其曝露在3-巯基丙基三甲氧基矽烷[(CH₃O)₃SiC₃H₇SH]溶液(溶媒：乙醇)之蒸氣中使其乾燥，藉此可在露出之基體(絕緣層11)之表面實施矽烷偶合處理。

然後，在光阻層31及基體(絕緣層11)上，透過真空蒸鍍法形成由金(Au)構成之金屬單層膜，而如圖1(B)所示，可獲得由包含金(Au)之金屬單層膜構成之閘極電極12。其後，透過剝離法除去光阻層31，而於基體(絕緣層11)上殘留由金屬單層膜構成之配線(閘極電極12)。如此，即可在基體(絕緣層11)上形成相當於配線之閘極電極12(參照圖1(C))。

以上之[工序-100]之實行，即為實施本發明之金屬單層膜形成方法，及本發明之第1形態之配線形成方法。

[工序-110]

然後，在包含閘極電極12上方之支撐體(更具體言之即絕緣層11)上形成閘極絕緣膜13。具體言之，利用濺鍍法，在閘極電極12及絕緣層11上形成由SiO₂構成之閘極絕緣膜13。在進行閘極絕緣膜13成膜之際，以硬遮罩覆蓋閘極電極12之一部分，則無需微影製程即可形成閘極電極12之取出部(圖中未示出)。

[工序-120]

然後，在閘極絕緣膜13之表面實施矽烷偶合處理後，在經過矽烷偶合處理之閘極絕緣膜13上，形成由包含金(Au)之金屬單層膜構成之源極/汲極電極14。

具體言之，其係以微影技術，在閘極絕緣膜13上形成已除去用以形成之源極/汲極電極14之部分之光阻層32(參照圖1(D))。又，在光阻層32形成後，為除去光阻層之殘渣，宜採用氧電漿實施灰化處理。然後，與[工序-100]相同，在露出之閘極絕緣13之表面上實施矽烷偶合處理。然後，在光阻層(32)及閘極絕緣膜(13)上，以真空蒸鍍法，形成由金(Au)構成之金屬單層膜，而如圖2(A)所示，可獲得由包含金(Au)之金屬單層膜構成之源極/汲極電極14。其後，透過剝離法除去光阻層32，而於閘極絕緣層13上殘留由金屬單層膜構成之源極/汲極電極14。如此，即可在閘極絕緣層13上形成源極/汲極電極14(參照圖2(B))。

[工序-130]

然後，在源極/汲極電極14間之閘極絕緣膜13上，形成由半導體材料層構成之通道形成區域15(參照圖2(C))。具體言

之，其係利用真空蒸鍍法，在源極/汲極電極14及閘極絕緣膜13上，形成由戊聚糖構成之有機半導體材料層。在有機半導體材料層成膜之際，以硬遮罩覆蓋閘極絕緣膜13及源極/汲極電極14之一部分，則無需微影製程即可形成通道形成區域15。

以上[工序-100]~[工序-140]之實行，即為實施本發明之第1形態之場效型電晶體之製造方法，及本發明之金屬單層膜形成方法。

[工序-140]

然後，於全面形成由SiO₂構成之層間絕緣層20後，在從閘極電極12延伸之字元線及源極/汲極電極14之上方之層間絕緣層20之部分，形成開口部。

然後，在層間絕緣層20(相當於基體)之表面，與實施例1之[工序-100]相同，實施矽烷偶合處理。

然後，在經過矽烷偶合處理之基體(層間絕緣層20)之表面形成金屬單層膜。具體言之，其係在包含該等開口部內之層間絕緣層20上，以真空蒸鍍法形成由包含金(Au)之金屬單層膜，以蝕刻法選擇性除去該金屬單層膜(即形成圖案)，即可於基體之層間絕緣層20上，形成連接從閘極電極12延伸之字元線之配線(圖中未示出)，及連接源極/汲極電極14之配線21(圖3)。如此，可獲得實施例1之TFT。

此[工序-140]之實行，即為實施本發明之第2形態之配線形成方法，及本發明之金屬單層膜形成方法。

在測定由上述方法而得到之TFT之通道遷移率時，得到

$2.0 \times 10^{-1} \text{ cm}^2/(\text{V} \cdot \text{秒})$ 之結果。另一方面，不實施[工序-120]，而改為：形成鈦(Ti)作為密著層，然後製作形成有由金(Au)構成之源極/汲極電極之TFT作為比較例，測定其通道遷移率時，只得到 $7.1 \times 10^{-3} \text{ cm}^2/(\text{V} \cdot \text{秒})$ 之結果。即，以本發明之方法製造之TFT與以先前方法製造之比較例之TFT，證實本發明使通道遷移率提高2位數。此外，完全未發現源極/汲極電極14或閘極電極12、配線21剝離之現象。

[實施例2]

實施例2係關於本發明之第2形態之場效型電晶體之製造方法、本發明之第1形態及第2形態之配線方法、以及本發明之金屬單層膜形成方法。圖5顯示在與閘極電極之延伸方向成直角方向之假想垂直面，將透過實施例2之場效型電晶體之製造方法所得到之場效型電晶體(更具體言之即TFT)切斷時之模式化局部剖面圖。

實施例2中之場效型電晶體係所謂「底閘」型，且係底接觸型TFT，具有：

- (A)源極/汲極電極14，形成在基材上；
- (B)通道形成區域15，位在源極/汲極電極14間，且形成在基材(更具體言之係絕緣層111)上，由半導體材料層構成；
- (C)閘極絕緣膜13，形成在半導體材料層上；及
- (D)閘極電極12，形成在閘極絕緣膜13上。

再者，於全面形成由 SiO_2 構成之層間絕緣層20，在層間絕緣層20上形成有配線21。又，在從閘極電極12延伸之字元線及源極/汲極電極14之上方的層間絕緣層20之部分形

成有開口部，在該等開口部內亦延伸有配線21，該配線21連接字元線及源極/汲極電極14。

在此，除了採用本發明之第2形態之場效型電晶體之製造方法來製造圖5中所示之TFT以外，並將亦作為字元線發揮功能之閘極電極12視作配線，而透過本發明之第1形態之配線方法，形成閘極電極12(配線)，並透過本發明之第2形態之配線方法，形成層間絕緣層20上之配線21。

在實施例2中，亦使用與實施例1相同之半導體材料層作為構成通道形成區域15之半導體材料層。此外，將基材作為由SiO₂構成之絕緣層111。又，絕緣層111乃透過濺鍍法而形成在作為支撐體之玻璃基板10之表面。另外，由包含金(Au)之金屬單層膜構成閘極電極12、源極/汲極電極14及配線21；由SiO₂構成閘極絕緣膜13。此外，由SiO₂構成層間絕緣層20。即，閘極絕緣膜13相當於本發明之第1形態之配線方法之基體；層間絕緣層20相當於本發明之第2形態之配線形成方法之基體；絕緣層111、閘極絕緣膜13或層間絕緣層20相當於本發明之金屬單層膜構成方法之基體。

以下，參照作為支撐體等模式化之局部剖面圖之圖4(A)~(D)及圖5，說明實施例2之場效型電晶體之製造方法之概要。

[工序-200]

首先，在基材之表面實施矽烷偶合處理後，在經過矽烷偶合處理之基材之表面上形成由金屬單層膜構成之源極/汲極電極。具體言之，與實施例1之[工序-120]相同，其係

於作為基材之由SiO₂構成之絕緣層111上，藉由微影技術形成已除去用以形成源極/汲極電極14之部分之光阻層131(參照圖4(A))。又，在光阻層131形成後，為除去光阻層之殘渣，宜採用氧電漿實施灰化處理。然後，與實施例1之[工序-100]相同，在露出之絕緣層111之表面實施矽烷偶合處理。然後，在光阻層131及基材(絕緣層111)上，用真空蒸鍍法，形成由金(Au)構成之金屬單層膜，而如圖4(B)所示，可獲得由包含金(Au)之金屬單層膜構成之源極/汲極電極14。其後，透過剝離法除去光阻層131，而於基材(閘極絕緣層111)上殘留由金屬單層膜構成之源極/汲極電極14。如此，可在基材(絕緣膜111)上形成源極/汲極電極14(參照圖4(C))。

[工序-210]

然後，在源極/汲極電極14及其間之基材(絕緣層111)上，形成半導體材料層，而在源極/汲極電極14間之基材(絕緣層111)上，得到由半導體材料層構成之通道形成區域15。具體言之，與實施例1之[工序-130]相同，以真空蒸鍍法，在源極/汲極電極14及絕緣層11上形成與實施例1中使用者相同之有機半導體材料層。

[工序-220]

然後，在半導體材料層上形成閘極絕緣膜13。具體言之，與實施例1之[工序-110]相同，以濺鍍法於全面形成由SiO₂構成之閘極絕緣膜13。

[工序-230]

然後，在閘極絕緣膜13上形成閘極電極12。具體言之，與實施例1之[工序-100]相同，在閘極絕緣膜13(相當於基體)上，藉由微影技術形成已除去用以形成閘極電極(相當於12配線)之部分之光阻層(圖未示)。又，光阻層形成後，為除去光阻層之殘渣，宜採用氧電漿實施灰化處理。

然後，與實施例1之[工序-100]相同，在露出的基體(閘極絕緣膜13)之表面，實施矽烷偶合處理。

然後，在保護膜及基體(閘極絕緣膜13)上，以真空蒸鍍法形成由金(Au)構成之金屬單層膜，即可獲得由包含金(Au)之金屬單層金屬膜構成之閘極電極12。其後，用剝離法去除光阻層，而於基體(閘極絕緣膜13)上殘留由金屬單層膜構成之配線(閘極電極12)。如此，可在作為基體之閘極絕緣膜13上形成相當於配線之閘極電極12(參照圖4(D))。

以上[工序-200]~[工序-230]之實行，即為實施本發明之第2形態之場效型電晶體之製造方法，及本發明之金屬單層膜形成方法。此外，[工序-230]之實行，即為實施本發明之第1形態之配線形成方法，及本發明之金屬單層膜形成方法。

[工序-240]

以下，與實施例1之[工序-140]相同，於全面形成由SiO₂構成之層間絕緣層20後，在從閘極電極12延伸之字元線及源極/汲極電極14之上方之層間絕緣層20之部分，形成開口部。然後，在層間絕緣層20(相當於基體)之表面，與實施例1之[工序-100]相同，實施矽烷偶合處理。然後，在經過矽

烷偶合處理之基體之表面形成金屬單層膜。具體言之，其係在包含該等開口部內之層間絕緣層20上，以真空蒸鍍法形成由金(Au)構成之金屬單層膜，以蝕刻法選擇性除去該金屬單層膜(即形成圖案)，即可在作為基體之層間絕緣層20上，形成連接從閘極電極12延伸之字元線之配線(圖中未示出)，及連接源極/汲極電極14之配線21(圖5)。如此，即可獲得實施例2之TFT。在得到之TFT中，完全未發現源極/汲極電極14、閘極電極12或配線21之剝離之現象。

[工序-240]之實行，即為實施本發明之第2形態之配線形成方法，及本發明之金屬單層膜形成方法。

以上，已根據較佳實施例說明本發明，但本發明不侷限於該等實施例。場效型電晶體之構造、製造條件均為示例，可適當加以變更。在實施例1及實施例2中，既可透過本發明之第2形態之配線形成方法形成閘極電極(配線)，亦可透過本發明之第1形態之配線形成方法形成層間絕緣層20上之配線21。根據本發明之配線形成方法所得到之配線構造亦不限定在實施例中說明之配線構造。此外，將透過本發明所得到之場效型電晶體(TFT)應用、使用於顯示器裝置和各種電子機械之情形，可製作成在支撐體和支持構件上集成數個TFT之單片積體電路，亦可將各TFT切斷而將其個體化，作為離散零件使用。

【圖式簡單說明】

圖1(A)~(D)係用於說明實施例1之場效型電晶體的製造方法之支撐體等之模式化局部剖面圖。

五、中文發明摘要：

本發明提供一種場效型電晶體之製造方法，其能夠在閘極絕緣膜上形成由密著性良好之金屬單層膜構成之源極/汲極電極。

本發明之場效型電晶體之製造方法包含以下工序：(A)在支撐體11上形成閘極電極12者；(B)在支撐體11以及閘極電極12上形成閘極絕緣膜13者；(C)在閘極絕緣膜13之表面上實施矽烷偶合處理者；及(D)在經矽烷偶合處理的閘極絕緣膜13上形成包含金屬單層膜之源極/汲極電極者；(E)在源極/汲極電極14間之閘極絕緣膜13上形成包含半導體材料層之通道形成區域15者。

六、英文發明摘要：

十、申請專利範圍：

1. 一種金屬單層膜形成方法，其特徵係在基體之表面形成金屬單層膜者，且在形成金屬單層膜之前，於基體之表面實施矽烷偶合處理。
2. 如請求項1之金屬單層膜形成方法，其中構成基體之材料係SiO₂系材料；構成金屬單層膜之材料係選自由金、白金、銀、鈮、銻及銻所組成之群中之一種金屬。
3. 一種配線形成方法，其特徵在於包含以下工序：
 - (A) 在基體上形成已除去用來形成配線的部分之光阻層者；
 - (B) 在露出之基體表面實施矽烷偶合處理者；
 - (C) 在光阻層及基體上形成金屬單層膜者；及
 - (D) 除去光阻層而在基體上殘留包含金屬單層膜之配線者。
4. 一種配線形成方法，其特徵在於包含以下工序：
 - (A) 在基體之表面實施矽烷偶合處理者；
 - (B) 在經過矽烷偶合處理之基體之表面形成金屬單層膜者；及
 - (C) 藉由蝕刻法選擇性除去金屬單層膜，而在基體上形成包含金屬單層膜之配線者。
5. 如請求項3或4之配線形成方法，其中構成基體之材料係SiO₂系材料；構成金屬單層膜之材料係選自由金、白金、銀、鈮、銻及銻所組成之群中之一種金屬。
6. 一種場效型電晶體之製造方法，其特徵在於包含以下工

序：

- (A) 在支撐體上形成閘極電極者；
- (B) 在閘極電極上形成閘極絕緣膜者；
- (C) 在閘極絕緣膜之表面實施矽烷偶合處理者；
- (D) 在經過矽烷偶合處理之閘極絕緣膜上，形成包含金屬單層膜之源極/汲極電極者；及
- (E) 在源極/汲極電極間之閘極絕緣膜上，形成包含半導體材料層之通道形成區域者。

7. 如請求項6之場效型電晶體之製造方法，其中構成閘極絕緣膜之材料係SiO₂系材料；構成金屬單層膜之材料係選自由金、白金、銀、鈮、鈷及銻所組成之群中之一種金屬。

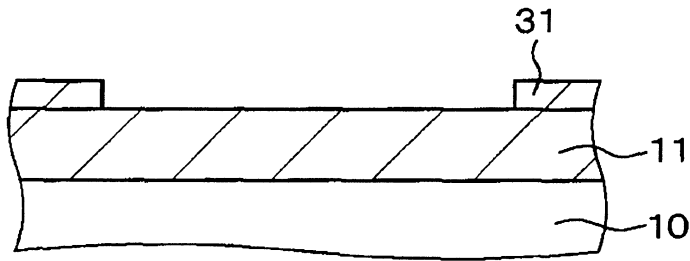
8. 一種場效型電晶體之製造方法，其特徵在於包含以下工序：

- (A) 在基材之表面實施矽烷偶合處理者；
- (B) 在經過矽烷偶合處理之基材表面，形成包含金屬單層膜之源極/汲極電極者；
- (C) 在源極/汲極電極及其間之基材上形成半導體材料層，而在源極/汲極電極間獲得包含半導體材料層之通道形成區域者；
- (D) 在半導體材料層上形成閘極絕緣膜者；及
- (E) 在閘極絕緣膜上形成閘極電極者。

9. 如請求項8之場效型電晶體之製造方法，其中構成基材之材料係SiO₂系材料；構成金屬單層膜之材料係選自由金、白金、銀、鈮、鈷及銻所組成之群中之一種金屬。

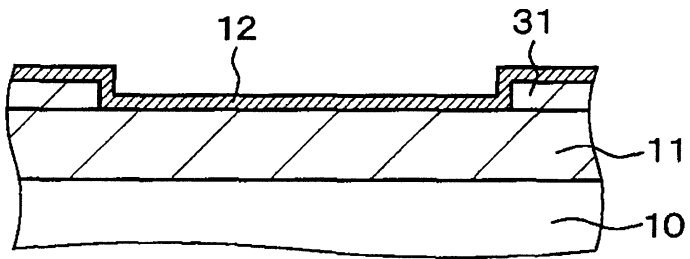
十一、圖式：

(A) [工序 -100]

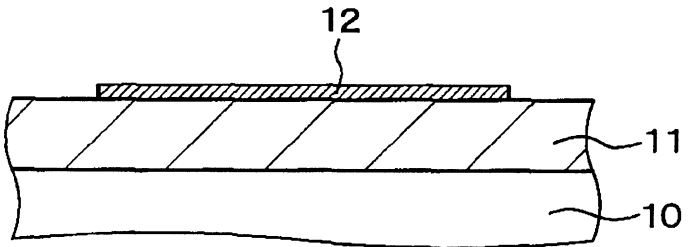


} 支撐體

(B) [工序 -100] (續)



(C) [工序 -100] (續)



(D) [工序 -120]

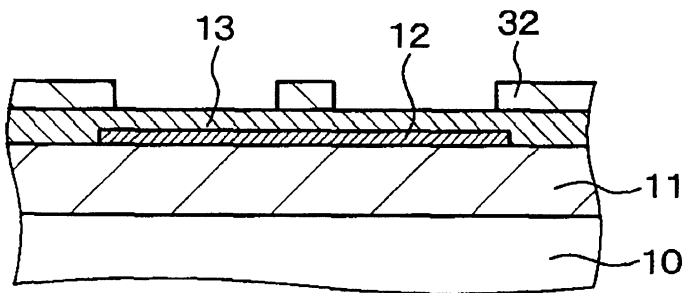
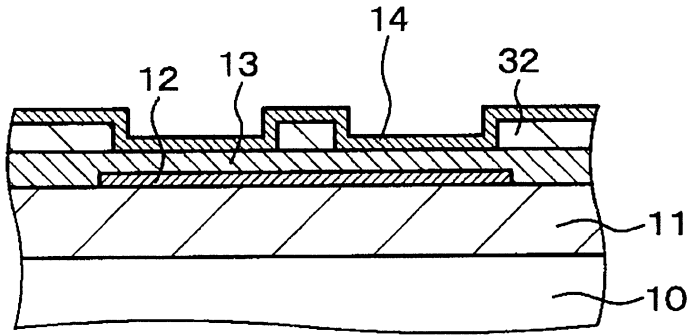
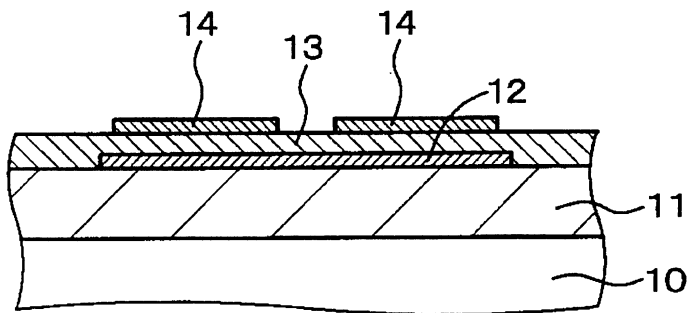


圖 1

(A) [工序 -120] (續)



(B) [工序 -120] (續)



(C) [工序 -130]

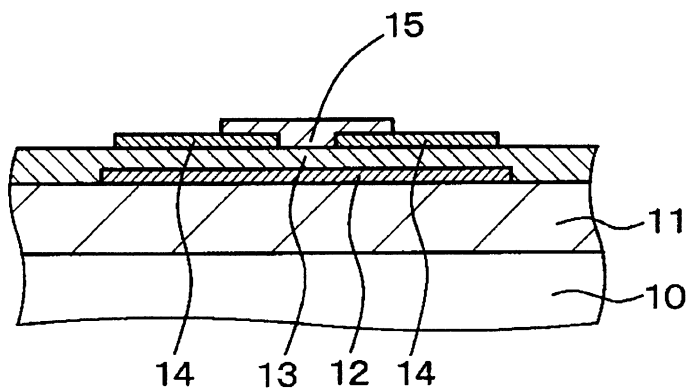


圖 2

[工序 -140]

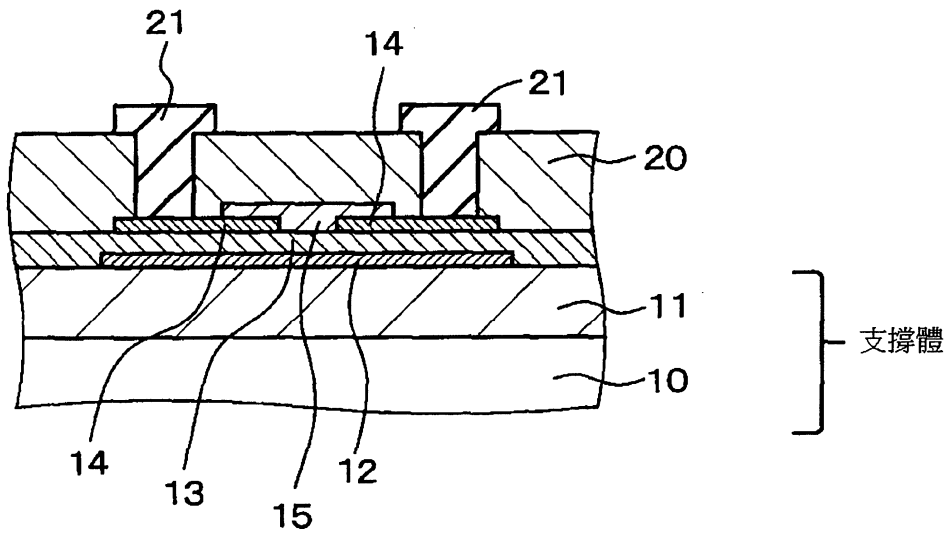
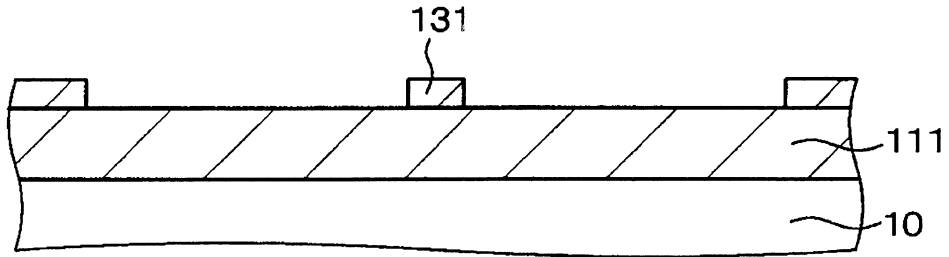
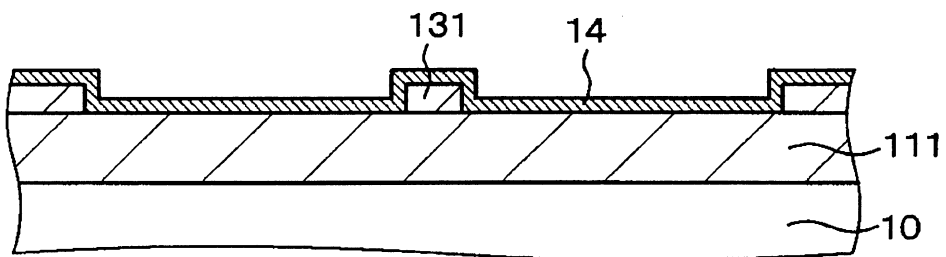


圖 3

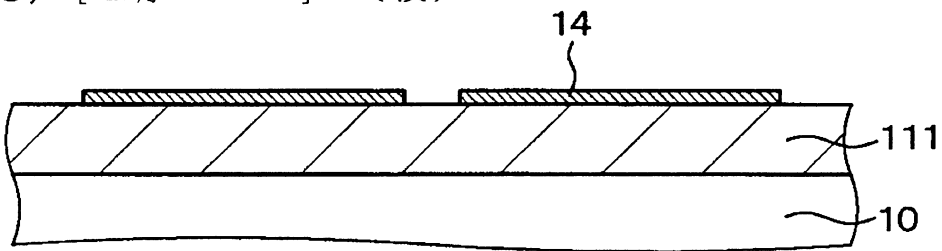
(A) [工序 -200]



(B) [工序 -200] (續)



(C) [工序 -200] (續)



(D) [工序 -230]

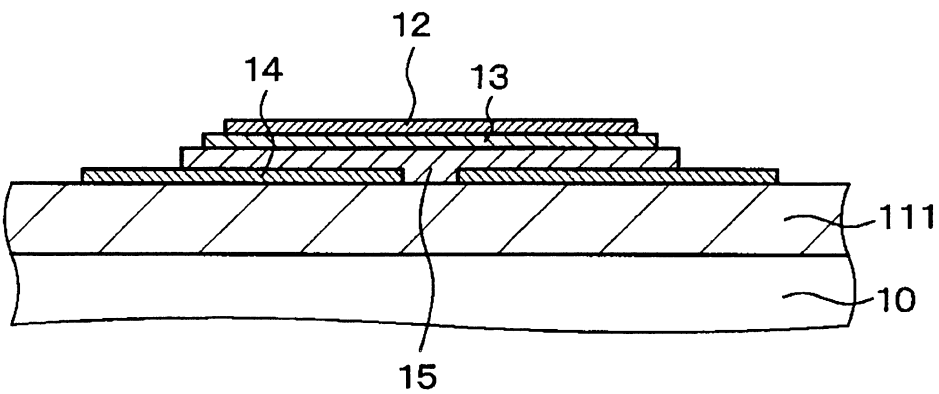


圖 4

[工序 -240]

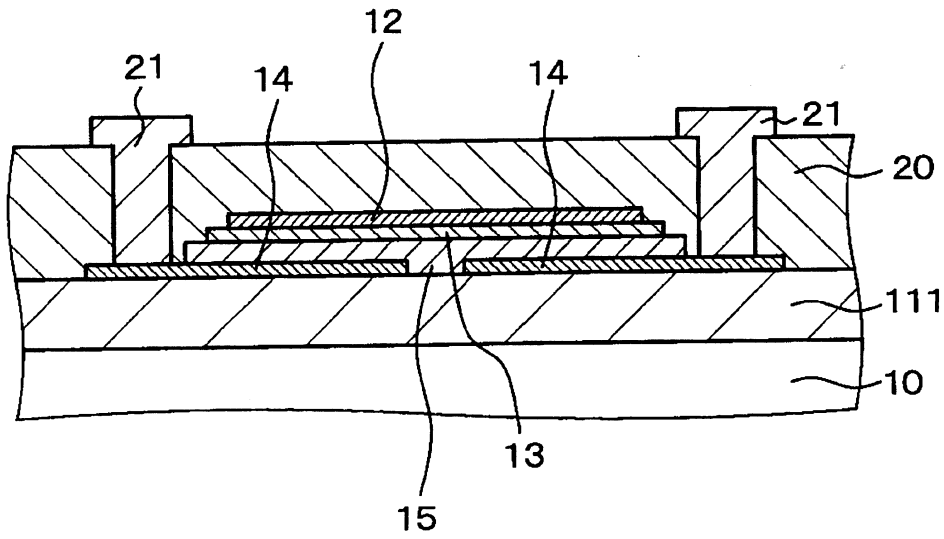


圖 5

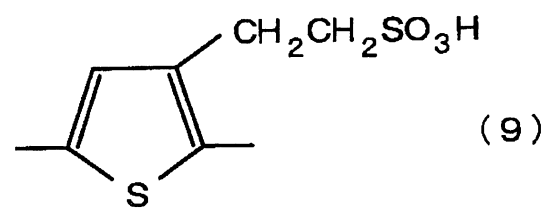
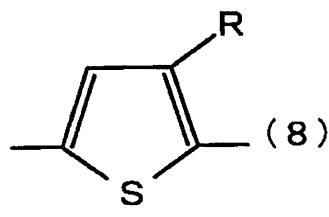
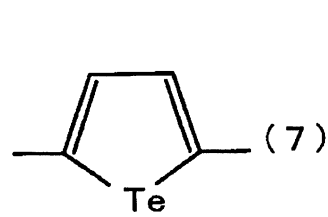
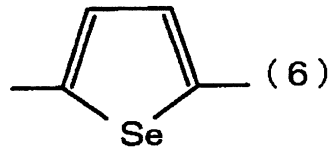
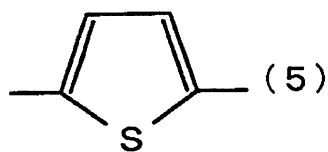
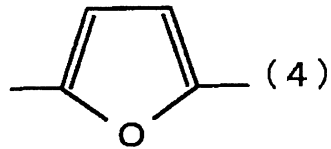
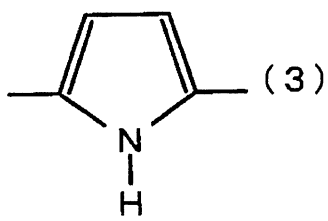
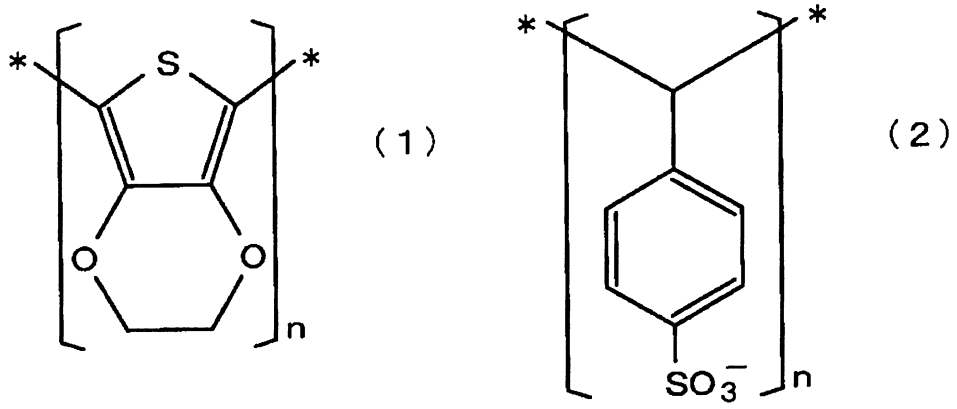


圖 6

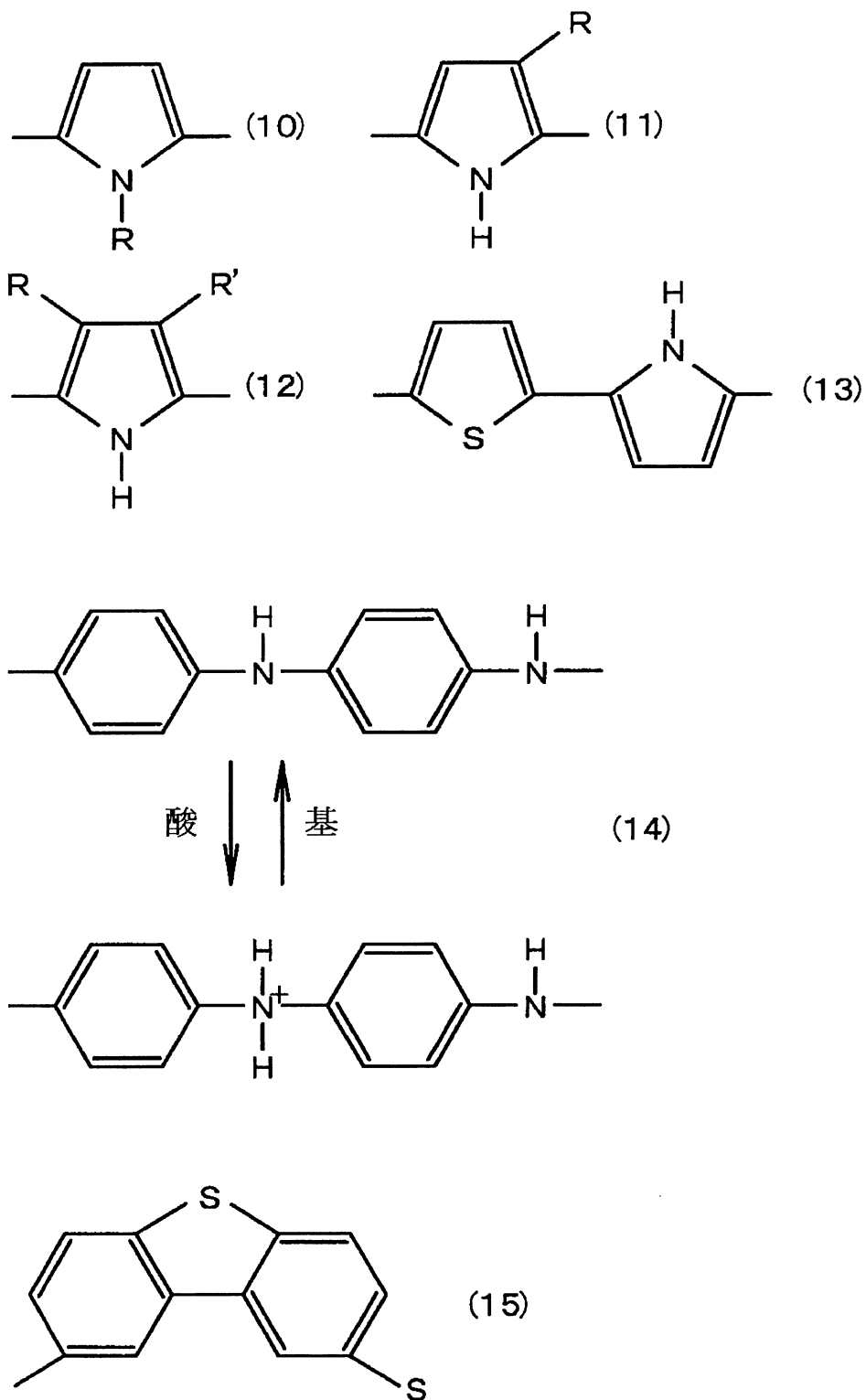
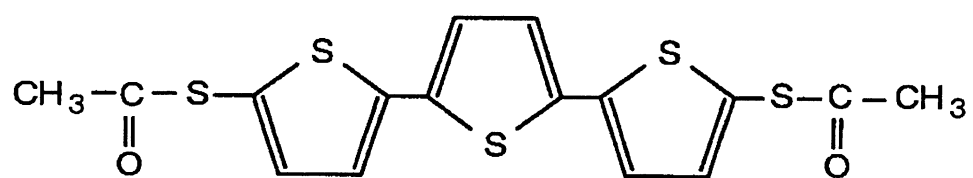
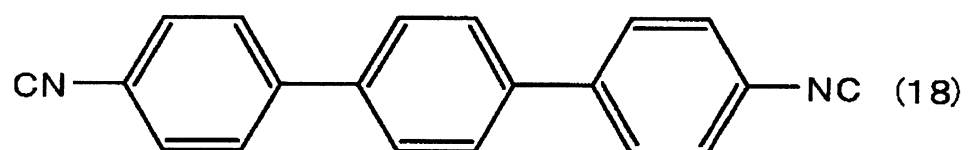
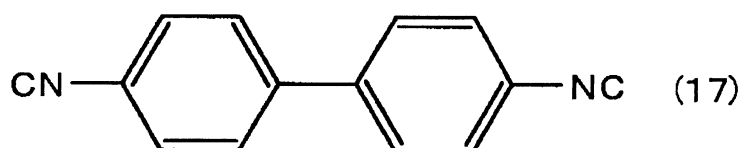
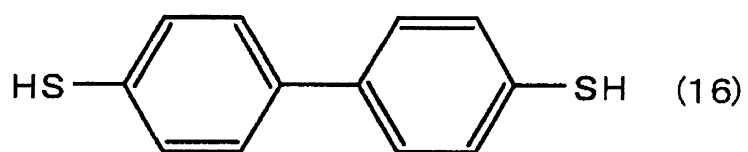


圖 7



(19)

圖 8

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

10	玻璃基板
11、111	絕緣層
12	閘極電極
13	閘極絕緣膜
14	源極/汲極電極
15	通道形成區域
20	層間絕緣層
21	配線
31、32、131	光阻層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

圖2(A)~(C)係接續圖1(D)，用於說明實施例1之場效型電晶體的製造方法之支撐體等之模式化局部剖面圖。

圖3係接續圖2(C)，用於說明實施例1之場效型電晶體的製造方法之支撐體等模式化局部剖面圖。

圖4(A)~(D)係用於說明實施例2之場效型電晶體之製造方法之支撐體等模式化局部剖面圖。

圖5係接續圖4(D)，用於說明實施例2之場效型電晶體之製造方法之支撐體等模式化局部剖面圖。

圖6例示適用於構成本發明使用之半導體材料層的導電性高分子材料之構造式。圖7例示適用於構成本發明使用之半導體材料層的導電性高分子材料之構造式。

圖8例示適用於構成本發明使用之半導體材料層的導電性高分子材料之構造式。

【主要元件符號說明】

10	玻璃基板
11、111	絕緣層
12	閘極電極
13	閘極絕緣膜
14	源極/汲極電極
15	通道形成區域
20	層間絕緣層
21	配線
31、32、131	光阻層