



PCT
WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : H01L 27/115, 21/8247	A1	(11) Internationale Veröffentlichungsnummer: WO 97/25744 (43) Internationales Veröffentlichungsdatum: 17. Juli 1997 (17.07.97)
(21) Internationales Aktenzeichen: PCT/DE96/02386 (22) Internationales Anmeldedatum: 11. Dezember 1996 (11.12.96) (30) Prioritätsdaten: 196 00 307.5 5. Januar 1996 (05.01.96) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): KERBER, Martin [DE/DE]; Florastrasse 42, D-81827 München (DE).		(81) Bestimmungsstaaten: CN, JP, KR, RU, UA, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Mit internationalem Recherchenbericht.</i> <i>Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>
(54) Title: HIGHLY-INTEGRATED SEMICONDUCTOR MEMORY AND PROCESS FOR PREPARATION OF THE MEMORY (54) Bezeichnung: HOCHINTEGRIERTER HALBLEITERSPEICHER UND VERFAHREN ZUR HERSTELLUNG DES HALBLEITER-SPEICHERS (57) Abstract The invention concerns a highly-integrated semiconductor memory with an EPROM cell in the form of a column with a floating gate and a control gate and a process for the preparation of the same. The EPROM cell is so thinly built that it is completely depleted. The control gate of the preferred split gate flash EPROM cell or the dual gate flash EPROM cell consists of p⁺ doped semiconductor material so that a very good difference threshold ratio can be expected from the fully depleted cylinder.		

(57) Zusammenfassung

Die Erfindung betrifft einen hochintegrierten Halbleiterspeicher mit einer säulenförmig ausgebildeten EPROM Zelle mit einem Floating Gate und einem Control Gate und ein Verfahren zur Herstellung desselben. Die EPROM Zelle ist dabei so dünn ausgebildet, daß sie vollständig verarmt ist. Das Control Gate der bevorzugt verwendeten Split Gate Flash EPROM Zelle oder der Dual Gate Flash EPROM Zelle besteht aus p⁺ dotiertem Halbleitermaterial, so daß die vollständig verarmten Zylinder ein sehr gutes Unterschwellenverhalten erwarten lassen.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AM	Armenien	GB	Vereinigtes Königreich	MX	Mexiko
AT	Österreich	GE	Georgien	NE	Niger
AU	Australien	GN	Guinea	NL	Niederlande
BB	Barbados	GR	Griechenland	NO	Norwegen
BE	Belgien	HU	Ungarn	NZ	Neuseeland
BF	Burkina Faso	IE	Irland	PL	Polen
BG	Bulgarien	IT	Italien	PT	Portugal
BJ	Benin	JP	Japan	RO	Rumänien
BR	Brasilien	KE	Kenya	RU	Russische Föderation
BY	Belarus	KG	Kirgisistan	SD	Sudan
CA	Kanada	KP	Demokratische Volksrepublik Korea	SE	Schweden
CF	Zentrale Afrikanische Republik	KR	Republik Korea	SG	Singapur
CG	Kongo	KZ	Kasachstan	SI	Slowenien
CH	Schweiz	LI	Liechtenstein	SK	Slowakei
CI	Côte d'Ivoire	LK	Sri Lanka	SN	Senegal
CM	Kamerun	LR	Liberia	SZ	Swasiland
CN	China	LK	Litauen	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
EE	Estland	MG	Madagaskar	UG	Uganda
ES	Spanien	ML	Mali	US	Vereinigte Staaten von Amerika
FI	Finnland	MN	Mongolei	UZ	Usbekistan
FR	Frankreich	MR	Mauritanien	VN	Vietnam
GA	Gabon	MW	Malawi		

Beschreibung

Hochintegrierter Halbleiterspeicher und Verfahren zur Herstellung des Halbleiterspeichers

5

Die Erfindung betrifft einen hochintegrierten Halbleiterspeicher mit einer säulenförmig ausgebildeten EPROM Zelle mit einem Floating Gate und einem Control Gate. Weiterhin betrifft die
10 Erfindung ein Verfahren zur Herstellung eines solchen Halbleiterspeichers.

Bei hochintegrierten Halbleiterspeichern, insbesondere bei elektrisch programmierbaren, nicht flüchtigen Speichern (EPROM)
15 ist die Integrationsdichte unter anderem durch die Strukturfeinheit der Photolithographie begrenzt. Mit einer lateralen Integration von Stacked Gate Flash Zellen in NAND-Anordnung werden bereits minimale Zellflächen von etwa $7 \cdot F^2$ hergestellt. F bezeichnet dabei die minimale durch die Photolithographie er-
20 reichbare Länge (minimal feature size).

Eine höhere Integrationsdichte ist mit einer vertikalen Ausführung der EPROM Zellen in Form von zylinderförmigen oder säulenförmigen Transistoren erreichbar. Mit $1\mu\text{m}$ Zylindern können
25 Stacked Gate Flash Zellen mit einer Zellfläche von ungefähr $4,4 \cdot F^2$ hergestellt werden. Kleinere Zellflächen sind nach dieser Technik nicht herstellbar, da die Zylinder bereits an der Grenze der Strukturfeinheit der Phototechnik liegen. Außerdem sind bei weiterer Verkleinerung der Zylinderdurchmesser diese
30 vollständig verarmt, so daß die Zelltransistoren im entladenen Zustand nicht mehr sperren. Dieser Effekt ist vergleichbar mit dem Overerase Problem bei Stacked Gate Speichern.

Der Erfindung liegt die Aufgabe zugrunde, einen Halbleiterspeicher der eingangs genannten Art zu schaffen, der auch mit sub-
35

lithographischen Abmessungen zuverlässig arbeitet. Außerdem soll ein Verfahren zur Herstellung eines solchen Speichers geschaffen werden.

- 5 Zur Lösung der Aufgabe werden nach dem Grundgedanken der Erfindung gemäß Anspruch 1 die säulen- oder zylinderförmigen EPROM-Zellen so dünn ausgebildet, daß sie vollständig verarmt sind, das Control Gate zumindest in einem Teilbereich mit einer dazwischen-
10 liegenden Isolatorschicht direkt auf der Säule angeordnet und das Control Gate aus p^+ -dotiertem Halbleitermaterial gebildet.

- Die vollständig verarmten Zylinder gewährleisten ein sehr gutes
Unterschwellenverhalten. Durch das p^+ -dotierte Control Gate ist
15 die Einsatzspannung des Transistors auf der Drain Seite auch bei kleiner Oxiddicke ausreichend groß, wodurch sicheres Sperrverhalten gewährleistet wird. Die Einsatzspannung beträgt dabei etwas mehr als 0,9 V. Im Anfangszustand leitet der Floating
Gate Transistor, da die Einsatzspannung bei vollständig verarm-
20 ten (fully depleted) NMOS mit n^+ -dotiertem Floating Gate wegen der Austrittsarbeit negative Werte annimmt. Durch Programmierung, vorzugsweise mit heißen Ladungsträgern mit positiver Spannung am Drain, können die EPROM Zellen durch Verschiebung der Einsatzspannung zu positiveren Werten programmiert werden.
25 Durch die extrem dünnen Zylinder wird eine sehr hohe Integrationsdichte mit einer Zellfläche von ungefähr $1,5 \cdot F^2$ erreicht, wenn die Ätzmasken für die Zylinder durch eine orthogonale Spacertechnik hergestellt werden, wie sie in der älteren deutschen Patentanmeldung 195 26 011 beschrieben ist.

30

In einer bevorzugten Ausführungsform werden die EPROM Zellen als Split Gate Flash Zellen ausgebildet. Bei dieser Technik ist das Control Gate in einem Teilbereich nur durch eine dünne Isolatorschicht von dem vollständig verarmten Zylinder getrennt.

Die Erfindung läßt sich jedoch auch mit Stacked Gate Flash Zellen realisieren.

5 Bevorzugt werden die EPROM Zellen in Siliziumtechnologie hergestellt. Das Prinzip des erfindungsgemäßen Halbleiterspeichers ist jedoch auch in Germanium- oder Galliumarsenidtechnologie denkbar.

10 Zur verfahrensmäßigen Herstellung eines derartigen hochintegrierten Halbleiterspeichers ist es erfindungsgemäß vorgesehen, daß auf einem p dotierten Substratwafer Ätzmasken hergestellt werden, mit den Ätzmasken eine anisotrope Ätzung zur Herstellung der Säulen durchgeführt wird, eine n^+ -Implantation in den Sourcebereichen durchgeführt wird, die Säulen gesäubert und ein
15 Oxid auf den Säulen und den dazwischenliegenden Flächen aufgewachsen wird, n^+ -dotiertes Polysilizium zur Bildung des Floating Gate abgeschieden und im Bereich der zwischen den Säulen liegenden Flächen durch anisotrope Ätzung wieder entfernt wird, auf dem n^+ -dotierten Polysilizium ein Interpolydielektrikum
20 abgeschieden wird, ein planarisierendes Medium abgeschieden und auf den unteren Säulenbereich zurückgeätzt wird, das Interpolydielektrikum und die erste Polysiliziumschicht oberhalb des planarisierenden Mediums isotrop geätzt werden, das planarisierende Medium wieder entfernt, auf die freigeätzten Bereiche ein
25 Gateoxid gewachsen wird, darauf eine p^+ -dotierte Polysiliziumschicht zur Bildung des Control Gate abgeschieden wird, die zweite Polysiliziumschicht anisotrop geätzt wird, so daß die zweite Polysiliziumschicht die erste Polysiliziumschicht noch vollständig umschließt und an den Säulenspitzen die ursprüngliche Ätzmaske entfernt wird und dort die Drainkontakte erzeugt
30 werden.

In einer bevorzugten Ausführung des erfindungsgemäßen Verfahrens wird die Ätzmaske durch Ätzen einer Hilfsschicht mit zwei
35 sich kreuzenden Spacerlinien erzeugt, wobei das von den Kreu-

zungsbereichen der Spacerlinien gebildete Raster die Ätzmaske bildet. Der Abstand der parallelen Spacerlinien voneinander wird durch die photolithographisch erreichbare Größe F bestimmt. Die Breite der einzelnen Spacerlinien wird jedoch lediglich
5 durch die verwendete Schichtdicke der Spacerschicht und die Spacertechnik bestimmt und nicht von der Strukturfeinheit der Fototechnik. Die so gebildeten Kreuzungsbereich der Spacerlinien lassen sich daher also um fast einen Faktor 4 kleiner herstellen als die direkt photolithographisch erzeugten Strukturen.
10

Zur n^+ -Dotierung der Sourcebereiche wird vorzugsweise ein Element der fünften Hauptgruppe und insbesondere Arsen verwendet. Die vor der Dotierung beim Ätzen der Säulen entstandenen Seitenwandpolymere, die auch die Implantation maskieren, werden
15 günstigerweise nach der Implantation isotrop geätzt. So können die als Nebenprodukt bei der Ätzung entstandenen Seitenwandpolymere gleichzeitig als Implantationsmaske einen sauberen Herstellungsprozeß gewährleisten.
20

Auf die erste, n^+ -dotierte Polysiliziumschicht, die das Floating Gate bildet, wird bevorzugt ONO als Interpolydielektrikum durch Oxidation hergestellt oder abgeschieden. Als planarisierendes Medium wird vorzugsweise Lack verwendet, da dieser
25 leicht aufbringbar und zurückätzbar ist, und selektiv zu den übrigen Materialien wieder entfernt werden kann.

In einer besonders bevorzugten Ausführung werden die Säulen in Wortleitungsrichtung mit einem kleineren Abstand zueinander erzeugt als in Bitleitungsrichtung. Dabei ist es besonders günstig, die zweite Polysiliziumschicht, die das Control Gate bildet, so weit zurückzuätzen, daß in Wortleitungsrichtung eine Verbindung zwischen den Control Gates der einzelnen Säulen bzw. Zellen besteht und in Bitleitungsrichtung nicht. Auf diese
30 Weise entsteht eine selbstjustierte (selfaligned) Wortleitung.
35

Im folgenden wird die Erfindung anhand eines in der schematischen Zeichnung dargestellten Ausführungsbeispiels weiter erläutert. Im einzelnen zeigen

5

Fig. 1 bis 7,

9 und 10 schematische Darstellungen in verschiedenen Stadien des Verfahrensablaufes anhand eines Querschnitts in Bitleitungsrichtung;

10

Fig. 8 und 11 Verfahrensstände anhand eines Querschnitts entlang der Wortleitung, die denen in Fig. 7 und 10 entsprechen; und

15

Fig. 12 eine Draufsicht auf das periodische Speicherzellenfeld.

20

In Fig. 1 ist ein p^+ -dotiertes Substrat 1 dargestellt, welches einen Teil eines Wafers bildet. Auf diesen ebenen Substratwafer werden durch Aufbringen einer Oxidschicht und einer darüberliegenden Hilfspolysiliziumschicht sublithographische Ätzmasken geschaffen, indem mit Hilfe sich kreuzender Spacerlinien eine Ätzmaste 2 erzeugt wird, deren Strukturgröße nur durch die ab-

geschiedene Schichtdicke und die Spacertechnik bestimmt wird.

Auf diese Weise entstehen die dargestellten Ätzmasken 2 mit der dünnen noch darüber befindlichen Restschicht aus amorphen Silizium oder Polysilizium 3. Die Oxidätzmasken werden entweder thermisch oxidiert oder durch eine TEOS Abscheidung erzeugt. Auch die Verwendung von Nitrid ist möglich.

30

In Fig. 2 ist dargestellt, wie das Substrat 1 mit dieser Ätzmaste 2 anisotrop geätzt wird, so daß die Säulen 4 entstehen.

35

Die in Fig. 3 mit 5 bezeichneten Pfeile symbolisieren die gemeinsame Sourceimplantation (Common Source Implantation) in die

zurückgeätzten Substratbereiche. Die mit Arsen n^+ -dotierten Substratbereiche sind mit Bezugszeichen 6 versehen. Beim RIE Ätzen (Reactive ion etching) sind an den Seitenwänden der Säulen 4 Polymere entstanden, die eine Schutzschicht 7 auf den Säulen bilden und so eine Implantation in die Säulen verhindern. Nach der Implantation werden die Polymere der Schutzschicht 7 entfernt, und das Silizium isotrop überätzt, um saubere Flächen an den Seitenwänden der Säulen 4 zu erhalten.

In Fig. 4 ist dargestellt, daß auf die solchermaßen gesäuberten Säulen 4 ein Tunneloxid 8 vorzugsweise durch Aufwachsen aufgebracht worden ist und eine Schicht n^+ -dotiertes Polysilizium abgeschieden worden ist. Diese Polysiliziumschicht 9 dient zur Bildung des Floating Gate.

Die nächsten Verfahrensschritte werden anhand der Darstellung in Fig. 5 erläutert. Zunächst wird in einer anisotropen selektiven Ätzung die Polysiliziumschicht 9 auf den zurückgeätzten Substratbereichen geätzt. Dabei wird auch der Teil der Polysiliziumschicht auf den Spitzen der Säulen 4 entfernt und es entstehen an den Ecken der Säulenspitzen Abrundungen oder Ausbuchtungen. Dann wird ein Interpolydielektrikum 10 durch Oxidation oder Abscheidung hergestellt. Vorzugsweise wird dazu ONO verwendet. Darauf wird ein planarisierendes Medium 11, insbesondere Lack, abgeschieden und so weit zurückgeätzt, daß der untere Bereich der Säulen 4 bedeckt wird.

Das Sandwich aus Interpolydielektrikum 10 und der n^+ -dotierten Polysiliziumschicht 9 wird oberhalb des planarisierenden Mediums 11 isotrop und bevorzugterweise durch Plasmaätzung, bis auf die Säule 4 zurückgeätzt. Dann wird das planarisierende Medium 11 vollständig entfernt und ein Gateoxid 12 des Serientransistors der Split Gate Zelle thermisch gewachsen. Im unteren Bereich der Säulen 4 ist also ein n^+ -dotierter Ring von der ersten Polysiliziumschicht 9 zurückgeblieben, der das Floating

Gate 14 bildet. Auf das Gateoxid 12 bzw. die verbliebene Interpolydielektrikumschicht 10 wird eine zweite Polysiliziumschicht 13 abgeschieden, die p^+ -dotiert wird. Diese zweite Siliziumschicht 13 dient zur Bildung des Control Gate. Dieser Verfahrensstand ist in Fig. 6 dargestellt.

In den Fig. 7 und 8 ist dargestellt, wie die zweite Polysiliziumschicht 13 anisotrop geätzt wird, so daß ein zweiter Spacerring entsteht, der den ersten Spacerring vollständig umschließt. Dieser zweite Spacerring bildet das Control Gate 15 der Split Gate Flash EPROM Zelle, die das Floating Gate 14 vollständig umschließt. Die Dicke der zweiten Polysiliziumschicht 13 ist so gewählt, daß sie bei der anisotropen Ätzung in einer Richtung bis auf den zurückgeätzten Substratgrund zurückgeätzt wird. Dies ist in Fig. 7 gezeigt. In Fig. 8 ist ein Schnitt durch die dazu senkrechte Richtung dargestellt, in der die Säulen 4 etwas enger zueinander stehen, so daß die Control Gates 15 jeweils einen Überlapp mit dem Control Gate 15 der Nachbarzelle haben. In dieser Richtung entsteht somit eine selbstjustierte Wortleitung (Selfaligned Control Gate).

Im nächsten Schritt wird die ursprüngliche Ätzmaske 2 (siehe Fig. 1) entfernt, wie es in Fig. 9 dargestellt ist.

In weiterer Folge wird, so wie in Fig. 10 gezeigt, die verbliebene Spitze der Säule 4 n^+ -dotiert. Dieser n^+ -dotierte Bereich ist in Fig. 10 mit Bezugszeichen 16 gekennzeichnet. Die Säulenspitze dient zur Ausbildung des Drainanschluß und ist mit dem gleichen Leitungstyp wie der Sourceanschluß in den ebenfalls n^+ -dotierten Substratbereichen 6 dotiert. Vor der Implantation in den oberen Säulenbereichen 16 wird jedoch ein planarisierendes Oxid 17 aufgebracht und bis zur Obergrenze der Säulen 4 zurückgeätzt. Ebenfalls kann eine TEOS Schicht mit geeigneter Dicke abgeschieden und durch CMP (Chemo Mechanical Polishing) zurückgeätzt werden. Erst im Anschluß daran erfolgt die Implan-

tation in den Bereichen 16, da so die darunterliegenden Gate Bereiche durch das planarisierende Oxid 17 geschützt sind. Wie ebenfalls in Fig. 10 dargestellt, werden die Drainkontakte durch eine Metallbahn 18 verbunden. Die Metallbahn ist in Richtung der Bitlinie durchgehend.

Fig. 11 entspricht vom Verfahrensstand der Fig. 10, stellt jedoch einen Querschnitt in Wortleitungsrichtung dar. Die Metallbahnen 18 sind also nur entlang der Bitleitungsrichtung ausgebildet. Im Fall, daß die Ätzmasken der Säulen durch Spacertechnik hergestellt wurden, werden auch die Metallbahnen 18 durch Spacertechnik hergestellt, z.B. durch CVD-Abscheidung von Wolfram an einer Oxidhilfsschicht.

Eine Draufsicht auf ein solchermaßen hergestelltes, querschnittenes periodisches Speicherzellenfeld ist in Fig. 12 wiedergegeben. Darin sind die Säulen 4 mit dem sie umgebenden Floating Gate 14 und dem darum herum ausgebildeten Control Gate 15 dargestellt. In Wortleitungsrichtung bilden die Control Gates 15 einen Überlapp, so daß eine selbstjustierte Wortleitung ausgebildet wird. In Bitleitungsrichtung sind die Control Gates 15 voneinander getrennt, jedoch besteht eine Verbindung durch die gestrichelt angedeuteten Metallbahnen 18. Eine Speicherzelle hat eine Größe von ungefähr 1,0 F in Richtung der Wortleitung und 1,5 F in Richtung der Bitleitung. In bezug auf die Funktionalität entsprechen die einzelnen Speicherzellen den konventionellen Split Gate Flash Zellen. Die vollständig verarmten Zylinder lassen ein sehr gutes Unterschwellenverhalten erwarten. Durch das p^+ -dotierte Control Gate ist die Einsatzspannung des Split Gate Transistors auf der Drainseite auch bei kleiner Oxiddicke ausreichend groß.

Bezugszeichenliste

	1	Substrat
5	2	Ätzmaske
	3	Polysilizium
	4	Säulen
	5	Pfeile
	6	dotierte Substratbereiche
10	7	Schutzschicht
	8	Tunneloxid
	9	n ⁺ -dotiertes Polysilizium
10		Interpolydielektrikum
	11	planarisierendes Medium
15	12	Gateoxid
	13	p ⁺ -dotiertes Polysilizium
	14	Floating Gate
	15	Control Gate
	16	n ⁺ dotierter Säulenbereich
20	17	planarisierendes Medium
	18	Metallbahnen

Patentansprüche

1. Hochintegrierter Halbleiterspeicher mit einer EPROM Zelle in Form einer Säule mit einem Floating Gate und einem Control Gate,
5 Gate,
d a d u r c h g e k e n n z e i c h n e t , daß die Säule (4) so dünn ausgebildet ist, daß sie vollständig verarmt ist, daß das Control Gate (15) zumindest in einem Teilbereich mit einer dazwischenliegenden Isolatorschicht direkt auf der Säule
10 (4) angeordnet ist,
daß das Control Gate (15) aus p^+ -dotiertem Halbleitermaterial gebildet ist.
2. Hochintegrierter Halbleiterspeicher nach Anspruch 1,
15 d a d u r c h g e k e n n z e i c h n e t , daß die EPROM Zelle als Split Gate Flash Zelle ausgebildet ist.
3. Hochintegrierter Halbleiterspeicher nach einem der vorhergehenden Ansprüche,
20 d a d u r c h g e k e n n z e i c h n e t , daß die EPROM Zelle in Siliziumtechnologie hergestellt ist.
4. Verfahren zur Herstellung eines hochintegrierten Halbleiterspeichers nach Anspruch 1,
25 bei dem
a) auf einem p^+ -dotierten Substrat (1) Ätzmasken (2) hergestellt werden,
b) mit den Ätzmasken (2) eine anisotrope Ätzung zur Herstellung der Säulen (4) durchgeführt wird,
30 c) eine n^+ -Implantation in den zurückgeätzten Substratbereichen (6) durchgeführt wird,
d) die Säulen (4) gesäubert und ein Oxid (8) auf den Säulen (4) und den dazwischenliegenden Flächen aufgewachsen wird,
e) n^+ -dotiertes Polysilizium (9) zur Bildung des Floating Gate
35 abgeschieden und im Bereich der zwischen den Säulen (4)

liegenden Flächen durch anisotrope Ätzung wieder entfernt wird,

- f) auf dem n^+ -dotierten Polysilizium (9) ein Interpolydielektrikum (10) abgeschieden wird,
- 5 g) ein planarisierendes Medium (11) abgeschieden und auf den unteren Säulenbereich zurückgeätzt wird,
- h) das Interpolydielektrikum (10) und die erste Polysiliziumschicht (9) oberhalb des planarisierenden Mediums (11) isotrop geätzt werden,
- 10 i) auf die freigeätzten Bereiche ein Gateoxid (12) gewachsen wird,
- j) darauf eine p^+ -dotierte Polysiliziumschicht (13) zur Bildung des Control Gate abgeschieden wird,
- k) die zweite Polysiliziumschicht (13) isotrop geätzt wird,
- 15 so daß die zweite Polysiliziumschicht (13) die erste Polysiliziumschicht (12) noch vollständig umschließt,
- l) an den Spitzen der Säule (4) die ursprüngliche Ätzmaske (2) entfernt wird, und dort Kontakte erzeugt werden.

20 5. Verfahren nach Anspruch 4,

d a d u r c h g e k e n n z e i c h n e t , daß im Schritt a) die Ätzmaske (2) durch Ätzen einer Hilfsschicht mit zwei sich kreuzenden Spacerlinien erzeugt wird, wobei das von den Kreuzungsbereichen der Spacerlinien gebildete Raster die Ätz-

25 maske bildet.

6. Verfahren nach einem der Ansprüche 4 oder 5,

d a d u r c h g e k e n n z e i c h n e t , daß im Schritt c) mit einem Element der fünften Hauptgruppe, insbesondere

30 Arsen, dotiert wird.

7. Verfahren nach einem der Ansprüche 4 bis 6,

d a d u r c h g e k e n n z e i c h n e t , daß die im Schritt b) entstandenen Seitenwandpolymere nach der Implan-

35 tation im Schritt c) isotrop geätzt werden.

8. Verfahren nach einem der Ansprüche 4 bis 7,
dadurch gekennzeichnet, daß im Schritt
f) ONO als Interpolydielektrikum verwendet wird.

5

9. Verfahren nach einem der Ansprüche 4 bis 8,
dadurch gekennzeichnet, daß im Schritt
g) Lack als planarisierendes Medium (11) verwendet wird.

10 10. Verfahren nach einem der Ansprüche 4 bis 9,
dadurch gekennzeichnet, daß die Säulen
(4) in Wortleitungsrichtung mit einem kleineren Abstand zuein-
ander erzeugt werden als in Bitleitungsrichtung.

15 11. Verfahren nach Anspruch 10,
dadurch gekennzeichnet, daß im Schritt
k) die zweite Polysiliziumschicht (13) so weit geätzt wird, daß
das von der zweiten Polysiliziumschicht gebildete Control Gate
(15) in Wortleitungsrichtung in Verbindung mit dem nächsten
20 Control Gate ist und in Bitleitungsrichtung nicht.

1 / 6

Fig. 1

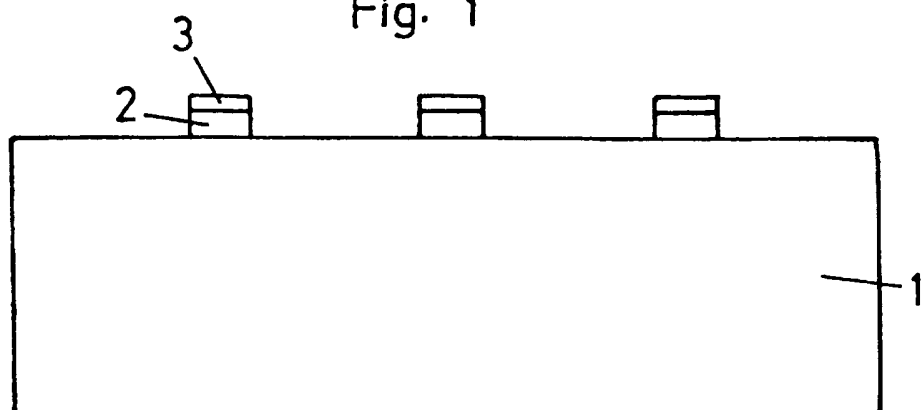
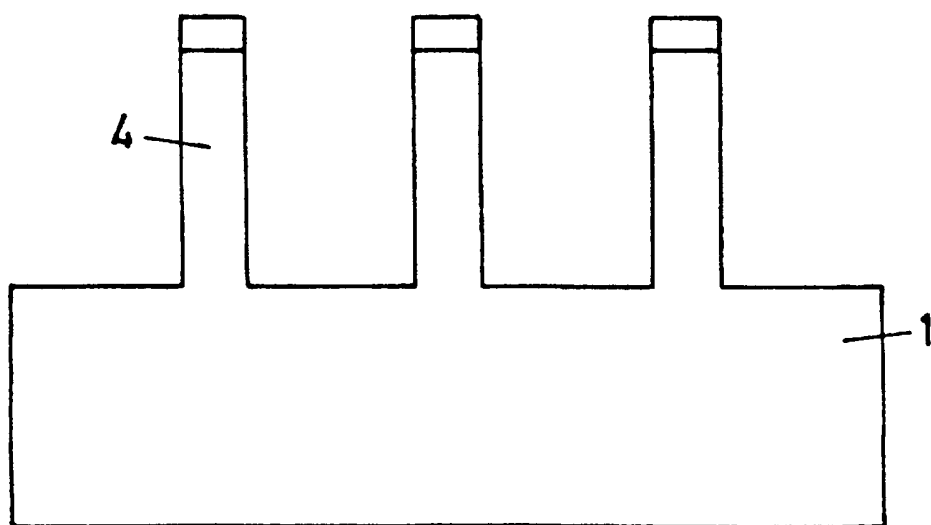


Fig. 2



2 / 6

Fig. 3

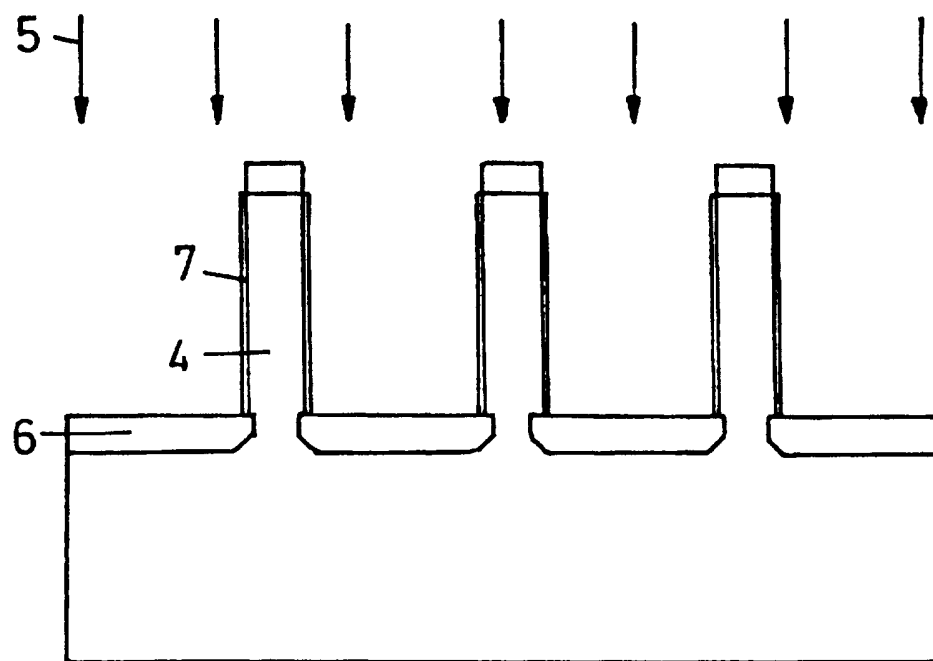
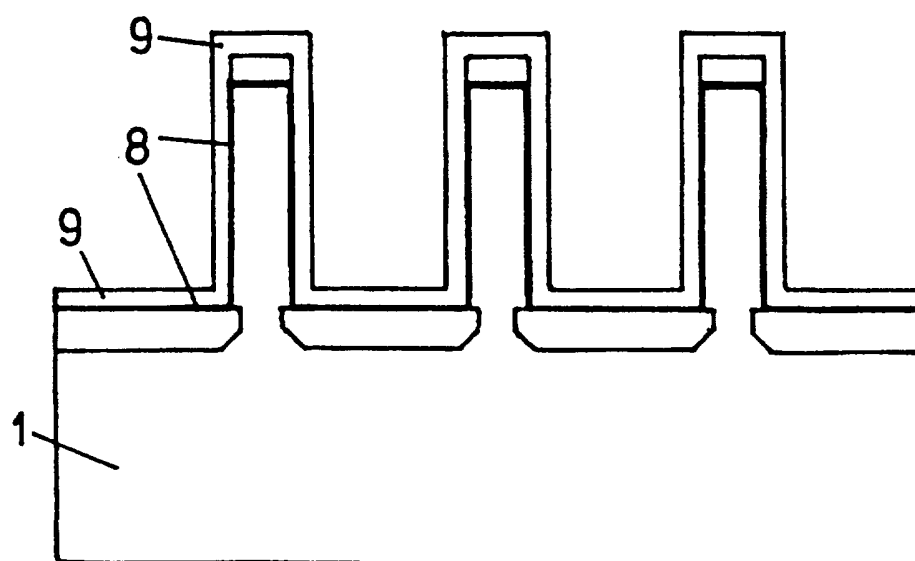


Fig. 4



3 / 6

Fig. 5

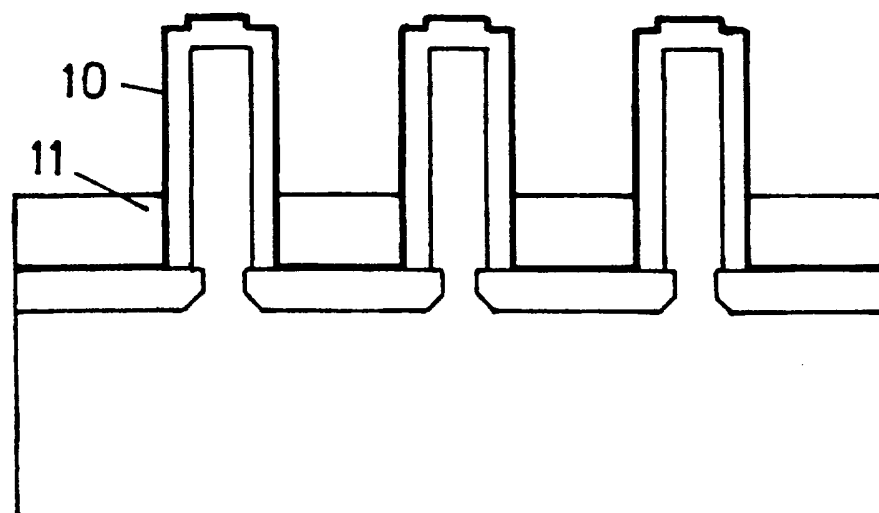
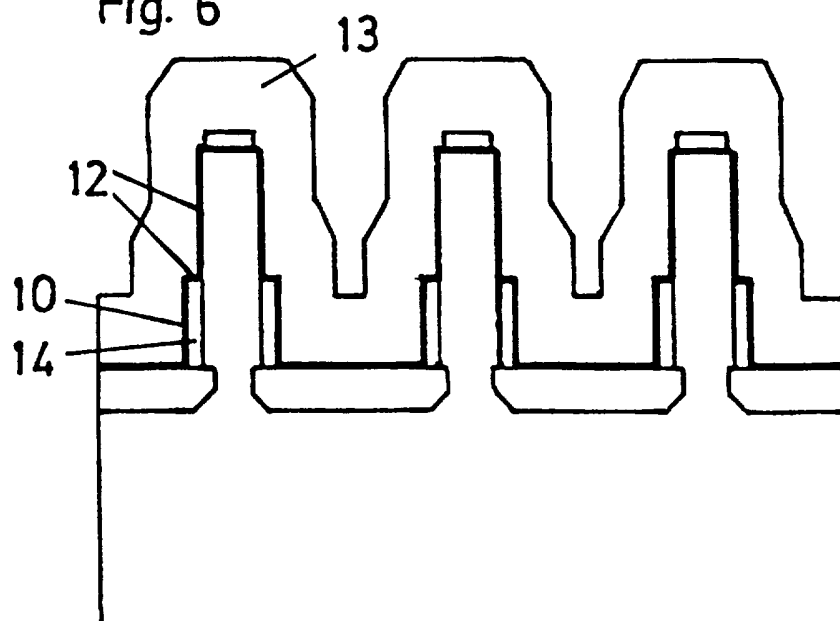


Fig. 6



4 / 6

Fig. 7

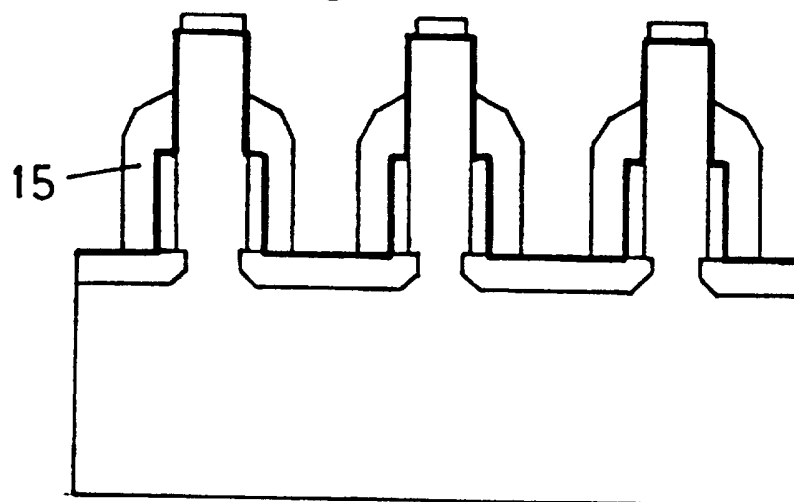
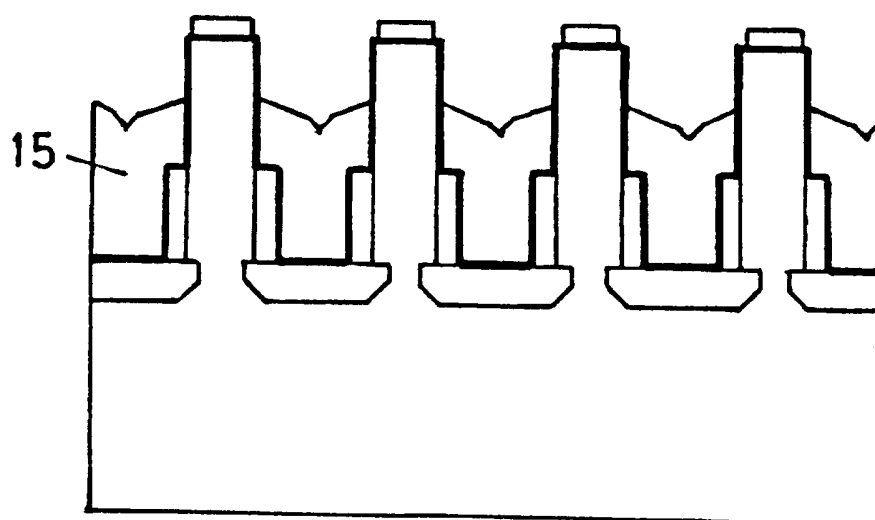


Fig. 8



5 / 6

Fig. 9

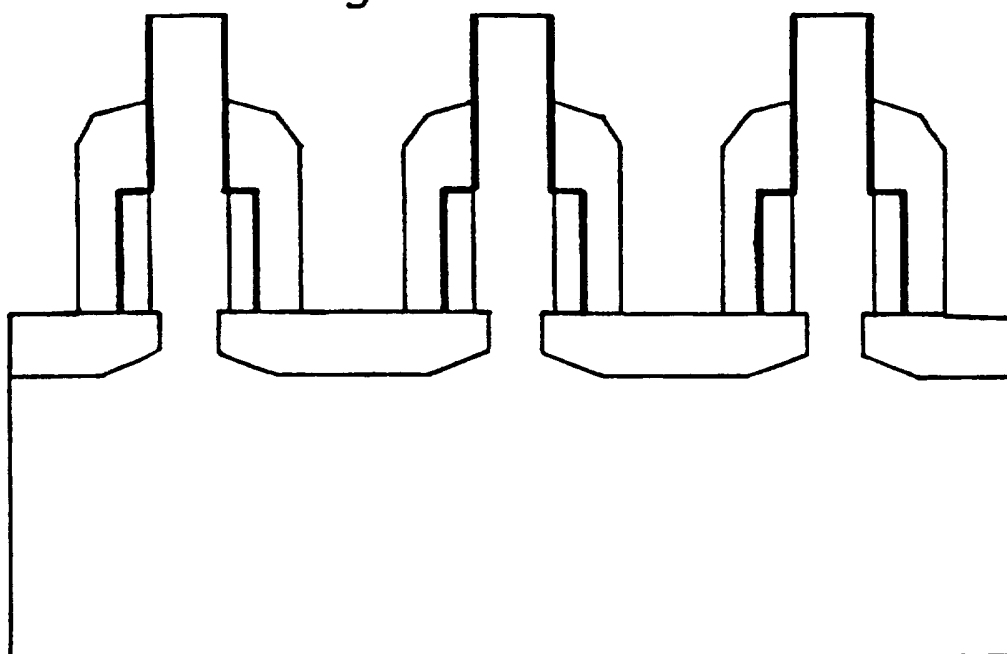
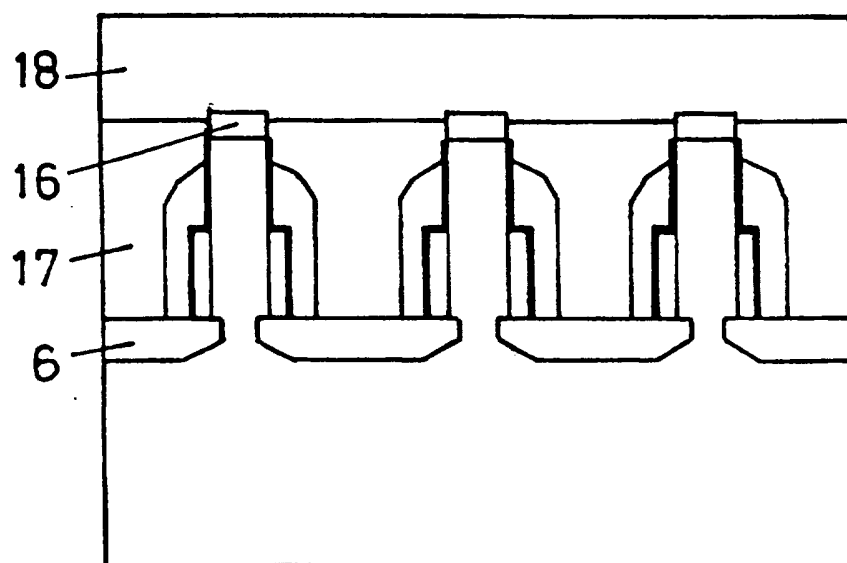


Fig. 10



6 / 6

Fig. 11

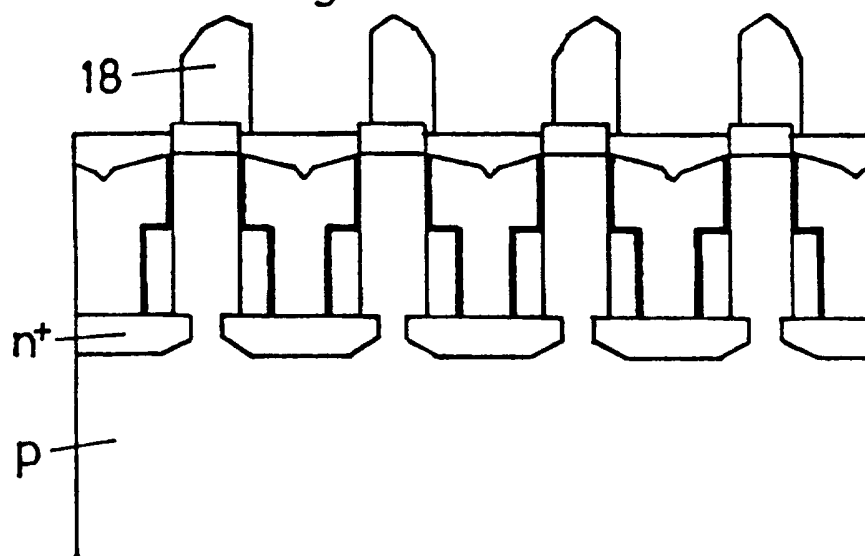
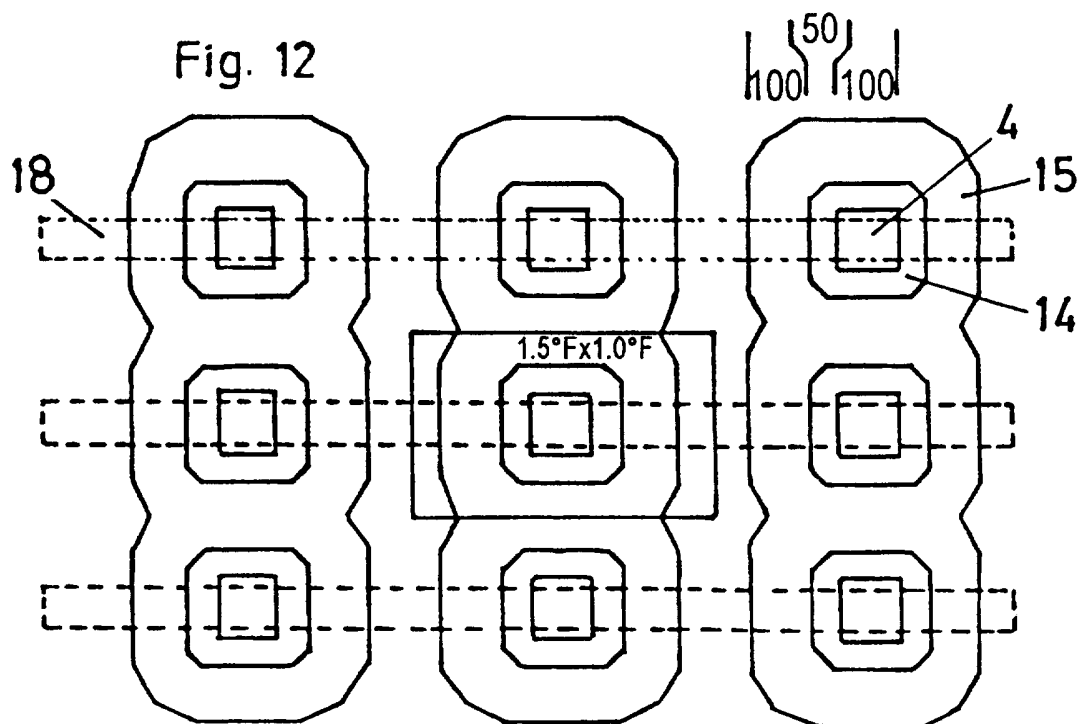


Fig. 12



INTERNATIONAL SEARCH REPORT

Inter: nal Application No
PCT/DE 96/02386

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L27/115 H01L21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 42, no. 11, 1 November 1995, pages 1982-1991, XP000582412 PEIN H ET AL: "PERFORMANCE OF THE 3-D PENCIL FLASH EPROM CELL AND MEMORY ARRAY" see page 1982, column 1, line 1 - page 1986, column 1, line 21; figures 1-6 ---	1,3-11
A	US 4 799 090 A (NISHIZAWA JUN-ICHI) 17 January 1989 see column 6, line 4 - column 8, line 13; figures 9,10 ---	1
A	US 5 414 287 A (HONG GARY) 9 May 1995 see column 2, line 56 - column 6, line 19; figures 3-9 --- -/--	1-4,6-8

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

29 May 1997

Date of mailing of the international search report

16.06.1997

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+ 31-70) 340-3016

Authorized officer

Albrecht, C

INTERNATIONAL SEARCH REPORT

Inter nal Application No

PCT/DE 96/02386

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 017 977 A (RICHARDSON WILLIAM F) 21 May 1991 see column 2, line 1 - column 4, line 49; figures 2A-2G ---	1,3,4,6, 7
A	US 5 432 739 A (PEIN HOWARD B) 11 July 1995 see column 2, line 6 - column 4, line 51; figures 1-9 -----	1,3-11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 96/02386

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4799090 A	17-01-89	JP 1035508 B JP 1560100 C JP 57075464 A EP 0050988 A US 4876580 A	25-07-89 31-05-90 12-05-82 05-05-82 24-10-89
US 5414287 A	09-05-95	NONE	
US 5017977 A	21-05-91	US 5135879 A JP 7112019 B JP 61224462 A	04-08-92 29-11-95 06-10-86
US 5432739 A	11-07-95	EP 0714554 A WO 9535581 A US 5563083 A	05-06-96 28-12-95 08-10-96

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 96/02386

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L27/115 H01L21/8247

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	IEEE TRANSACTIONS ON ELECTRON DEVICES, Bd. 42, Nr. 11, 1. November 1995, Seiten 1982-1991, XP000582412 PEIN H ET AL: "PERFORMANCE OF THE 3-D PENCIL FLASH EPROM CELL AND MEMORY ARRAY" siehe Seite 1982, Spalte 1, Zeile 1 - Seite 1986, Spalte 1, Zeile 21; Abbildungen 1-6 ---	1,3-11
A	US 4 799 090 A (NISHIZAWA JUN-ICHI) 17. Januar 1989 siehe Spalte 6, Zeile 4 - Spalte 8, Zeile 13; Abbildungen 9,10 ---	1
A	US 5 414 287 A (HONG GARY) 9. Mai 1995 siehe Spalte 2, Zeile 56 - Spalte 6, Zeile 19; Abbildungen 3-9 ---	1-4,6-8
	--- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benützung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

29. Mai 1997

Absendedatum des internationalen Recherchenberichts

16.06.1997

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 96/02386

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 017 977 A (RICHARDSON WILLIAM F) 21.Mai 1991 siehe Spalte 2, Zeile 1 - Spalte 4, Zeile 49; Abbildungen 2A-2G ---	1,3,4,6, 7
A	US 5 432 739 A (PEIN HOWARD B) 11.Juli 1995 siehe Spalte 2, Zeile 6 - Spalte 4, Zeile 51; Abbildungen 1-9 -----	1,3-11

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 96/02386

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 4799090 A	17-01-89	JP 1035508 B	25-07-89
		JP 1560100 C	31-05-90
		JP 57075464 A	12-05-82
		EP 0050988 A	05-05-82
		US 4876580 A	24-10-89

US 5414287 A	09-05-95	KEINE	

US 5017977 A	21-05-91	US 5135879 A	04-08-92
		JP 7112019 B	29-11-95
		JP 61224462 A	06-10-86

US 5432739 A	11-07-95	EP 0714554 A	05-06-96
		WO 9535581 A	28-12-95
		US 5563083 A	08-10-96
