



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號： 200929478

(43)公開日： 中華民國98(2009)年 7 月 1 日

(21)申請案號：097148432

(22)申請日： 中華民國97(2008)年12月12日

(51)Int. Cl. : H01L23/48 (2006.01)
H01L23/28 (2006.01)

H01L21/60 (2006.01)

(30)優先權主張： 2007/12/13 日本 2007-322337

(71)申請人： 新光電氣工業股份有限公司 SHINKO ELECTRIC INDUSTRIES CO., LTD.
日本

(72)發明人： 小泉直幸 NAOYUKI KOIZUMI；大井淳 KIYOSHI OI；立岩昭彥 AKIHIKO TATEIWA

(72)代理人： 賴經臣；宿希成

申請實體審查：無 申請專利範圍項數： 10 項 圖式數： 6 共 24 頁

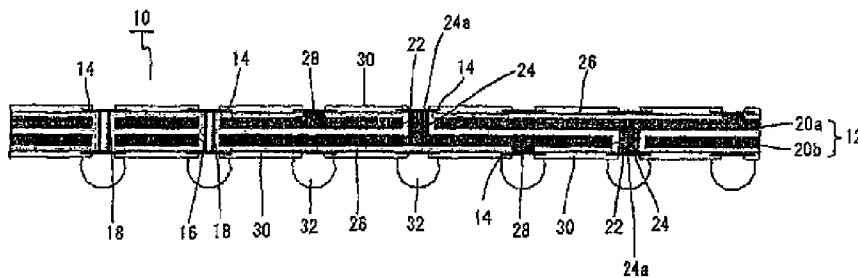
(54)名稱

半導體裝置用封裝及其製造方法

PACKAGE FOR SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

在一種半導體裝置封裝中，一核心基板具有兩個金屬板，每一金屬板包括在其表面上所形成之一第一通孔、一第二通孔、一突出物及一絕緣層。該兩個金屬板係以該等金屬板彼此之突出物進入伙伴側金屬板之第二通孔，以及該等金屬板之第一通孔形成一穿過該核心基板之通孔的方式來堆疊。該等金屬板之突出物各自的頂端係暴露至伙伴側金屬板的表面，而形成一第一端部，以及一第二端部係從該絕緣層暴露出並在該金屬板之伙伴側金屬板的第一端部暴露之側的該表面上形成。



10：半導體裝置封裝

12：核心基板

14：佈線圖案(焊墊
)

16：第一通孔

18：導電部

20a：金屬板

20b：金屬板

22：第二通孔

24：突出物

24a：第一端部

26：絕緣層

28：第二端部

30：絕緣層(防焊層
)

32：外部連接凸塊



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號： 200929478

(43)公開日： 中華民國98(2009)年 7 月 1 日

(21)申請案號：097148432

(22)申請日： 中華民國97(2008)年12月12日

(51)Int. Cl. : H01L23/48 (2006.01)
H01L23/28 (2006.01)

H01L21/60 (2006.01)

(30)優先權主張： 2007/12/13

日本

2007-322337

(71)申請人： 新光電氣工業股份有限公司 SHINKO ELECTRIC INDUSTRIES CO., LTD.
日本

(72)發明人： 小泉直幸 NAOYUKI KOIZUMI；大井淳 KIYOSHI OI；立岩昭彥 AKIHIKO TATEIWA

(72)代理人： 賴經臣；宿希成

申請實體審查：無 申請專利範圍項數： 10 項 圖式數： 6 共 24 頁

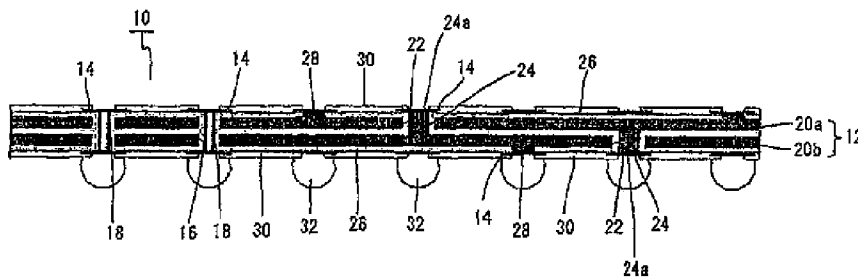
(54)名稱

半導體裝置用封裝及其製造方法

PACKAGE FOR SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

在一種半導體裝置封裝中，一核心基板具有兩個金屬板，每一金屬板包括在其表面上所形成之一第一通孔、一第二通孔、一突出物及一絕緣層。該兩個金屬板係以該等金屬板彼此之突出物進入伙伴側金屬板之第二通孔，以及該等金屬板之第一通孔形成一穿過該核心基板之通孔的方式來堆疊。該等金屬板之突出物各自的頂端係暴露至伙伴側金屬板的表面，而形成一第一端部，以及一第二端部係從該絕緣層暴露出並在該金屬板之伙伴側金屬板的第一端部暴露之側的該表面上形成。



10：半導體裝置封裝

12：核心基板

14：佈線圖案(焊墊
)

16：第一通孔

18：導電部

20a：金屬板

20b：金屬板

22：第二通孔

24：突出物

24a：第一端部

26：絕緣層

28：第二端部

30：絕緣層(防焊層
)

32：外部連接凸塊

六、發明說明：

【發明所屬之技術領域】

本揭露係有關於一種半導體裝置封裝及其製造方法。

【先前技術】

參照所謂的增層佈線板(半導體裝置封裝)，以鑽頭在一核心基板(玻璃環氧樹脂基板)上形成一通孔，其中在該核心基板之兩表面上疊合有銅；對該核心基板實施無電銅電鍍及電解銅電鍍；實施一蝕刻處理，以在該核心基板之兩表面上形成以一通孔電鍍塗層(導電部)電性連接之佈線圖案；另外，以增層法形成一多層佈線圖案(專利文件 1)。

[專利文件 1]日本專利未審查公告第 11-68319 號

然而，半導體裝置之相關技藝封裝具有下面問題。

更明確地說，需要使用鑽頭，在一藉由使玻璃纖維浸入環氧樹脂所獲得之核心基板上一個一個地形成通孔。基於此理由，會有需要長時間處理及增加成本之問題。此外，在以鑽頭形成孔之情況中，無法縮小通孔之孔徑及間距。因此，會有無法增加佈線密度之問題。

再者，在許多情況中，提供一電源層及一接地層做為內層。它們係由一電解鍍膜所形成。基於此理由，會有下面問題：很難增加厚度及因而增加電阻值。

【發明內容】

本發明之示範性具體例提供一種可實施高密度佈線及可

減少電阻值之半導體裝置封裝及其製造方法。

本發明之一示範性具體例提供一種半導體裝置封裝，包括：

一核心基板，具有兩個金屬板，每一金屬板包括在其表面上所形成之一第一通孔、一第二通孔、一突出物及一絕緣層，該兩個金屬板係以該等金屬板彼此之突出物進入伙伴側金屬板的第二通孔，以及該等金屬板之第一通孔形成一穿過該核心基板之通孔的方式來堆疊；

一導電部，形成於穿過該核心基板之該通孔上；以及佈線圖案，形成於該核心基板之兩表面上及經由該導電部彼此電性連接，

其中，該等金屬板之突出物各自的頂端係暴露至伙伴側金屬板的表面，而形成一第一端部，以及一第二端部係從該絕緣層暴露出並在該金屬板之伙伴側金屬板的第一端部暴露之側的該表面上形成。

該兩個金屬板中一個是電源層而另一個是接地層。

該絕緣層係以電極沉積來形成。

在該核心基板其中一表面之側上的該第一端部及該第二端部係形成做為外部連接端。

此外，一凸塊係形成於該外部連接端上。

並且，本發明之一示範性具體例提供一種半導體裝置封裝之製造方法，包括下列步驟：

藉由堆疊兩個金屬板，形成一核心基板，每一金屬板包括在其表面上所形成之一第一通孔、一第二通孔、一突出物及一絕緣層，該兩個金屬板係以該等金屬板彼此之突出物進入伙伴側金屬板的第二通孔，以及該等金屬板之第一通孔形成一穿過該核心基板之通孔的方式來堆疊；

藉由使該等金屬板之突出物各自的頂端暴露至伙伴側金屬板的表面，形成一第一端部；

● 在該金屬板之伙伴側金屬板的第一端部暴露之側的該表面上，藉由從該絕緣層暴露出而形成一第二端部；

形成一導電部於穿過該核心基板之該通孔上；以及

形成經由該導電部電性連接之佈線圖案於該核心基板之兩表面上。

該兩個金屬板之第一通孔、第二通孔及突出物係藉由在該等金屬板上實施一蝕刻處理而形成。

● 該兩個金屬板之第一通孔、第二通孔及突出物係藉由在該等金屬板上實施一衝壓處理而形成。

再者，該突出部係藉由在該金屬板上實施一切開(cut-up)處理而形成。

此外，該第二端部係藉由在該金屬板上所提供之一凸部上實施一研磨處理移除該絕緣層而形成。

依據本發明，可以衝壓處理或蝕刻處理取代鑽孔，在該金屬板上形成該孔。因此，該通孔係設置成具有小直徑及小間

距。於是，可實施一高密度佈線。此外，藉由使用一具有一預定厚度之金屬板，可提供一具有絕佳強度及可減少電阻值之半導體裝置封裝。

從下面詳細敘述、所附圖式及申請專利範圍，可以明顯易知其它特徵及優點。

【實施方式】

下面將參考所附圖式來詳述依據本發明之最佳具體例。

圖 1 係顯示依據該具體例之一半導體裝置封裝 10 之剖面圖。

該半導體裝置封裝 10 具有如下結構，其中在一核心基板 12 之正面及背面上形成佈線圖案 14 及經由一在一穿過該核心基板 12 之通孔 16 上所形成之導電部 18 電性連接該等佈線圖案 14。

該核心基板 12 係藉由分別在兩個金屬板 20a 及 20b 中整體地提供該導電部 18 之該第一通孔 16、一第二通孔 22 及一突出物 24，分別在該兩個金屬板 20a 及 20b 的表面上形成一絕緣層 26，以及以該等金屬板 20a 及 20b 彼此之突出物 24 進入伙伴側金屬板的第二通孔 22 的方式堆疊該兩個金屬板 20a 及 20b 所形成。亦即，該金屬板 20a 之突出物 24 進入該金屬板 20b 之第二通孔 22，以及該金屬板 20b 之突出物 24 進入該金屬板 20a 之第二通孔 22。該絕緣層 26 係藉由在樹脂上實施一電極沉積而形成。該絕緣層 26 可以像

塗佈之另一手段取代該電極沉積來形成。沒有特別限制該絕緣層 26 之厚度。

移除在該突出物 24 之頂端上的絕緣層 26 及使該突出物 24 之頂端暴露至伙伴側金屬板的表面，以便形成一第一端部 24a，以及在金屬板之伙伴側金屬板的第一端部 24a 暴露之側的表面上的一預定部分中形成一從該絕緣層 26 暴露出之第二端部 28。亦即，移除在該金屬板 20a 之突出物 24 的頂端上之絕緣層 26 及使該突出物 24 之頂端暴露至該金屬板 20b 之表面，以便形成一第一端部 24a，以及在該金屬板 20b 之該金屬板 20a 之第一端部 24a 暴露之側的表面上的一預定部分中形成一從該絕緣層 26 暴露出之第二端部 28。移除在該金屬板 20b 之突出物 24 的頂端上之絕緣層 26 及使該突出物 24 之頂端暴露至該金屬板 20a 之表面，以便形成一第一端部 24a，以及在該金屬板 20a 之該金屬板 20b 之第一端部 24a 暴露之側的表面上的一預定部分中形成一從該絕緣層 26 暴露出之第二端部 28。

在該導電部 18、該絕緣層 26、該第一端部 24a 及該第二端部 28 上依序實施無電銅電鍍及電解銅電鍍，以形成一鍍銅膜。使該鍍銅膜經歷一蝕刻處理，以形成該佈線圖案 14。

在該佈線圖案 14 上形成一絕緣層(在該具體例中為防焊層)30，以及將該絕緣層 30 之一部分開孔，以暴露該佈線圖案 14，以便構成一焊墊。

雖然在該具體例中一第一層之佈線圖案本身係形成做為焊墊，但是該佈線圖案當然可以增層法形成為多層。

在下表面側之焊墊上形成一外部連接凸塊 32，以便完成該半導體裝置封裝 10。

亦可藉由接合一插針(未顯示)來取代該凸塊 32，以獲得一種 PGA 型半導體裝置封裝。此外，在圖 2J 中，亦可使用一種 LGA 型半導體裝置封裝，其中不安裝凸塊，亦不安裝插針。

藉由覆晶連接一半導體晶片(未顯示)至上表面側之焊墊 14 及填充一底部填充樹脂(未顯示)於該半導體晶片與該封裝之上表面間，可獲得一半導體裝置。

可使用該兩個金屬板 20a 及 20b 其中一個做為電源層及使用另一個做為接地層。

對於該等金屬板 20a 及 20b，可選擇任意厚度。藉由使用一具有例如約 $200\ \mu\text{m}$ 厚之金屬板，亦可獲得大的強度及適當地減少電阻值。

此外，因為該核心基板使用金屬板，所以亦可以經由衝壓處理或蝕刻處理以小直徑及小間距輕易實施各種孔形成處理。結果，可實施高密度佈線。例如，該第一通孔 16 及該第二通孔 22 之孔徑係約 $50\ \mu\text{m}$ 至 $700\ \mu\text{m}$ 及該等孔間之間距係約等於或大於 $100\ \mu\text{m}$ 。

沒有特別限制該等金屬板 20a 及 20b 之材料，但是可使用

42 合金(鐵鎳(FeNi)合金)或銅合金材料。

再者，例如，該突出物 24 之直徑係約 $40\ \mu\text{m}$ 至 $500\ \mu\text{m}$ ，該等突出物 24 間之间距係約等於或大於 $100\ \mu\text{m}$ ，以及該絕緣層 26 之厚度係約 $5\ \mu\text{m}$ 至 $100\ \mu\text{m}$ 。

接下來，將描述製造方法之一實施例。

圖 2A 至 2J 係顯示用以經由蝕刻處理形成該核心基板 12 及組裝該半導體裝置封裝 10 之程序的視圖。

● 首先，使一金屬板 20 之一表面(正面)(圖 2A)經歷蝕刻處理，以形成一凸部 34(圖 2B)。

雖然以微影技術實施蝕刻處理及需要形成及移除一做為罩幕之光阻圖案的處理，但是將省略其敘述(後續步驟係相同的)。

接下來，在該金屬板 20 之相同表面側上之做為一第一通孔 16 及一第二通孔 22 之部分中以蝕刻形成一孔 36(圖 2C)。

● 然後，使背面側經歷半蝕刻，以貫穿該孔 36，藉此形成該第一通孔 16 及該第二通孔 22 及形成一突出物 24(圖 2D)。

在該具體例中，雖然以蝕刻形成該突出物 24，但是可在形成有該凸部 34 之該金屬板 20 中形成該第一通孔 16 及該第二通孔 22(圖 6B 及 6C)，然後經由一罩幕以電解電鍍或導電膠在該金屬板 20 上形成該突出物 24(見圖 6D)。在以電解電鍍形成該突出物 24 之情況中，最好在電解電鍍後，實施使該等突出物之高度對齊的程序(例如，CMP(化學機械研

磨))。

之後，經由一電極沉積在該金屬板 20 上形成一絕緣層 26。該絕緣層 26 亦形成於該第一通孔 16 及該第二通孔 22 中以及該凸部 34 及該突出物 24 上。

因此，形成一金屬板 20a(圖 2E)。

藉由相同步驟，使該金屬板經歷蝕刻處理，以形成一金屬板 20b(圖 2F)。在該金屬板 20b 中亦形成第一通孔 16、第二通孔 22、凸部 34 及突出物 24。經由一電極沉積在該金屬板 20b 上形成該絕緣層 26 及亦在該第一通孔 16 及該第二通孔 22 中以及在該凸部 34 及該突出物 24 上形成該絕緣層 26。

接下來，如圖 2G 所示，以該等金屬板 20a 及 20b 彼此之突出物 24 進入伙伴側金屬板的第二通孔 22 的方式堆疊該兩個金屬板 20a 及 20b，因此，形成該核心基板 12。

雖然可以一黏著劑特別接合及整合該兩個金屬板 20a 及 20b，但是亦可藉由使用一具有黏著性之樹脂做為該絕緣層 26，以該絕緣層 26 接合該等金屬板 20a 及 20b 及硬化該絕緣層 26，進而整合該等金屬板 20a 及 20b。

隨後，研磨及移除在該突出物 24 之頂端的表面上所提供之絕緣層 26，以及使該突出物 24 之頂端暴露至伙伴側金屬板的表面，以形成一第一端部 24a。研磨及移除在該凸部 34 之頂端的表面上之絕緣層 26，以在使伙伴側金屬板的第一端部 24a 暴露之側的該等金屬板 20a 及 20b 之表面上形成一

從該絕緣層 26 暴露出之第二端部 28(圖 2H)。圖 3 係顯示在堆疊該兩個金屬板 20a 及 20b 之狀態中，該第一通孔 16、該突出物 24 及該凸部 34 之位置的平面圖。理所當然，該第一通孔 16、該突出物 24 及該凸部 34 之配置並非侷限於此。

接下來，依序實施無電銅電鍍及電解銅電鍍，以在該第一通孔 16 中形成一導電部 18，以及在該核心基板 12 之正面及背面上形成一鍍銅膜及使該鍍銅膜經歷蝕刻，以形成一佈線圖案(焊墊)14(圖 2I)。

隨後，形成一絕緣層(防焊層)30，以覆蓋該佈線圖案 14，以及實施曝光及顯影，以暴露該焊墊 14。

在其中一表面側上形成一做為外部連接端之凸塊 32，以便可完成該半導體裝置封裝 10。

雖然在該核心基板之兩側上形成具有一層之佈線圖案 14，但是可藉由增層法適當地形成一具有複數層之佈線圖案。

圖 4 係顯示一以衝壓處理形成兩個金屬板 20a 及 20b 及堆疊它們之具體例之部分說明圖，其描述該等金屬板 20a 及 20b 彼此之突出物 24 進入伙伴側金屬板 20a 及 20b 的第二通孔 22 之狀態。

在該具體例中，可以衝床分別在該等金屬板 20a 及 20b 上輕易形成一第一通孔 16(未顯示)及一第二通孔 22。此外，藉由從背面將該金屬板往上推，以形成一凸部 34 朝相

反側隆起。並且，在該具體例中，藉由朝相反於該凸部 34 之方向切開該金屬板，以形成該突出物 24。可以一覆蓋該金屬板之絕緣層 26(未顯示)掩埋一藉由切開該金屬板所產生之孔。

在如圖 4 所示堆疊上述所形成之金屬板 20a 及 20b，以形成一核心基板 12 後，可經由相同於圖 2G 至 2J 中之步驟形成一半導體裝置封裝 10。

● 並且，在該具體例中，該第一通孔 16、該第二通孔 22、該突出物 24 及該凸部 34 之配置係任選的。

圖 5 係顯示另一以衝壓處理形成兩個金屬板 20a 及 20b 及堆疊它們之具體例之說明圖，其描述該等金屬板 20a 及 20b 彼此之突出物 24 進入伙伴側金屬板 20a 及 20b 的第二通孔 22 之狀態。

● 在該具體例中，以從背面將該金屬板往上推之方法形成該突出物 24 及一凸部 34 兩者。在圖 5 中，沒有顯示絕緣層 26。

堆疊上述所形成之金屬板 20a 及 20b，以形成一如圖 5 所示之核心基板 12，以及可經由相同於圖 2G 至 2J 中之步驟形成一半導體裝置封裝 10。

並且，在該具體例中，該第一通孔 16、該第二通孔 22、該突出物 24 及該凸部 34 之配置係任選的。

並且，在每一個該等具體例中，亦可藉由以蝕刻簡單地移

除該絕緣層 26 及直接暴露出該金屬板，以形成一在該凸部 34 中之第二端部 28，而不形成該凸部 34(未顯示)。

雖然已描述關於有限數目之具體例的本發明，但是受益於此揭露的熟習該項技藝者將察覺到可設計不脫離此處所揭露之本發明之範圍的其它具體例。於是，本發明之範圍應該僅由所附申請專利範圍限制。

【圖式簡單說明】

圖 1 係顯示依據具體例之一半導體裝置封裝的剖面圖；

圖 2A 至 2J 係顯示在以蝕刻步驟形成圖 1 之半導體裝置封裝的情況中之程序的視圖；

圖 3 係顯示一第一通孔、一突出物及一凸部之配置的一實施例之平面圖；

圖 4 係顯示以衝壓處理形成兩個金屬板及將它們堆疊成為一核心基板之狀態的部分說明圖；

圖 5 係顯示用以描述以衝壓處理形成兩個金屬板及將它們堆疊成為一核心基板之狀態的另一具體例之說明圖；以及

圖 6A 至 6D 係顯示在形成圖 1 之半導體裝置封裝的情況中之修改程序的視圖。

【主要元件符號說明】

- | | |
|----|----------|
| 10 | 半導體裝置封裝 |
| 12 | 核心基板 |
| 14 | 佈線圖案(焊墊) |

16	第一通孔
18	導電部
20	金屬板
20a	金屬板
20b	金屬板
22	第二通孔
24	突出物
24a	第一端部
26	絕緣層
28	第二端部
30	絕緣層(防焊層)
32	外部連接凸塊
34	凸部
36	孔

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：097148432

※申請日：97/12/12

※IPC 分類：

H01L 23/48 (2006.01)

H01L 21/60 (2006.01)

H01L 23/28 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置封裝及其製造方法

PACKAGE FOR SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME

二、中文發明摘要：

在一種半導體裝置封裝中，一核心基板具有兩個金屬板，每一金屬板包括在其表面上所形成之一第一通孔、一第二通孔、一突出物及一絕緣層。該兩個金屬板係以該等金屬板彼此之突出物進入伙伴側金屬板之第二通孔，以及該等金屬板之第一通孔形成一穿過該核心基板之通孔的方式來堆疊。該等金屬板之突出物各自的頂端係暴露至伙伴側金屬板的表面，而形成一第一端部，以及一第二端部係從該絕緣層暴露出並在該金屬板之伙伴側金屬板的第一端部暴露之側的該表面上形成。

三、英文發明摘要：

In a package for a semiconductor device, a core substrate has two metal plates, each of which includes a first through hole, a second through hole, a projection, and an insulating layer formed on its surface. The metal plates are stacked in a manner that the projections of the mutual metal plates enter the second through hole of the metal plate on a partner side, and the first through holes of the metal plates form a through hole penetrating the core substrate. A tip end of each of the projections of the metal plates is exposed to a surface of the metal plate on the partner side to form a first terminal portion, and a second terminal portion is exposed from the insulating layer and formed on a surface of the metal plate on a side where the first terminal portion of the metal plate on the partner side is exposed.

七、申請專利範圍：

1. 一種半導體裝置封裝，包括：

一核心基板，具有兩個金屬板，每一金屬板包括在其表面上所形成之一第一通孔、一第二通孔、一突出物及一絕緣層，該兩個金屬板係以該等金屬板彼此之突出物進入伙伴側金屬板的第二通孔，以及該等金屬板之第一通孔形成一穿過該核心基板之通孔的方式來堆疊；

一導電部，形成於穿過該核心基板之該通孔上；以及

佈線圖案，形成於該核心基板之兩表面上及經由該導電部彼此電性連接，

其中，該等金屬板之突出物各自的頂端係暴露至伙伴側金屬板的表面，而形成一第一端部，以及一第二端部係從該絕緣層暴露出並在該金屬板之伙伴側金屬板的第一端部暴露之側的該表面上形成。

2. 如申請專利範圍第 1 項之半導體裝置封裝，其中，

該兩個金屬板中一個是電源層而另一個是接地層。

3. 如申請專利範圍第 1 或 2 項之半導體裝置封裝，其中，

該絕緣層係以電極沉積來形成。

4. 如申請專利範圍第 1 或 2 項之半導體裝置封裝，其中，

在該核心基板其中一表面之側上的該第一端部及該第二端部係形成做為外部連接端。

5. 如申請專利範圍第 4 項之半導體裝置封裝，其中，一凸

塊係形成於該外部連接端上。

6. 一種半導體裝置封裝之製造方法，包括下列步驟：

藉由堆疊兩個金屬板，形成一核心基板，每一金屬板包括在其表面上所形成之一第一通孔、一第二通孔、一突出物及一絕緣層，該兩個金屬板係以該等金屬板彼此之突出物進入伙伴側金屬板的第二通孔，以及該等金屬板之第一通孔形成一穿過該核心基板之通孔的方式來堆疊；

藉由使該等金屬板之突出物各自的頂端暴露至伙伴側金屬板的表面，形成一第一端部；

在該金屬板之伙伴側金屬板的第一端部暴露之側的該表面上，藉由從該絕緣層暴露出而形成一第二端部；

形成一導電部於穿過該核心基板之該通孔上；以及

形成經由該導電部電性連接之佈線圖案於該核心基板之兩表面上。

7. 如申請專利範圍第 6 項之半導體裝置封裝之製造方法，其中，該兩個金屬板之第一通孔、第二通孔及突出物係藉由在該等金屬板上實施一蝕刻處理而形成。

8. 如申請專利範圍第 6 項之半導體裝置封裝之製造方法，其中，該兩個金屬板之第一通孔、第二通孔及突出物係藉由在該等金屬板上實施一衝壓處理而形成。

9. 如申請專利範圍第 8 項之半導體裝置封裝之製造方法，其中，該突出物係藉由在該金屬板上實施一切開(cut-up)

處理而形成。

10. 如申請專利範圍第 6 至 9 項中任一項之半導體裝置封裝之製造方法，其中，該第二端部係藉由在該金屬板上所提供之一凸部上實施一研磨處理移除該絕緣層而形成。

八、圖式：

圖 1

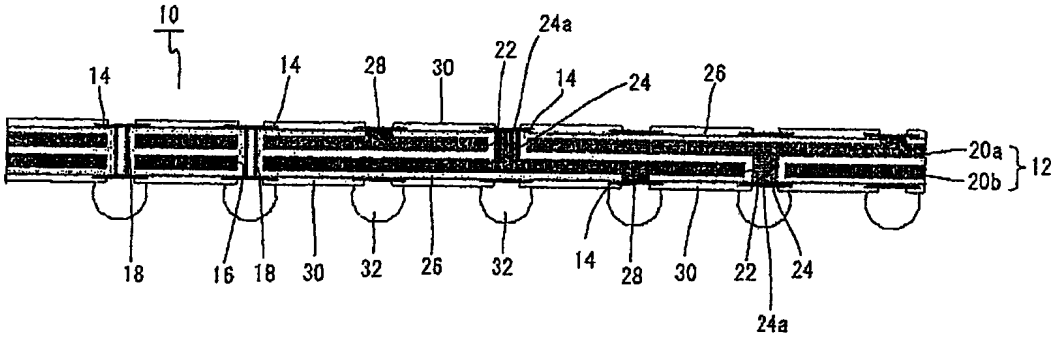


圖 2A



圖 2B



圖 2C



圖 2D

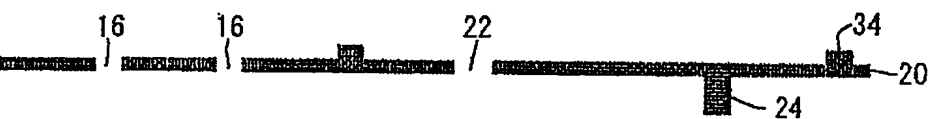


圖 2E

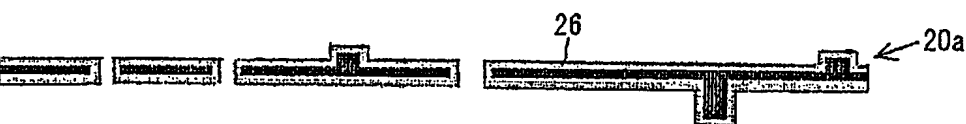


圖 2F



圖 2G

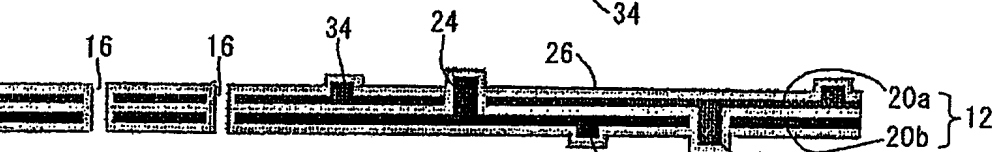


圖 2H

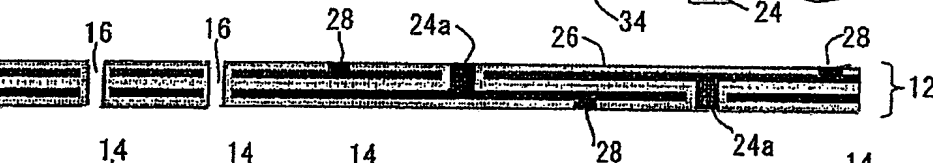


圖 2I



圖 2J

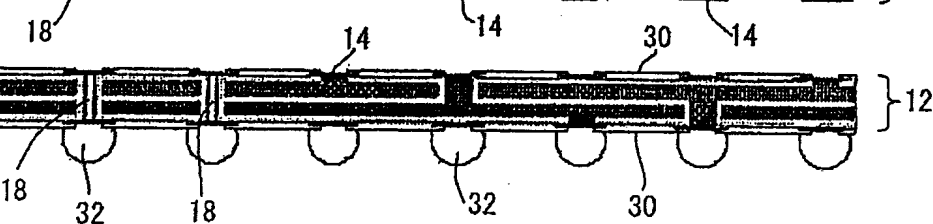


圖 3

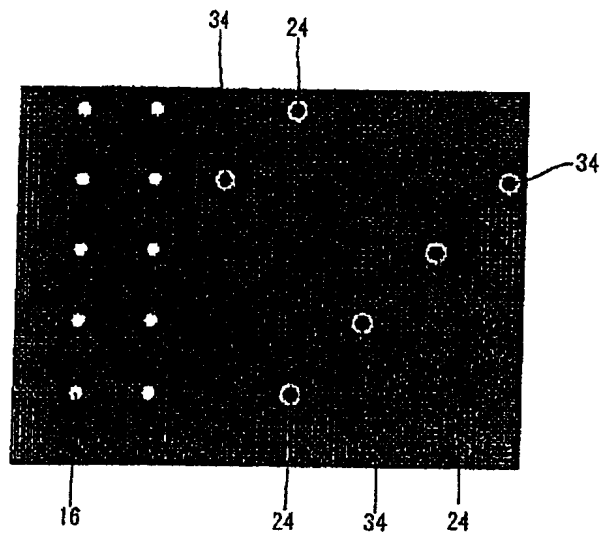


圖 4

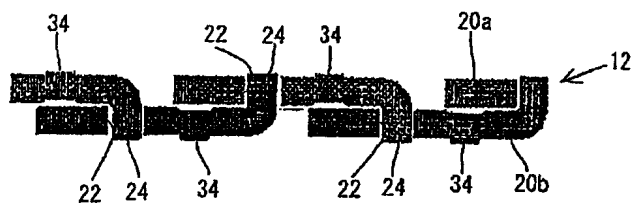
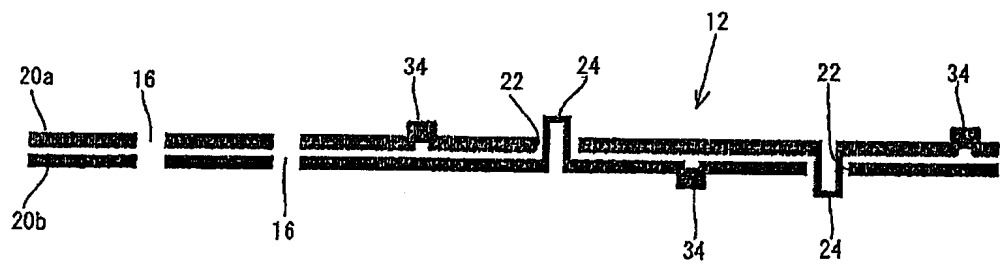
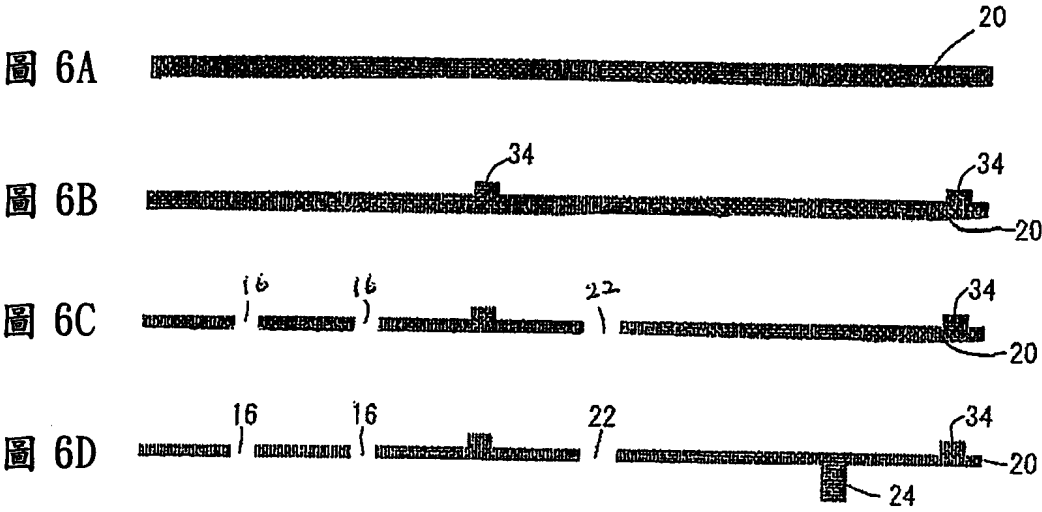


圖 5





四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	半導體裝置封裝
12	核心基板
14	佈線圖案(焊墊)
16	第一通孔
18	導電部
20a	金屬板
20b	金屬板
22	第二通孔
24	突出物
24a	第一端部
26	絕緣層
28	第二端部
30	絕緣層(防焊層)
32	外部連接凸塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無