

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 5 月 7 日(07.05.2015)



(10) 国際公開番号
WO 2015/064477 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) G02F 1/1368 (2006.01)
G02F 1/1345 (2006.01) G09F 9/00 (2006.01)
- (21) 国際出願番号: PCT/JP2014/078259
- (22) 国際出願日: 2014 年 10 月 23 日(23.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-225808 2013 年 10 月 30 日(30.10.2013) JP
- (71) 出願人: 堺ディスプレイプロダクト株式会社
(SAKAI DISPLAY PRODUCTS CORPORATION)
[JP/JP]; 〒5908522 大阪府堺市堺区匠町 1 番地
Osaka (JP).
- (72) 発明者: 芳野 裕子(YOSHINO, Yuko); 〒5908522
大阪府堺市堺区匠町 1 番地 堺ディスプレイ
プロダクト株式会社内 Osaka (JP). 大石 琢也
(OHISHI, Takuya); 〒5908522 大阪府堺市堺区匠町
1 番地 堺ディスプレイプロダクト株式会社内
Osaka (JP).
- (74) 代理人: 河野 英仁, 外(KOHNO, Hideto et al.); 〒
5400035 大阪府大阪市中央区釣鐘町二丁目 4 番
3 号 河野特許事務所 Osaka (JP).

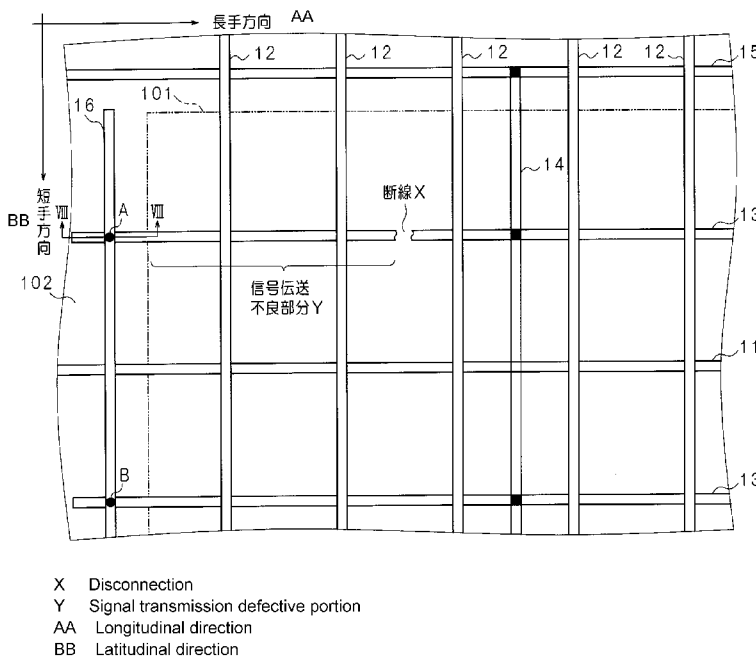
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY PANEL

(54) 発明の名称: 表示パネル



X Disconnection
Y Signal transmission defective portion
AA Longitudinal direction
BB Latitudinal direction

(57) Abstract: Provided is a display panel which has backup wiring as corrective measures for when a disconnection occurs in auxiliary capacitance wiring. This display panel is configured such that when a disconnection (X) of first auxiliary capacitance wiring (13) is formed further outward than the outermost second auxiliary capacitance wiring (14) of an active region (101), it is possible to form a path for rerouting and transmitting a signal around the disconnection (X) by short-circuiting the first auxiliary capacitance wiring (13) and auxiliary capacitance backup wiring (16) at a superposition portion (A), and short-circuiting the auxiliary capacitance backup wiring (16) and normally functioning first auxiliary capacitance wiring (13) at a superposition portion (B).

(57) 要約: 補助容量配線に断線が生じた場合の修正に対応した予備配線を持つ表示パネルを提供する。第 1 補助容量配線 13 の、アクティブ領域 101 の最も外側の第 2 補助容量配線 14 より外側に断線 X が形成されている場合、該第 1 補助容量配

線 13 と補助容量予備配線 16 を重畳部分 A で短絡し、当該補助容量予備配線 16 と正常な第 1 補助容量配線 13 を重畳部分 B で短絡することにより、断線 X を迂回して信号を伝送する経路を形成することができる表示パネル。

WO 2015/064477 A1

明 細 書

発明の名称：表示パネル

技術分野

[0001] 本発明は、絵素電極の補助容量に信号を供給する補助容量配線の予備配線を備える表示パネルに関する。

背景技術

[0002] 一般的なアクティブマトリックスタイプの液晶表示パネルは、マトリックス状に配置された絵素電極及びスイッチング素子として働くＴＦＴ（thin film transistor、薄膜トランジスタ）が形成されたＴＦＴ基板と、ＴＦＴ基板と所定の間隔を隔てて対向する対向基板を備え、両基板間に液晶が充填されている。

[0003] 液晶表示パネルには、更に、ＴＦＴ基板と対向基板を挟む２枚の偏光フィルタが設けられている。また、液晶表示パネルに隣接して、バックライトが設けられている。液晶に印加される電圧を変化させることによって、基板間の液晶分子の配向方向を変化させ、二枚の偏光フィルタを透過する光量を制御することができ、任意の画像を表示することができる。

[0004] 各絵素電極には各ＴＦＴのドレイン電極が接続され、絵素電極の電圧を制御するためのスイッチング素子として働く。各ＴＦＴのゲート電極には、ゲート信号を供給する所定のゲート配線が接続され、ソース電極には、データ信号を供給する所定のソース配線が接続される。

[0005] ＴＦＴ基板上の、絵素電極がマトリックス状に形成された領域はアクティブ領域と呼ばれ、アクティブ領域を囲繞する領域は額縁領域と呼ばれる。額縁領域には、アクティブ領域からソース配線及びゲート配線が夫々引き出され、各配線はドライバＩＣに接続される。ソース配線に接続されるドライバＩＣはソースドライバと呼ばれ、ゲート配線に接続されるものはゲートドライバと呼ばれる。

[0006] 各絵素電極には所定時間毎にデータ信号が入力される。そのため、各絵素

電極に、入力されたデータ信号を次の入力まで安定的に保持するための補助容量が接続され、補助容量に信号を供給する補助容量配線がＴＦＴ基板上に配設される。ＴＦＴ基板上に補助容量配線が配設される場合、一般的には、所定の間隔をおいて、互いに平行に所定の本数配設されるゲート配線同士の間、ゲート配線と平行に所定の本数、配設される。更に、補助容量配線に信号を分配する補助容量幹線が、補助容量配線に接続される。補助容量幹線は電圧印加回路に接続され、補助容量幹線を介して補助容量配線に電圧が印加され、各絵素電極の補助容量に信号が印加される。

先行技術文献

特許文献

[0007] 特許文献１：特開２０１０－２７１４１３号公報

発明の概要

発明が解決しようとする課題

[0008] 上述の様なＴＦＴ基板の製造工程において、基板上に配設された補助容量配線又は補助容量幹線に断線が生じた状態で形成されることがある。このような場合、断線が生じた位置より、信号伝送方向でみて下流側にある絵素電極の補助容量には、補助容量信号が供給されない。結果として、表示パネルに表示欠陥が現れることがある。

[0009] 表示不良が現れると、表示パネルの表示品位を著しく損なう。また、表示欠陥の現れた表示パネルは不良品となるため、製品の歩留りの低下を招く。

[0010] ＴＦＴ基板上の補助容量配線又は補助容量幹線に形成された断線に起因する表示欠陥を修正できる構成として、特許文献１に、額縁領域に予備配線を設けることにより、断線箇所を迂回する経路を形成できるＴＦＴ基板の構成が開示されている。特許文献１に示された構成では、補助容量配線に断線が形成された場合、予備配線と、断線が形成された補助容量配線と、正常な補助容量配線とを短絡することによって断線箇所を迂回する経路を形成し、正しく補助容量信号を絵素電極の補助容量に供給することができる。また、補

助容量幹線に断線が形成された場合、予備配線と、断線箇所より上流で補助容量幹線に接続する補助容量配線と、断線箇所より下流で補助容量幹線に接続する補助容量配線とを接続することにより、断線箇所を迂回する経路を形成し、正しく補助容量信号を絵素電極の補助容量に供給することができる。

[0011] しかし、特許文献 1 に記載の構成では、表示欠陥を修正できる場合は、断線箇所が額縁領域内にある場合に限られ、断線箇所がアクティブ領域内にある場合には、表示欠陥を修正することができない。

[0012] 本発明は、かかる事情に鑑みてなされたものであり、アクティブ領域内で補助容量配線に断線が形成された場合、該断線に起因する表示欠陥を修正できる表示パネルを提供することを目的とする。

課題を解決するための手段

[0013] 本発明に係る表示パネルは、基板と、該基板上にマトリックス状に配置され、画像を表示するための複数の絵素電極と、各一端が該絵素電極夫々に接続された複数の容量部と、前記基板上に前記マトリックスの第 1 方向に沿って配設され、前記各容量部の他端に夫々接続された複数の第 1 配線と、前記基板上に第 1 方向に交差する第 2 方向に沿って配設され、夫々所定の第 1 配線と接続された複数の第 2 配線と、前記基板上に第 1 方向に沿って配設され、所定の第 2 配線と接続され、該第 2 配線を介して、前記複数の第 1 配線に所定の信号を供給する第 3 配線と、前記基板上に第 2 方向に沿って配設され、前記複数の第 1 配線に重畳された第 4 配線と、前記第 1 配線と前記第 4 配線を絶縁する絶縁膜とを備えることを特徴とする。

[0014] 該表示パネルでは、基板上にマトリックス状に、画像を表示するための複数の絵素電極が配置され、絵素電極夫々に、容量部の一端が接続されている。マトリックスの第 1 方向に沿って第 1 配線が基板上に複数本配設され、夫々が、容量部の他端に接続されている。第 2 配線は、第 1 方向と交差する第 2 方向に沿って基板上に複数本配設され、第 1 配線と接続されている。第 3 配線は、第 1 方向に沿って基板上に配設され、第 2 配線と接続し、第 2 配線を介して、第 1 配線に信号を供給し、容量部に電圧を印加する。第 4 配線は

、第2方向に沿って基板上に配設され、絶縁膜を挟んで第1配線と重畳している。第1配線に断線がある場合、断線箇所によっては一部の容量部に正常に信号が供給されないことがある。斯かる場合、断線のある第1配線と第4配線、及び当該第4配線と、断線のある第1配線と同じ信号を伝送する正常な第1配線を短絡することにより、断線箇所を迂回する経路を形成できる。したがって、第1配線の断線に起因する信号の伝送不良を修正できる。

[0015] 本発明に係る表示パネルは、前記複数の第2配線は、前記複数の絵素電極が配置された領域内で、第1配線と接続されていることを特徴とする。

[0016] 該表示パネルでは、複数の第2配線は、複数の絵素電極が配置された領域、すなわちアクティブ領域内で第1配線と接続されている。したがって、アクティブ領域内に複数本の第2配線を配設し、第1配線と接続できるため、アクティブ領域内で配線が断線しても、断線に影響されずに信号が伝送される冗長性を回路に持たすことができる。

[0017] 本発明に係る表示パネルは、前記第3配線は、前記複数の絵素電極が配置された領域を囲繞する周辺領域に配設されていることを特徴とする。

[0018] 該表示パネルでは、第3配線はアクティブ領域を囲繞する周辺領域、すなわち額縁領域に配設されている。したがって、アクティブ領域内の配線を簡素化することができる。

[0019] 本発明に係る表示パネルは、前記第4配線は、前記複数の絵素電極が配置された領域を囲繞する周辺領域に配設されていることを特徴とする。

[0020] 該表示パネルでは、第4配線は、額縁領域に配設されている。したがって、アクティブ領域内で最も外側に位置する第2配線より更に外側で第1配線が断線した場合、当該断線に起因する信号の伝送不良を修正できる。

[0021] 本発明に係る表示パネルは、前記複数の第2配線は夫々、前記第1配線の一部と接続されており、前記第3配線は複数本配設され、夫々、前記第2配線の一部と接続されていることを特徴とする。

[0022] 該表示パネルでは、複数の第2配線は、夫々が複数の第1配線のうちの一部と接続されている。第3配線は複数本配設され、夫々が複数の第2配線の

うちの一部と電氣的に接続されている。したがって、配線全体及び複数の容量部が異なる入力系統に分けられ、異なる入力系統に属す容量部には、夫々異なる信号を印加することができる。

[0023] 本発明に係る表示パネルは、前記複数の第 1 配線及び前記第 3 配線は同じ層に形成され、前記複数の第 2 配線及び前記第 4 配線は同じ層に形成され、前記複数の第 1 配線及び前記第 3 配線が形成される層と、前記複数の第 2 配線及び前記第 4 配線が形成される層とは、前記絶縁膜により隔てられていることを特徴とする。

[0024] 該表示パネルでは、第 1 配線と第 3 配線は、同じ層に形成されている。第 2 配線と第 4 配線は、同じ層に形成されている。夫々の層は互いに絶縁膜により隔てられている。したがって、互いに平行に配設された配線同士を同じ層に形成することにより、基板上に多数の層を積層させる必要がなく、基板形成の工程を減らすことができる。

[0025] 本発明に係る表示パネルは、前記複数の第 2 配線は、前記複数の第 1 配線及び前記第 3 配線に重畳され、重畳部分の前記絶縁膜に開設されたコンタクトホールを介して夫々接続されていることを特徴とする。

[0026] 該表示パネルでは、第 2 配線は、第 1 配線及び第 3 配線に重畳されている。第 2 配線は、第 1 配線及び第 3 配線と重畳部分で、絶縁膜に開設されたコンタクトホールを介して接続されている。したがって、所定の配線同士が接続され、その他の不要な接続がされない様に、絶縁膜で適切に絶縁されている。

[0027] 本発明に係る表示パネルは、前記第 4 配線は、前記複数の絵素電極が配置された領域を囲繞する周辺領域で前記絶縁膜を挟んで前記第 3 配線に重畳されていることを特徴とする。

[0028] 該表示パネルでは、第 4 配線は、額縁領域で、絶縁膜を挟んで第 3 配線に重畳している。したがって、アクティブ領域内で最も外側に位置する第 2 配線より更に外側で第 1 配線に断線がある場合、断線のある第 1 配線と第 4 配線、及び当該第 4 配線と断線のある第 1 配線と同じ信号を伝送する第 3 配線

を短絡することにより、断線箇所を迂回する伝送経路を形成し、断線に起因する信号の伝送不良を修正することができる。

[0029] 本発明に係る表示パネルは、前記第4配線は、複数の分割されていることを特徴とする。

[0030] 該表示パネルでは、第4配線は、複数の分割されている。したがって、一本の第4配線で複数箇所の断線の修正に対応できるため、配設する第4配線の本数を減らすことができ、配線スペースを節約できる。

[0031] 本発明に係る表示パネルは、ドレイン電極が前記複数の絵素電極夫々に接続されたトランジスタと、第1方向に沿って配設され、前記トランジスタのゲート電極に夫々接続され、ゲート信号を供給する複数のゲート配線と、第2方向に沿って配設され、前記トランジスタのソース電極に夫々接続され、データ信号を供給する複数のソース配線とを備えることを特徴とする。

[0032] 該表示パネルでは、ドレイン電極が複数の絵素電極の夫々に接続されたトランジスタが、絵素電極に入力される信号をスイッチング制御する。第1方向に配され、トランジスタのゲート電極に接続されたゲート配線が、スイッチングに係るゲート信号を供給する。第2方向に配され、トランジスタのソース電極に配されたソース配線が、絵素電極にソース信号を供給する。したがって、ゲート信号の入力により、トランジスタをオンにすることができ、データ信号により、オンになったトランジスタに接続されている絵素電極に、信号を供給することができる。よって、ゲート配線とソース配線により、夫々の絵素電極に、任意の信号を入力することができる。

[0033] 本発明に係る表示パネルは、前記複数のゲート配線は、前記複数の第1配線及び前記第3配線が形成される層と同じ層に形成され、前記複数のソース配線は、前記複数の第2配線及び前記第4配線が形成される層と同じ層に形成されることを特徴とする。

[0034] 該表示パネルでは、ゲート配線は、第1配線及び第3配線が形成される層と同じ層に形成される。ソース配線は、第2配線及び第4配線が形成される層と同じ層に形成される。したがって、互いに平行に配設された配線同士を

同じ層に形成することにより、基板上に多数の層を積層させる必要がなく、基板の製造工程を減らすことができる。

発明の効果

[0035] 本発明によれば、アクティブ領域内で補助容量配線に断線が形成された場合、該断線に起因する表示欠陥を修正できる表示パネルを提供することができる。

図面の簡単な説明

[0036] [図1]本発明の実施の形態における表示パネルの概念図である。

[図2]本発明の実施の形態におけるTFT基板の一部領域を拡大して配線を示した模式図である。

[図3]TFT基板上の配線同士の電氣的接続部分を示した断面図である。

[図4]TFT基板上の絵素電極及び各配線を示した模式図である。

[図5]図4の等価回路を示した回路図である。

[図6]本発明の実施の形態1におけるTFT基板のアクティブ領域と額縁領域の境界部分を拡大して配線及び断線箇所を示した図である。

[図7]図6の領域における配線の修正方法を示した図である。

[図8]配線同士の短絡方法を表した、図7上のV₁-V₁線における断面図である。

[図9]本発明の実施の形態1の変形例における表示パネル1のTFT基板の模式図である。

[図10]本発明の実施の形態1の変形例におけるTFT基板のアクティブ領域と額縁領域の境界部分を拡大して配線及び断線箇所を示した図である。

[図11]図10の領域における配線の修正方法を示した図である。

[図12]本発明の実施の形態2におけるTFT基板のアクティブ領域と額縁領域の境界部分を拡大して配線及び断線箇所を示した図である。

[図13]図12の領域における配線の修正方法を示した図である。

[図14]本発明の実施の形態2におけるTFT基板のアクティブ領域と額縁領域の境界部分を拡大して、補助容量幹線の断線を示した図である。

[図15]図 1 4 の領域における配線の修正方法を示した図である。

[図16]本発明の実施の形態 3 における T F T 基板のアクティブ領域と額縁領域の境界部分を拡大して配線及び断線箇所を示した図である。

[図17]図 1 6 の領域における配線の修正方法を示した図である。

発明を実施するための形態

[0037] 以下、本発明をその実施の形態を示す図面に基づいて詳述する。

実施の形態 1 .

図 1 は、本発明の実施の形態における表示パネル 1 の概念図である。1 0 0 は T F T 基板であり、1 1 0 は対向基板である。本明細書中では、図 1 の様に表示パネル 1 に正対した場合の上下左右の辺をそれぞれ、上辺、下辺、左辺、右辺と呼称する。図 2 は、T F T 基板 1 0 0 の一部領域を拡大して配線を示した模式図である。図 3 は、配線同士の電氣的接続部分を示した断面図である。図 4 は、T F T 基板 1 0 0 上の絵素電極及び各配線を示した模式図である。図 5 は、図 4 の等価回路を示した回路図である。

[0038] T F T 基板 1 0 0 は、透光性を有する矩形状の基板であり、対向基板 1 1 0 より少しだけ広い面積を有している。T F T 基板 1 0 0 は、一般的にはガラス製である。T F T 基板 1 0 0 には、マトリックス状に配置される複数の表示絵素それぞれに対応した絵素電極 2 0 及び T F T 3 0 が形成される。各絵素電極 2 0 には夫々、各 T F T 3 0 のドレイン電極 3 3 が接続されている。T F T 基板 1 0 0 上の絵素電極 2 0 がマトリックス状に配置された領域 1 0 1 はアクティブ領域と呼ばれる。また、アクティブ領域 1 0 1 を囲繞する領域 1 0 2 は額縁領域と呼ばれる。更に、T F T 基板 1 0 0 の周縁部には端子領域 1 0 3 が設けられ、端子領域 1 0 3 には、各絵素に接続された T F T 3 0 のゲート電極 3 1 にゲート信号を供給するゲート配線 1 1 又はソース電極 3 2 にデータ信号を供給するソース配線 1 2 がそれぞれ接続された複数の接続端子 1 0 が設けられている。

[0039] 表示パネル 1 の上辺に沿って並ぶ接続端子 1 0 には、ドライバ I C (図示せず) から、ソース電極 3 2 に供給すべきデータ信号が入力される。データ

信号を生成するドライバICはソースドライバと呼ばれる。データ信号は、接続端子10から引き出されたソース配線12を介して、各ソース電極32に入力される。

[0040] 同様に、表示パネル1の左辺又は右辺に沿って並ぶ接続端子10には、ドライバICから、各ゲート電極31に供給すべきゲート信号が入力される。ゲート信号を生成するドライバICはゲートドライバと呼ばれる。ゲート信号は、接続端子10から引き出されたゲート配線11を介して、各ゲート電極31に接続される。

[0041] 対向基板110は、透光性を有する矩形状の基板であり、TF基板100の一面に所定の間隔を隔てて対向して設けられる。対向基板110も一般的にはガラス製である。対向基板110のTF基板と対向する面には、各絵素電極20との間に電圧が印加される共通電極40（図5）が形成される。対向基板110上には他に、表示領域の周囲の領域を遮光する遮光部111が設けられる。

[0042] TF基板100及び対向基板110は、両基板の間に空隙を設けた状態でシール材により貼り合わされており、該空隙に液晶物質を封入することで液晶層を形成している。

[0043] 表示パネル1は、他にも様々な構成要素を備えるが、本発明と直接関係のないものについては説明を省略する。

[0044] 図2に示す様に、TF基板100上には接続端子10から引き出されたゲート配線11及びソース配線12が配設されている。ゲート配線11は、TF基板100の長手方向（請求の範囲に記載の第1方向）に、互いに平行に複数本配設され、ソース配線12は、TF基板100の短手方向（請求の範囲に記載の第2方向）に、互いに平行に複数本配設されている。

[0045] 更に、各絵素電極20には補助容量50の一端が接続されている。補助容量50の他端は、長手方向に、互いに平行に複数本配設され、所定の補助容量信号を供給する第1補助容量配線13（請求の範囲に記載の第1配線）に夫々接続されている。また、基板上には、短手方向に、第1補助容量配線1

3に所定の補助容量信号を供給する第2補助容量配線14が互いに平行に複数本配設されており、表示領域内で第1補助容量配線13に交差して重畳している。

[0046] TFT基板100の額縁領域102に、長手方向に一本の補助容量幹線15（請求の範囲に記載の第3配線）が、長手辺の端子領域103から引き出されて配設されている。補助容量幹線15は、すべての第2補助容量配線14と重畳部分を持つ。

[0047] ゲート配線11、第1補助容量配線13、及び補助容量幹線15は、TFT基板100上の同じ層に互いに平行に配設されている。ゲート配線11、第1補助容量配線13、及び補助容量幹線15が配設された層を覆う様に、絶縁膜60（図3）が形成されている。ソース配線12、及び第2補助容量配線14は、絶縁膜60の上の同じ層に、互いに平行に配設されている。

[0048] ゲート配線11は、絶縁膜60によって、ソース配線12、及び第2補助容量配線14と絶縁されている。対して、図3に示す様に、第1補助容量配線13は、ソース配線12とは絶縁されている一方、第2補助容量配線14との重畳部分すべてで、絶縁膜60に開設されたコンタクトホール61を介して、第2補助容量配線14と接続している。コンタクトホール61には、導体が充填される。尚、70は保護膜を表す。また、図3では、配線同士の接続を示すために必要な要素以外は省略してある。補助容量幹線15も、図3と同じ構造で、ソース配線12とは絶縁されている一方、第2補助容量配線14との重畳部分すべてで、コンタクトホール61を介して、第2補助容量配線14と接続している。

[0049] 更に、額縁領域102に、短手方向に、ソース配線12及び第2補助容量配線14が配設された層と同じ層に、補助容量予備配線16（請求の範囲に記載の第4配線）が配設されている。補助容量予備配線16は、すべての第1補助容量配線13と重畳部分を持つ。補助容量予備配線16は、他のいずれの配線にも接続されておらず、電氣的浮島状態として形成されている。尚、図2にはTFT基板100の左辺側に配設された補助容量予備配線16の

みが示されているが、右辺側にも配設されている。以下、すべての実施の形態で同様である。

[0050] 図4及び図5に示す様に、各絵素電極20には、TFT30のドレイン電極33が接続されている。TFT30のゲート電極31にはゲート配線11が接続され、ソース電極32にはソース配線12が接続されている。各絵素電極20には一枚の共通電極40が対向し、夫々の絵素電極20との間に電圧が印加される。共通電極40の電位は位置によらず均一であり、 V_{com} で表す。

[0051] ゲート配線11を介して、ゲートドライバが生成したゲート信号が、各TFT30のゲート電極31に入力され、各TFT30がオンになる。オンになったTFT30のソース電極32に、ソース配線12を介して、ソースドライバが生成したデータ信号が入力され、各絵素電極20と共通電極40の間に任意の電圧が印加される。絵素電極20と共通電極40との電圧が制御されることにより、電極間の液晶分子の配向方向が制御され、表示パネル1に任意の画像が表示される。

[0052] 補助容量50には第1補助容量配線13が接続され、所定の補助容量信号が入力される。補助容量50に所定の補助容量信号が入力されることにより、各絵素電極20はデータ信号が入力された後、次の入力まで該データ信号を保持し続けることができる。したがって、所定時間、画像を表示し続けることができる。

[0053] TFT基板100の製造過程で、補助容量信号を伝送する配線が断線して形成されると、断線箇所によっては、一部の補助容量50に所定の補助容量信号が正しく入力されなくなることがある。この場合、当該補助容量50に接続された絵素電極20はデータ信号を保持し続けることができず、表示パネル1上に表示欠陥として表れる。したがって、表示欠陥を修復するためには、配線の修正を行う必要がある。

[0054] 図6は、本発明の実施の形態1におけるTFT基板100のアクティブ領域101と額縁領域102の境界部分を拡大して配線及び断線箇所を示した

図である。図 7 は、図 6 の領域における配線の修正方法を示した図である。

図 6、図 7 中の点線は、アクティブ領域 101 と額縁領域 102 の境界線を表し、塗りつぶされた正方形は配線が接続されていることを表す。以下、他の図においても同様である。

[0055] 図 6 に示す様に、第 1 補助容量配線 13 が、表示領域内の最も外側の第 2 補助容量配線 14 より外側の箇所で断線している場合、断線 X より外側の当該第 1 補助容量配線 13 は、所定の補助容量信号が流れない信号伝送不良部分 Y となる。したがって、信号伝送不良部分 Y に接続されている補助容量 50 に所定の補助容量信号が入力されず、対応する絵素に表示欠陥として表れる。

[0056] かかる表示欠陥は、検査工程において、表示パネル 1 に品質検査用の所定の画像を表示させた場合に視認することにより検出可能である。表示パネル 1 の最も外側の絵素の一部に表示欠陥が検出された場合、図 6 の様に断線している可能性がある。かかる場合、視認した表示欠陥の表示パネル 1 上の位置に対応する TFT 基板 100 上の領域を、例えば顕微鏡で観察することにより、断線 X の箇所を特定することができる。

[0057] 断線 X の箇所が特定された場合、図 7 に示す様に、断線のある第 1 補助容量配線 13 の信号伝送不良部分 Y と、信号伝送不良部分 Y に絶縁膜 60 を挟んで重畳する補助容量予備配線 16 とを、重畳部分 A で短絡する。尚、図 7 中の塗りつぶされた円は、配線同士が短絡されたことを示す。以下、他の図においても同様である。次に、該補助容量予備配線 16 と、該補助容量予備配線 16 に絶縁膜 60 を挟んで重畳する、正常な第 1 補助容量配線 13 とを、重畳部分 B で短絡する。

[0058] 図 8 は、配線同士の短絡方法を表した、図 7 上の V I I I - V I I I 線における断面図である。第 1 補助容量配線 13 と補助容量予備配線 16 を短絡するには、重畳部分 A を目視し、重畳部分 A の絶縁膜 60 に TFT 基板 100 の外側からレーザを照射し、絶縁膜 60 を溶融させて除去する。次に重畳部分 A において、第 1 補助容量配線 13 又は補助容量予備配線 16 の少なくとも

もどちらか一方にレーザを照射して溶融することにより、第1補助容量配線13と補助容量予備配線16とを物理的に接続する短絡部62が形成される。重畳部分Bにおいても同様の工程で短絡させる。尚、補助容量予備配線16と短絡させる正常な第1補助容量配線13には、不良を有していなければ、いずれの第1補助容量配線13が選ばれてもよい。好ましくは、伝送経路を短くして電気抵抗を減らすために最も近い第1補助容量配線13が選ばれる。

[0059] 以上の構成及び工程により、断線Xを迂回し、補助容量予備配線16を経由して、信号伝送不良部分Yに所定の補助容量信号を伝送することができる。したがって、信号伝送不良部分Yに接続された補助容量に所定の補助容量信号が入力され、表示欠陥が修復される。

[0060] 第1補助容量配線13の断線箇所が、アクティブ領域101内の最も外側の第2補助容量配線14より内側である場合、第2補助容量配線14は複数本配設されているため、断線のある第1補助容量配線13は断線箇所の両側の断片で共に第2補助容量配線14に接続している。したがって、補助容量信号の伝送不良は生じず、表示欠陥は表れない。同様に、第2補助容量配線14に断線がある場合、断線箇所の両側で第1補助容量配線13又は補助容量幹線15に接続しているため、補助容量信号の伝送不良は生じず、表示欠陥は表れない。

[0061] 補助容量幹線15が最も外側の第2補助容量配線14より内側の箇所で断線している場合、断線箇所の両側で接続する2本の第2補助容量配線14、該2本の第2補助容量配線14と接続している第1補助容量配線13とで、断線箇所を迂回する経路が形成される。したがって、補助容量信号の伝送不良は生じず、表示欠陥は表れない。

[0062] 実施の形態1の変形例。

以下、本発明の実施の形態1の変形例における、実施の形態1と異なる特徴について説明する。実施の形態1と共通の点については同一の符号を付してその詳細な説明を省略する。図9は実施の形態1の変形例における表示パ

ネル 1 の T F T 基板 1 0 0 の模式図である。実施の形態 1 の変形例においては、図 9 に示す様に、2 本の補助容量幹線 1 5 a, 1 5 b が配設されている。また、2 本の補助容量予備配線 1 6 が配設されている。2 本の補助容量幹線 1 5 a, 1 5 b にはそれぞれ異なる補助容量信号を伝送することができる。

[0063] 複数本の第 2 補助容量配線 1 4 a, 1 4 b のうち、第 2 補助容量配線 1 4 a は補助容量幹線 1 5 a に接続され、第 2 補助容量配線 1 4 b は補助容量幹線 1 5 b に接続されている。図 9 においては、交互に補助容量幹線 1 5 a と 1 5 b とに接続されている。したがって、第 2 補助容量配線 1 4 a と 1 4 b には夫々異なる補助容量信号を伝送することができる。

[0064] また、複数本の第 1 補助容量配線 1 3 a, 1 3 b のうち、第 1 補助容量配線 1 3 a は第 2 補助容量配線 1 4 a のすべてに接続され、第 1 補助容量配線 1 3 b は第 2 補助容量配線 1 4 b に接続されている。図 9 においては、交互に第 2 補助容量配線 1 4 a と 1 4 b に接続されている。したがって、第 1 補助容量配線 1 3 a と 1 3 b は夫々異なる信号を伝送することができ、夫々に接続された補助容量 5 0 には夫々異なる補助容量信号を入力できる。

[0065] 図 1 0 は、本発明の実施の形態 1 の変形例における T F T 基板 1 0 0 のアクティブ領域 1 0 1 と額縁領域 1 0 2 の境界部分を拡大して配線及び断線箇所を示した図である。図 1 1 は、図 1 0 の領域における配線の修正方法を示した図である。図 1 0 に示す様に、アクティブ領域 1 0 1 内の最も外側の第 2 補助容量配線 1 4 a より外側で第 1 補助容量配線 1 3 a に断線 X がある場合、断線 X より外側の当該第 1 補助容量配線 1 3 a は、所定の補助容量信号が流れない信号伝送不良部分 Y となる。信号伝送不良部分 Y に接続された補助容量 5 0 には所定の補助容量信号が入力されないため、対応する絵素に表示欠陥として表れる。

[0066] かかる場合、図 1 1 に示す様に、重畳部分 A において、断線のある第 1 補助容量配線 1 3 a の信号伝送不良部分 Y と、信号伝送不良部分 Y に絶縁膜 6 0 を挟んで重畳するいずれかの補助容量予備配線 1 6 とを、重畳部分 A で短

絡する。次に、該補助容量予備配線 16 と、該補助容量予備配線 16 に絶縁膜 60 を挟んで重畳する、断線のある補助容量配線 13a と同じ信号を送る正常な第 1 補助容量配線 13a とを、重畳部分 B で短絡する。断線 X の箇所の特定方法及び配線の短絡方法は実施の形態 1 と同じであるため、説明を省略する。

[0067] 以上の構成及び工程により、断線 X を迂回し、補助容量予備配線 16 を経由して、信号伝送不良部分 Y に所定の補助容量信号を送ることができる。したがって、信号伝送不良部分 Y に接続された補助容量 50 に所定の補助容量信号が入力され、表示欠陥が修復される。

[0068] 実施の形態 1 の変形例においては、補助容量予備配線 16 が複数本配設されているため、複数の、互いに異なる補助容量信号を送る第 1 補助容量配線 13 に断線が形成された場合、夫々の断線により引き起こされる表示欠陥を、夫々の補助容量予備配線 16 を用いて修復できる。換言すると、配設された補助容量予備配線 16 の本数と同数迄の、互いに異なる補助容量信号を送る第 1 補助容量配線 13 の断線に対応できる。

[0069] 尚、実施の形態 1 の変形例においては、補助容量幹線 15 及び補助容量予備配線 16 が 2 本配設されている場合を例示しているが、これに限らない。夫々 3 本以上であってもよい。また、補助容量幹線 15 及び補助容量予備配線 16 の本数は同数に限らない。

[0070] 実施の形態 2.

以下、本発明の実施の形態 2 における、実施の形態 1 と異なる特徴について説明する。実施の形態 1 と共通の点については同一の符号を付してその詳細な説明を省略する。図 12 は、本発明の実施の形態 2 における T F T 基板 100 のアクティブ領域 101 と額縁領域 102 の境界部分を拡大して配線及び断線箇所を示した図である。図 13 は、図 12 の領域における配線の修正方法を示した図である。

[0071] 図 12 に示す様に、本実施の形態では補助容量予備配線 16 は、額縁領域 102 で補助容量幹線 15 に重畳している。第 1 補助容量配線 13 が、表示

領域内の最も外側の第2補助容量配線14より外側の箇所では断線している場合、断線Xより外側の当該第1補助容量配線13は、所定の補助容量信号が流れない信号伝送不良部分Yとなる。したがって、信号伝送不良部分Yに接続されている補助容量50に所定の補助容量信号が入力されず、対応する絵素に表示欠陥として表れる。

[0072] かかる場合、図13に示す様に、断線のある第1補助容量配線13の信号伝送不良部分Yと、信号伝送不良部分Yに絶縁膜60を挟んで重畳する補助容量予備配線16とを、重畳部分Aで短絡する。次に、該補助容量予備配線16と、断線のある第1補助容量配線13と同じ補助容量信号を伝送する補助容量幹線15とを、重畳部分Bで短絡する。断線Xの箇所の特定方法及び配線の短絡方法は実施の形態1と同じであるため、説明を省略する。

[0073] 以上の構成及び工程により、断線Xを迂回し、補助容量予備配線16を経由して、信号伝送不良部分Yに所定の補助容量信号を伝送することができる。したがって、信号伝送不良部分Yに接続された補助容量50に所定の補助容量信号が入力され、表示欠陥が解消する。

[0074] 図14は、本発明の実施の形態2におけるTF T基板100のアクティブ領域101と額縁領域102の境界部分を拡大して、補助容量幹線15の断線を示した図である。図15は、図14の領域における配線の修正方法を示した図である。図14に示す様に、補助容量幹線15が最も外側の第2補助容量配線14より外側で断線しており、かつ断線Xの箇所が信号の伝送方向で該第2補助容量配線14より上流であった場合、断線Xがある補助容量幹線15に第2補助容量配線14及び第1補助容量配線13を介して接続されたすべての補助容量50に、補助容量信号が伝送されない。したがって、表示パネル1に広範囲に表示欠陥が表れる。

[0075] かかる表示欠陥は、検査工程において、表示パネル1に品質検査用の所定の画像を表示させた場合に視認することにより検出可能である。表示パネル1に広範囲に表示欠陥が検出された場合、図14の様に補助容量幹線15が断線している可能性がある。かかる場合、TF T基板100上の補助容量幹

線 1 5 の上流部分を、例えば顕微鏡で観察することにより、断線 X の箇所を特定することができる。

[0076] 断線 X の箇所が特定された場合、図 1 5 に示す様に、断線 X のある補助容量幹線 1 5 と、該補助容量幹線 1 5 に絶縁膜 6 0 を挟んで重畳する補助容量予備配線 1 6 とを、重畳部分 A で短絡する。次に、該補助容量予備配線 1 6 と、該補助容量予備配線 1 6 に絶縁膜 6 0 を挟んで重畳する、断線 X のある補助容量幹線 1 5 に第 2 補助容量配線 1 4 を介して接続された、正常な第 1 補助容量配線 1 3 とを、重畳部分 B で短絡する。配線の短絡方法は実施の形態 1 と同じであるため、説明を省略する。

[0077] 以上の構成及び工程により、断線 X を迂回し、補助容量予備配線 1 6 を経由して、断線 X のある補助容量幹線 1 5 に第 2 補助容量配線 1 4 及び第 1 補助容量配線 1 3 を介して接続されたすべての補助容量 5 0 に、所定の補助容量信号が伝送される。したがって、表示欠陥が修正される。

[0078] 上述の様に、本実施の形態では、補助容量予備配線 1 6 により、第 1 補助容量配線 1 3 上の断線のみならず、補助容量幹線 1 5 上の断線にも対応して、配線を修正できる。

[0079] 尚、本実施の形態では、補助容量幹線 1 5 及び補助容量予備配線 1 6 は共に 1 本配設された場合を例示しているが、これに限らない。夫々 2 本以上配設されていてもよく、更に互いの本数が異なってもよい。

[0080] 実施の形態 3.

以下、本発明の実施の形態 3 における、実施の形態 1, 2 と異なる特徴について説明する。実施の形態 1, 2 と共通の点については同一の符号を付してその詳細な説明を省略する。図 1 6 は、本発明の実施の形態 3 における T F T 基板 1 0 0 のアクティブ領域 1 0 1 と額縁領域 1 0 2 の境界部分を拡大して配線及び断線箇所を示した図である。図 1 7 は、図 1 6 の領域における配線の修正方法を示した図である。

[0081] 図 1 6 に示す様に、本実施の形態では、補助容量予備配線 1 6 は、複数の断片に分割されて配設されている。第 1 補助容量配線 1 3 a が、表示領域内

の最も外側の第2補助容量配線14aより外側の箇所で断線している場合、断線Xより外側の当該第1補助容量配線13aは、所定の補助容量信号が流れない信号伝送不良部分Yとなる。したがって、信号伝送不良部分Yに接続されている補助容量50に所定の補助容量信号が入力されず、対応する絵素に表示欠陥として表れる。

[0082] かかる場合、図17に示す様に、重畳部分Aにおいて、断線のある第1補助容量配線13aの信号伝送不良部分Yと、信号伝送不良部分Yに絶縁膜60を挟んで重畳する補助容量予備配線16の断片Zとを、重畳部分Aで短絡する。次に、断片Zと、断片Zに絶縁膜60を挟んで重畳する、断線Xのある補助容量配線aと同じ信号を伝送する正常な第1補助容量配線13aとを、重畳部分Bで短絡する。断線Xの箇所の特定方法及び配線の短絡方法は実施の形態1と同じであるため、説明を省略する。

[0083] 以上の構成及び工程により、断線Xを迂回し、補助容量予備配線16の断片Zを経由して、信号伝送不良部分Yに所定の補助容量信号を伝送することができる。したがって、信号伝送不良部分Yに接続された補助容量50に所定の補助容量信号が入力され、表示欠陥が解消する。

[0084] 本実施の形態では、一本の補助容量予備配線16が複数の断片に分割して配設されているため、一つの断片が一箇所の断線の修正に利用されても、別の断片が他の箇所の断線の修正に利用されうる。例えば、断線Xの箇所より離れた箇所で、断線Xのある第1補助容量配線13aが伝送する補助容量信号とは異なる補助容量信号を伝送する第1補助容量配線13bが、最も外側の第2補助容量配線14より外側で断線していた場合、断片Zとは別の断片を利用することによって配線の修正ができる。実施の形態1の変形例と比較した場合、複数の補助容量予備配線16を互いに平行に並べて配設する必要がなく、補助容量予備配線16を配設するための面積を小さくできる。したがって、額縁領域102を狭く形成することができ、本実施の形態の表示パネル1を搭載した表示装置の外観品位を向上させられる。

[0085] 尚、本実施の形態では、補助容量幹線は2本配設され、補助容量予備配線

1 6 は 1 本配設された場合を例示しているが、これに限らない。補助容量幹線は 1 本又は 3 本以上配設されていてもよく、補助容量予備配線 1 6 は 2 本以上配設されていてもよい。

[0086] 尚、上述した各実施の形態において、対向基板上に共通電極が形成されているものとしているが、この形態に限らない。例えば、対向基板上に共通電極を持たない IPS (In Plane Switching) 方式の表示パネルに対しても、本発明は適応できる。

[0087] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

符号の説明

- [0088] 1 表示パネル
- 1 0 接続端子
 - 1 1 ゲート配線
 - 1 2 ソース配線
 - 1 3 第 1 補助容量配線
 - 1 4 第 2 補助容量配線
 - 1 5 補助容量幹線
 - 1 6 補助容量予備配線
 - 2 0 絵素電極
 - 3 0 TFT
 - 3 1 ゲート電極
 - 3 2 ソース電極
 - 3 3 ドレイン電極
 - 4 0 共通電極
 - 5 0 補助容量
 - 6 0 絶縁膜

6 1 コンタクトホール

6 2 短絡部

7 0 保護膜

1 0 0 T F T 基板

1 0 1 アクティブ領域

1 0 2 額縁領域

1 0 3 端子領域

1 1 0 対向基板

1 1 1 遮光部

請求の範囲

- [請求項1] 基板と、
- 該基板上にマトリックス状に配置され、画像を表示するための複数の絵素電極と、
- 各一端が該絵素電極夫々に接続された複数の容量部と、
- 前記基板上に前記マトリックスの第1方向に沿って配設され、前記各容量部の他端に夫々接続された複数の第1配線と、
- 前記基板上に第1方向に交差する第2方向に沿って配設され、夫々所定の第1配線と接続された複数の第2配線と、
- 前記基板上に第1方向に沿って配設され、所定の第2配線と接続され、該第2配線を介して、前記複数の第1配線に所定の信号を供給する第3配線と、
- 前記基板上に第2方向に沿って配設され、前記複数の第1配線に重畳された第4配線と、
- 前記第1配線と前記第4配線を絶縁する絶縁膜と
- を備えることを特徴とする表示パネル。
- [請求項2] 前記複数の第2配線は、前記複数の絵素電極が配置された領域内で、第1配線と接続されている
- ことを特徴とする請求項1に記載の表示パネル。
- [請求項3] 前記第3配線は、前記複数の絵素電極が配置された領域を囲繞する周辺領域に配設されていること
- を特徴とする請求項1又は2に記載の表示パネル。
- [請求項4] 前記第4配線は、前記複数の絵素電極が配置された領域を囲繞する周辺領域に配設されている
- ことを特徴とする請求項1から3のいずれか一つに記載の表示パネル。
- [請求項5] 前記複数の第2配線は夫々、前記第1配線の一部と接続されており、

前記第3配線は複数本配設され、夫々、前記第2配線の一部と接続されている

ことを特徴とする請求項1から4のいずれか一つに記載の表示パネル。

[請求項6] 前記複数の第1配線及び前記第3配線は同じ層に形成され、
前記複数の第2配線及び前記第4配線は同じ層に形成され、
前記複数の第1配線及び前記第3配線が形成される層と、前記複数の第2配線及び前記第4配線が形成される層とは、前記絶縁膜により隔てられている

ことを特徴とする請求項1から5のいずれか一つに記載の表示パネル。

[請求項7] 前記複数の第2配線は、前記複数の第1配線及び前記第3配線に重畳され、
重畳部分の前記絶縁膜に開設されたコンタクトホールを介して夫々接続されている

ことを特徴とする請求項6に記載の表示パネル。

[請求項8] 前記第4配線は、前記複数の絵素電極が配置された領域を囲繞する周辺領域で前記絶縁膜を挟んで前記第3配線に重畳されている

ことを特徴とする請求項7に記載の表示パネル。

[請求項9] 前記第4配線は、複数に分割されている

ことを特徴とする請求項7に記載の表示パネル。

[請求項10] ドレイン電極が前記複数の絵素電極夫々に接続されたトランジスタと、

第1方向に沿って配設され、前記トランジスタのゲート電極に夫々接続され、ゲート信号を供給する複数のゲート配線と、

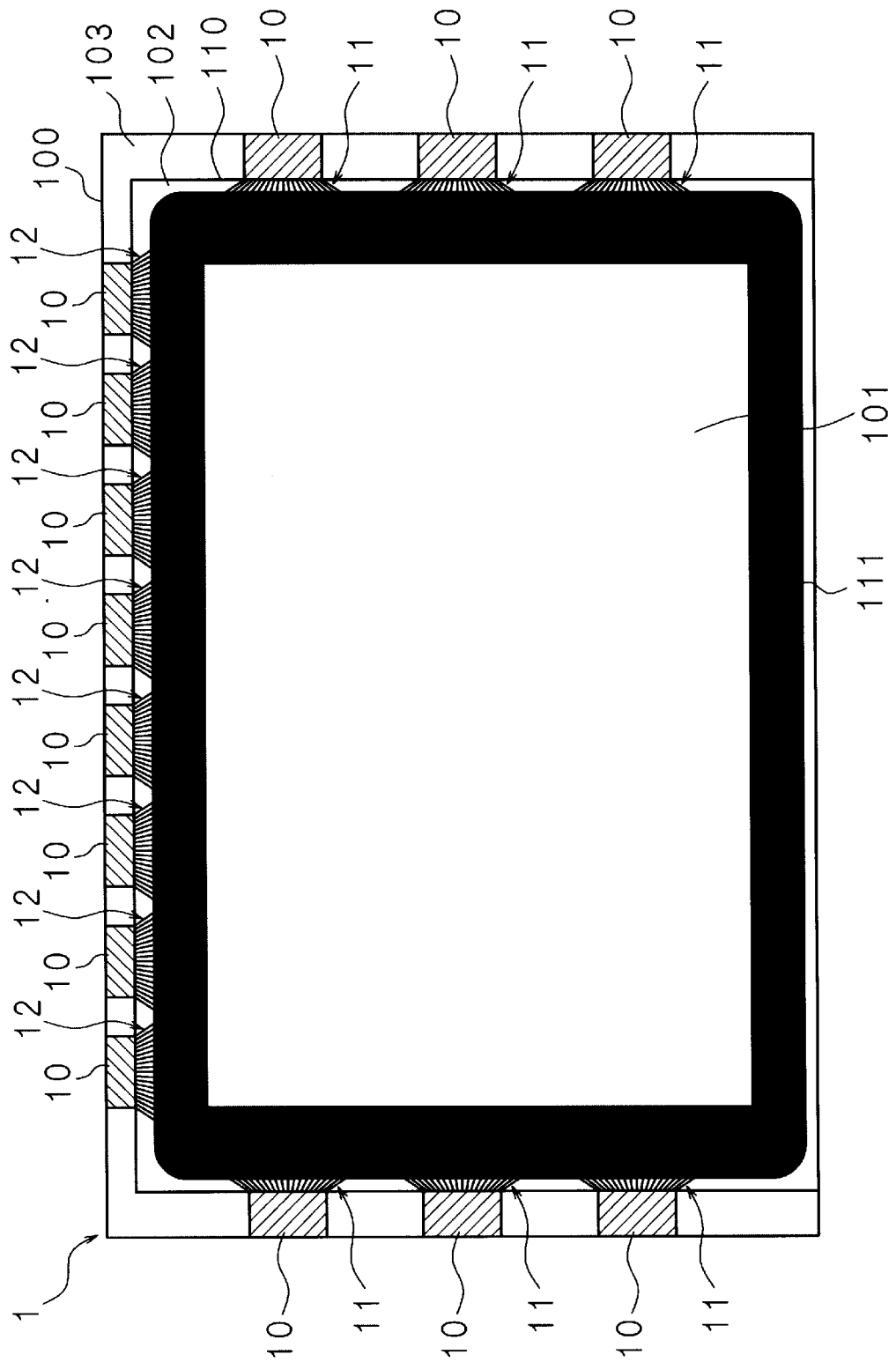
第2方向に沿って配設され、前記トランジスタのソース電極に夫々接続され、データ信号を供給する複数のソース配線と

を備えることを特徴とする請求項7から9のいずれか一つに記載の

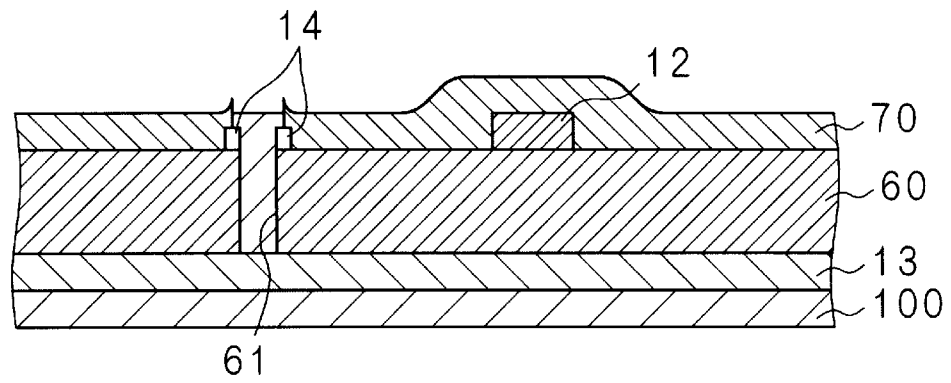
表示パネル。

- [請求項11] 前記複数のゲート配線は、前記複数の第1配線及び前記第3配線が形成される層と同じ層に形成され、
- 前記複数のソース配線は、前記複数の第2配線及び前記第4配線が形成される層と同じ層に形成される
- ことを特徴とする請求項10に記載の表示パネル。

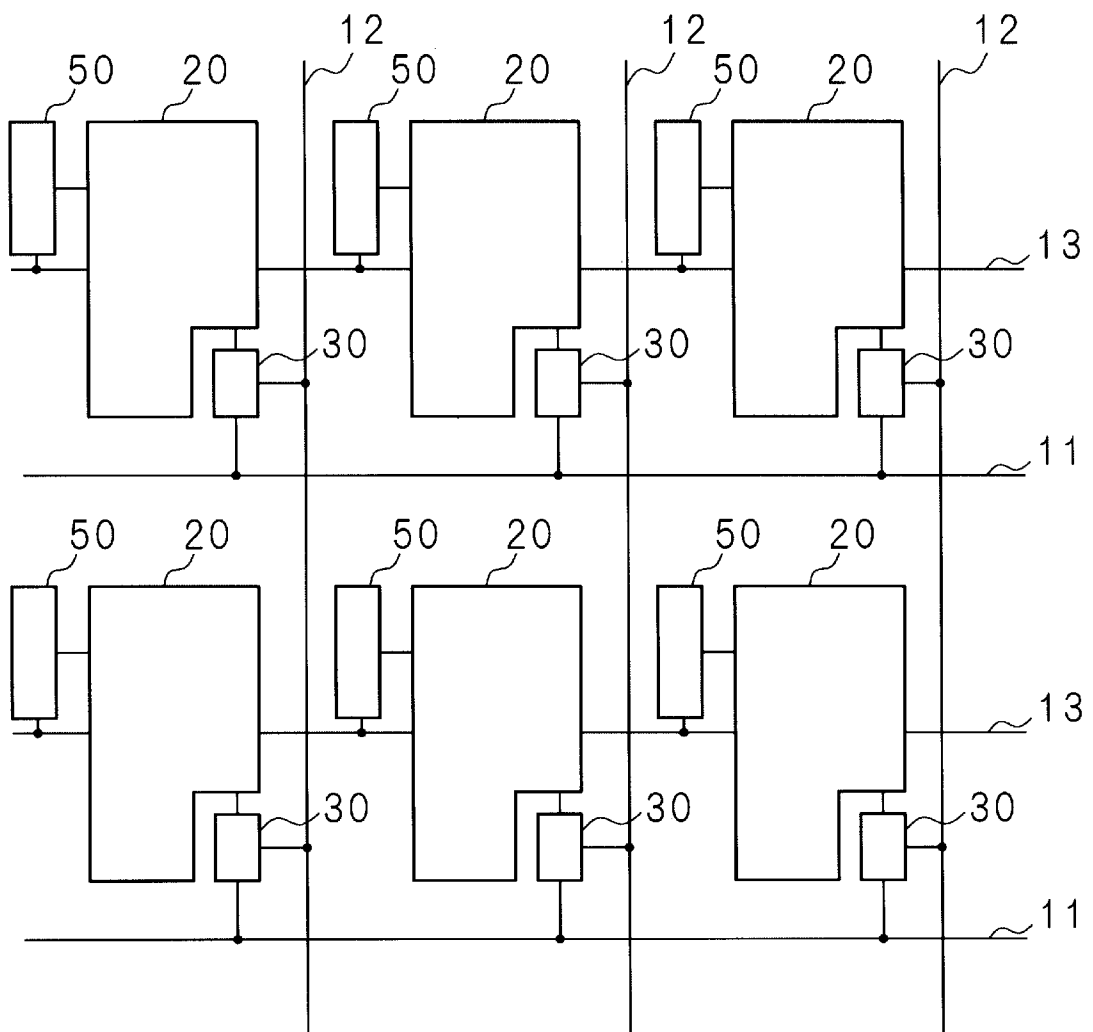
[図1]



[図3]

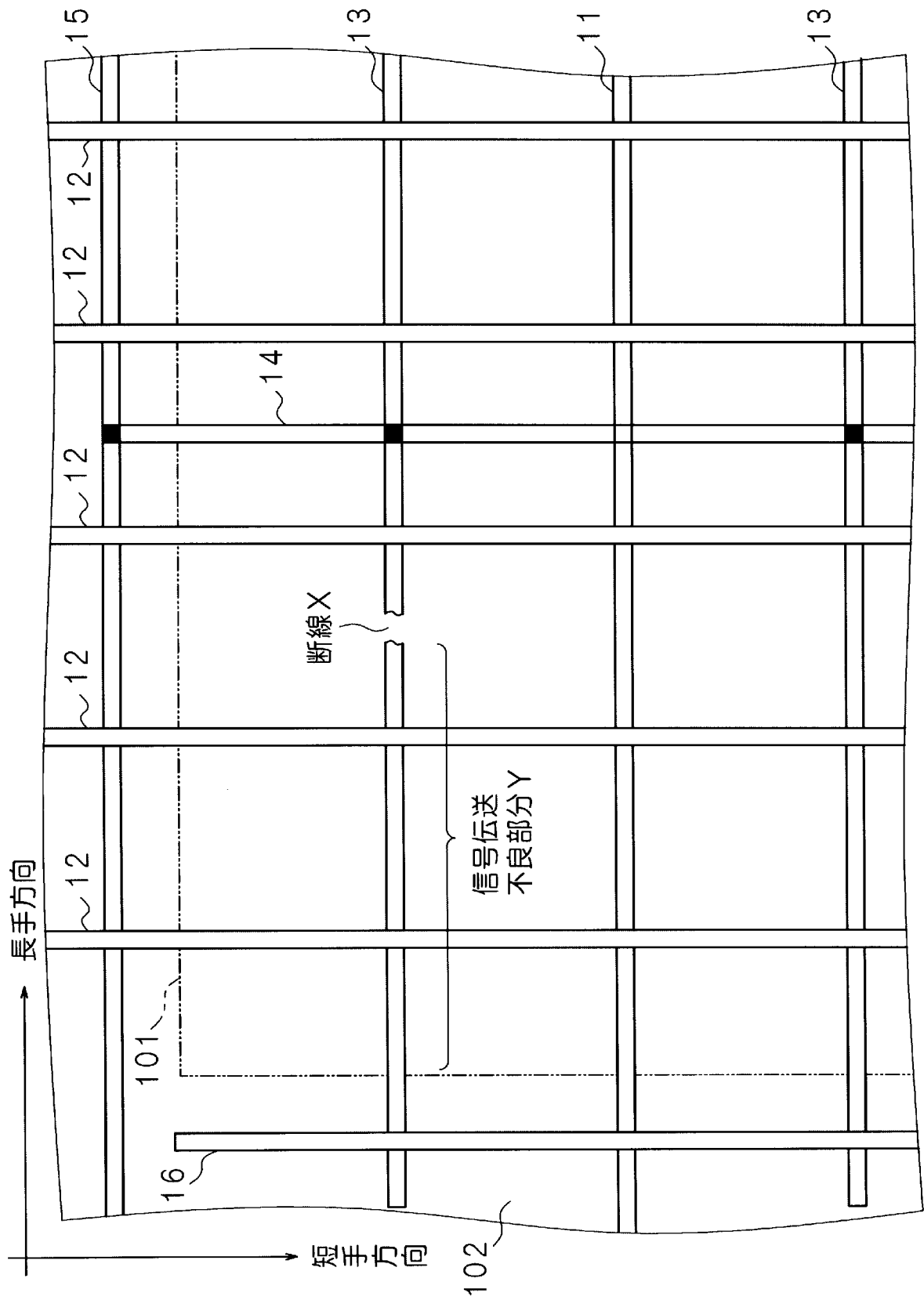


[図4]

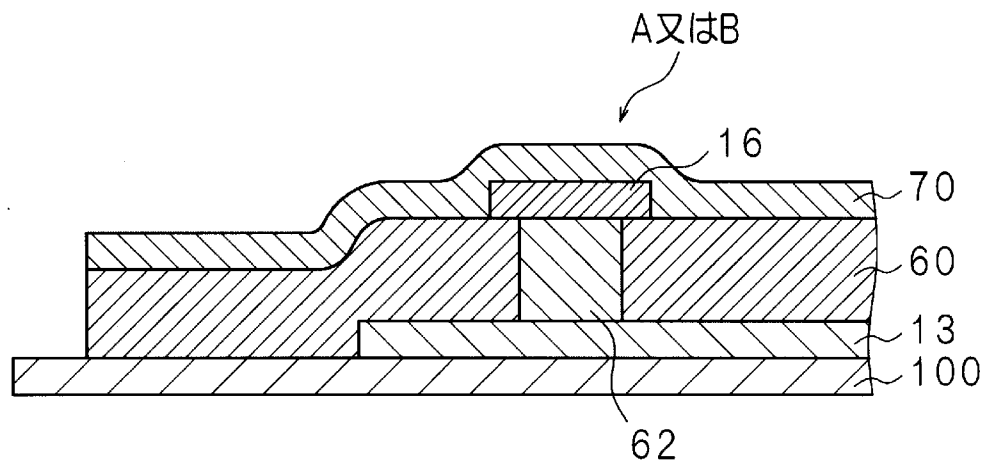


[illegible]

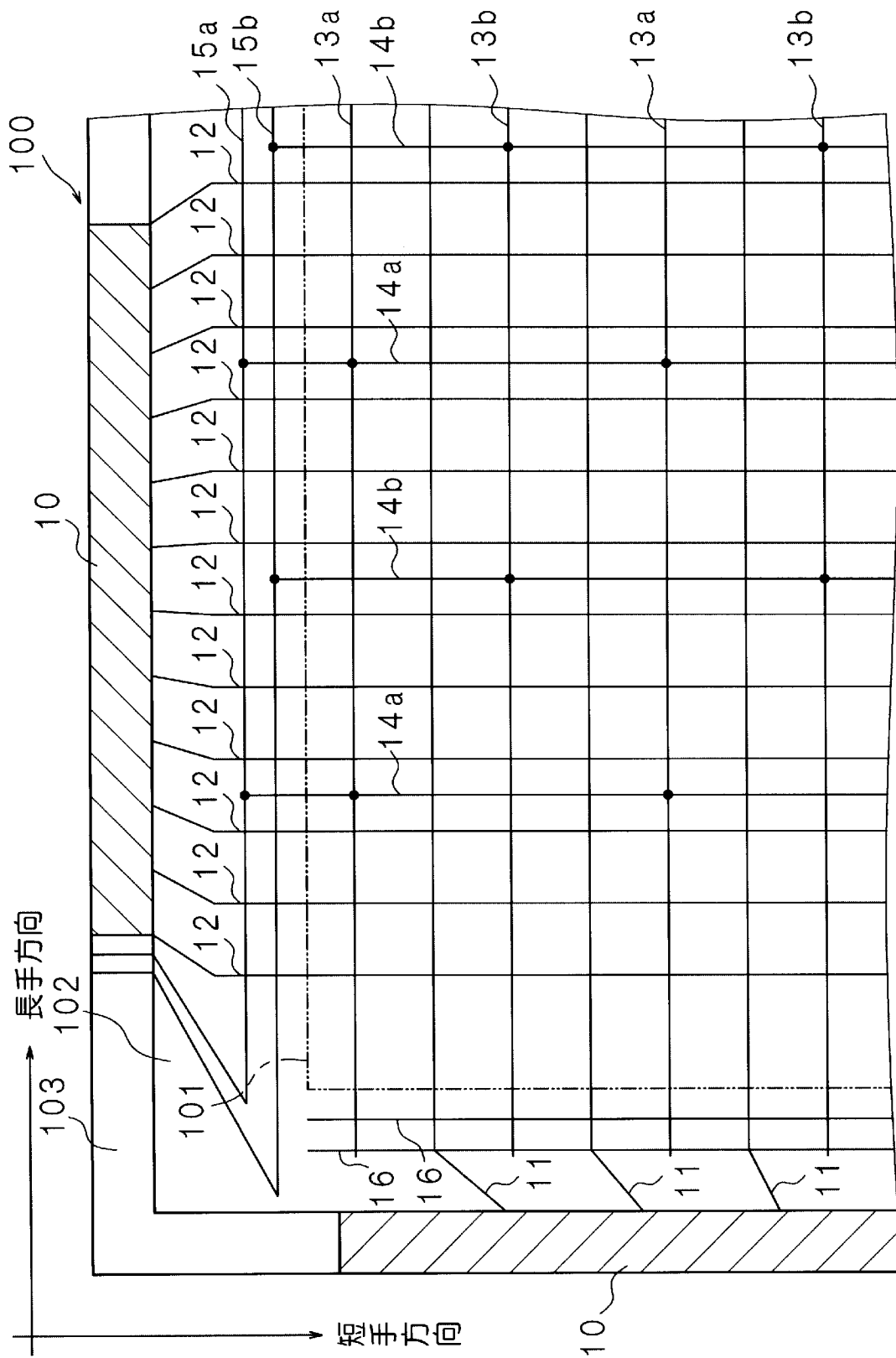
[図6]



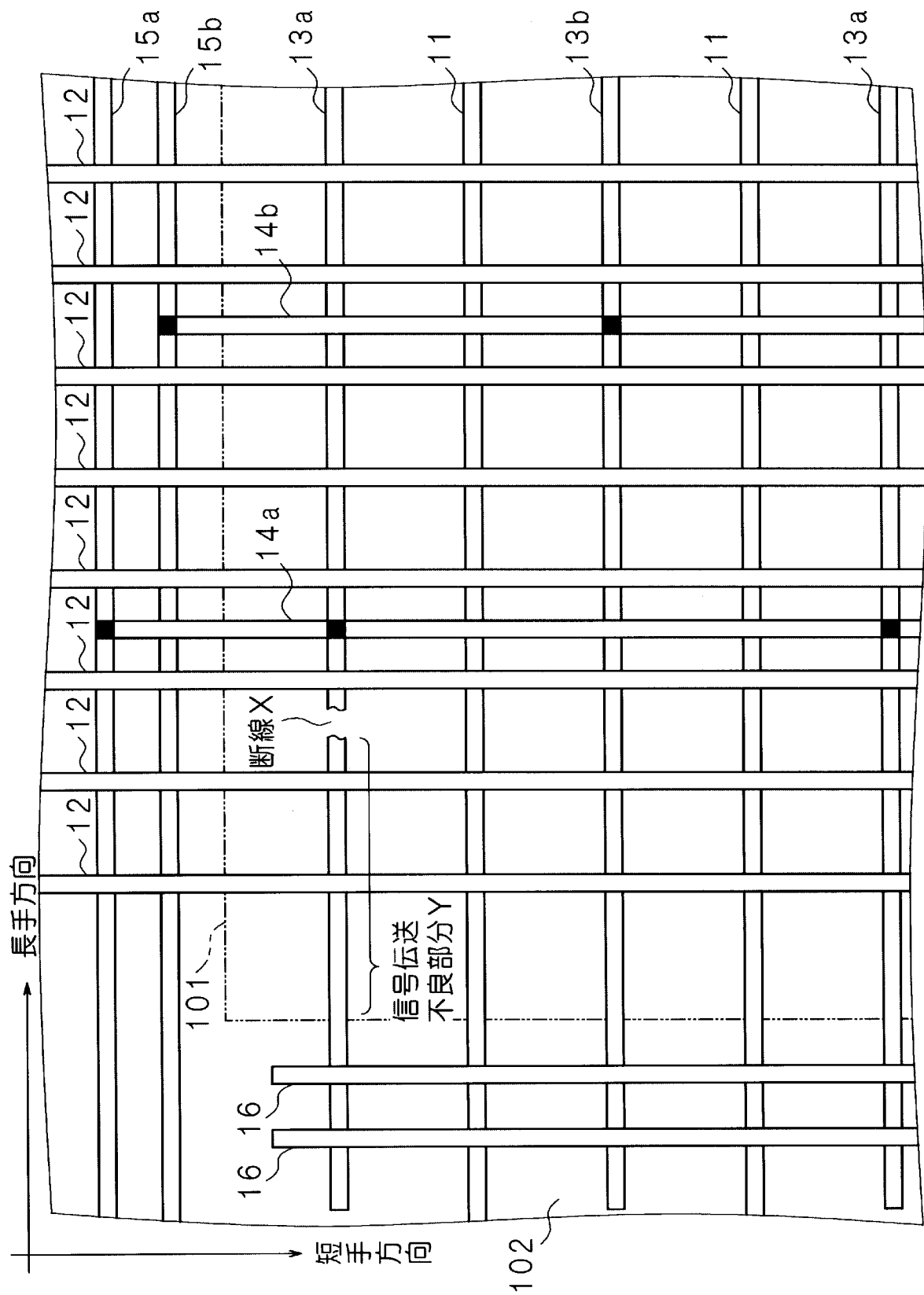
[図8]



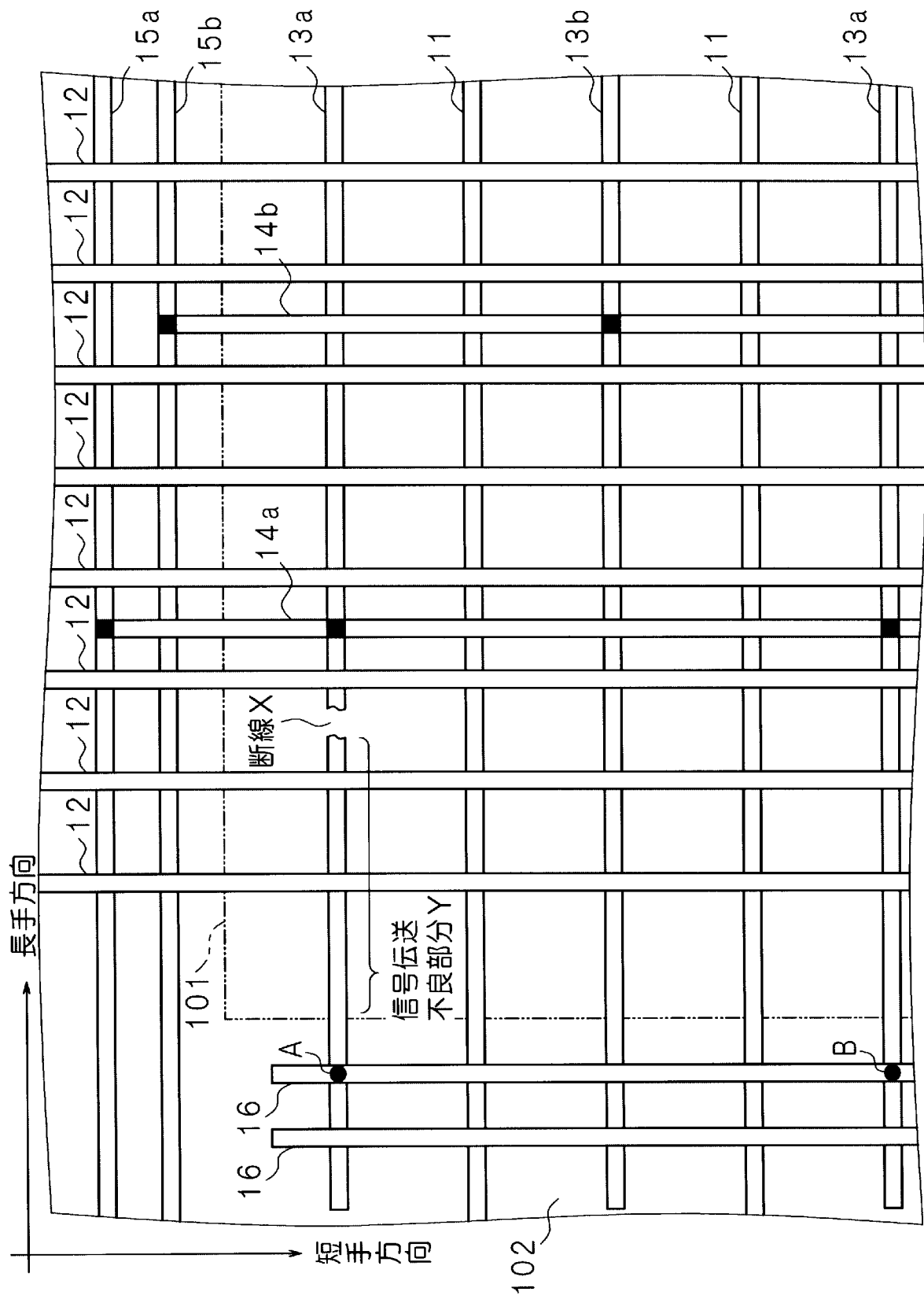
[図9]



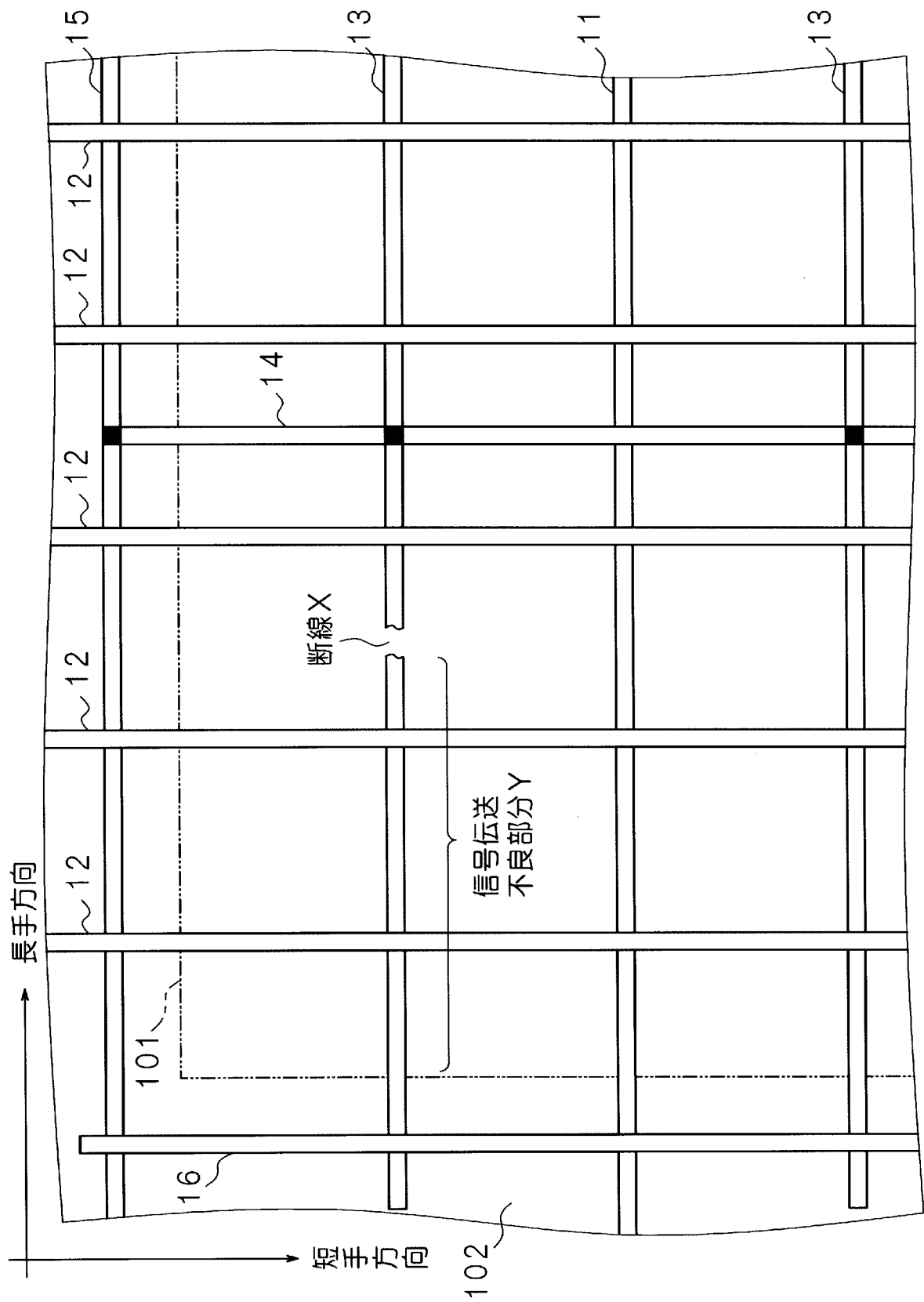
[図10]



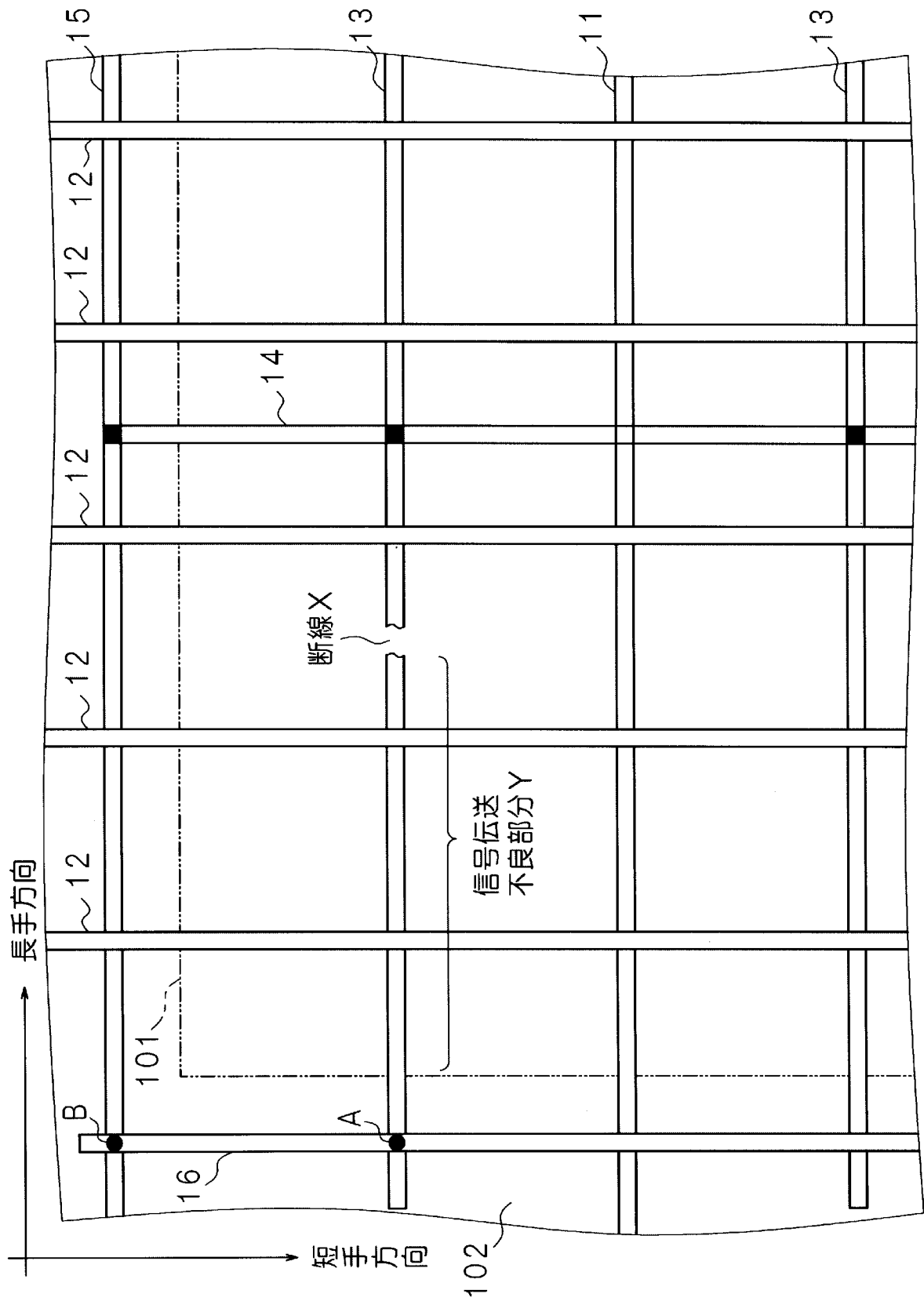
[図11]



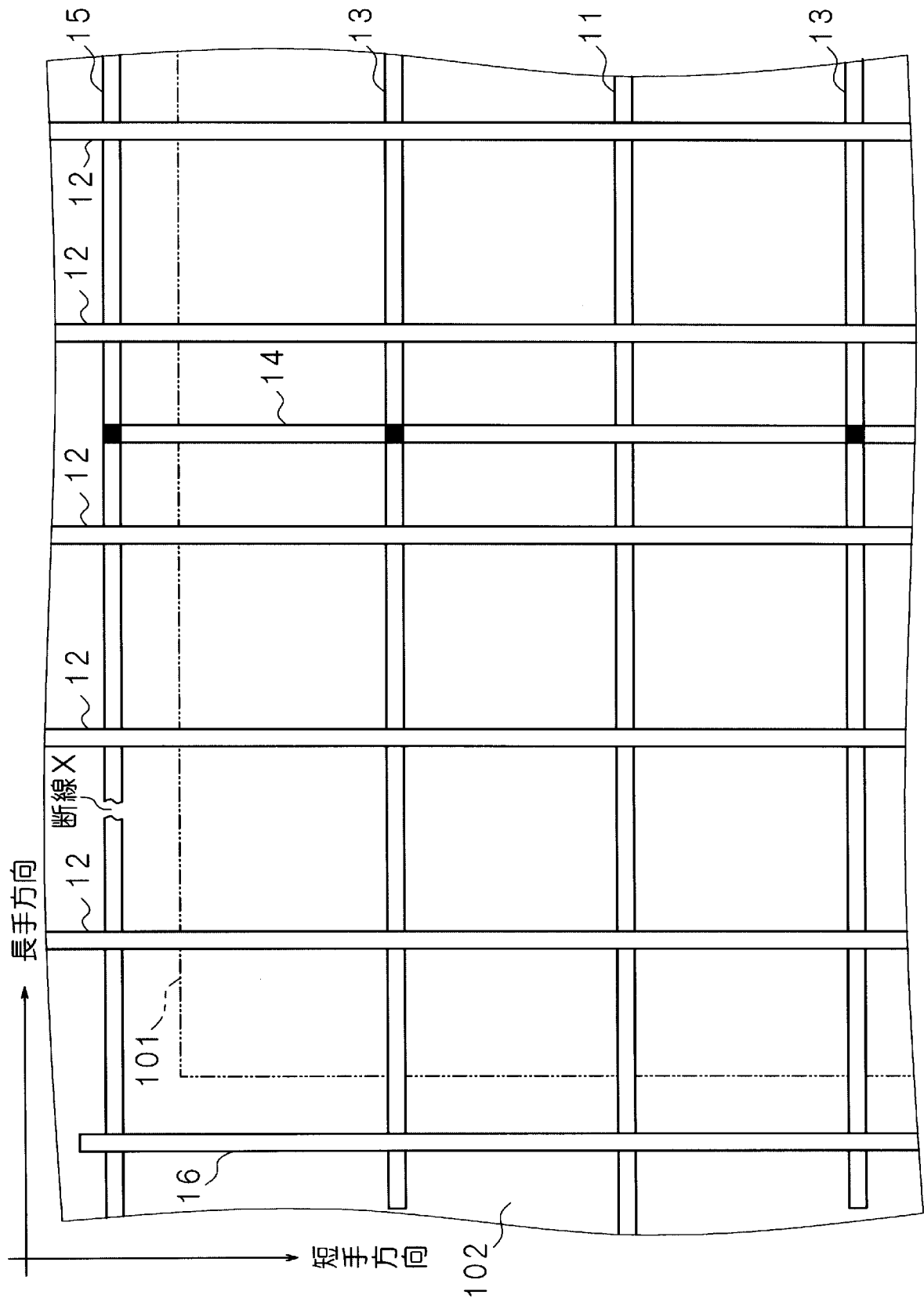
[図12]



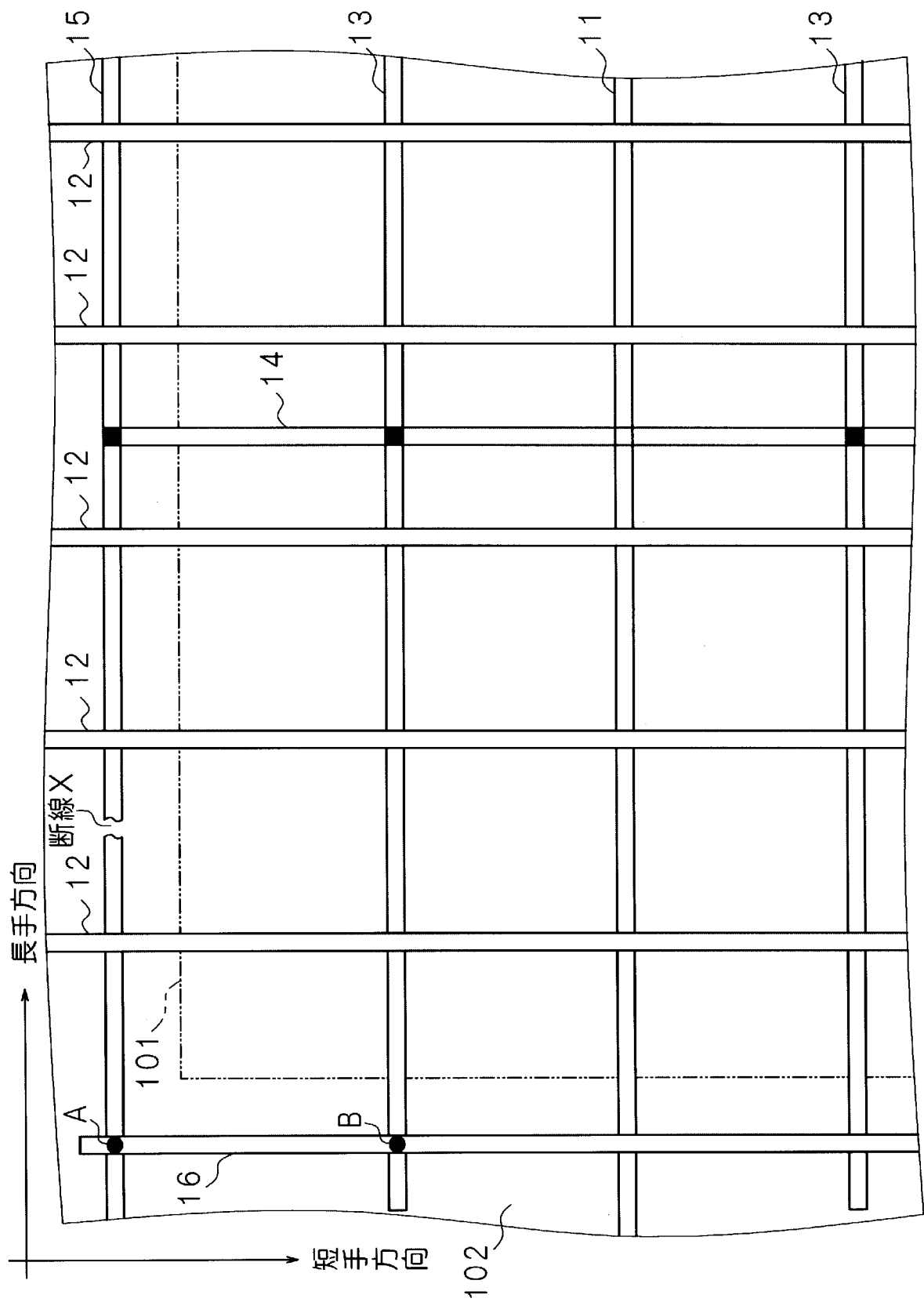
[図13]



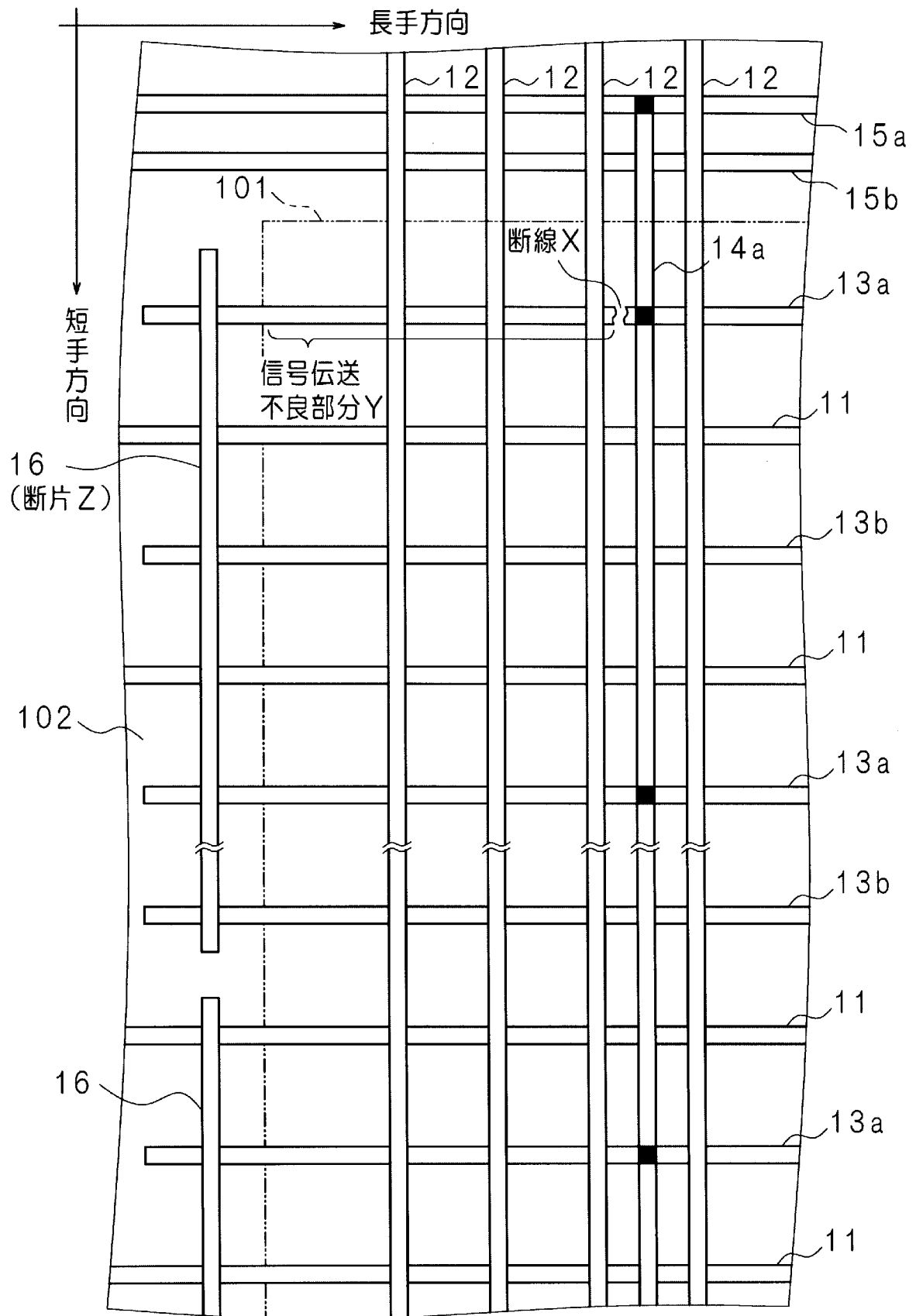
[図14]



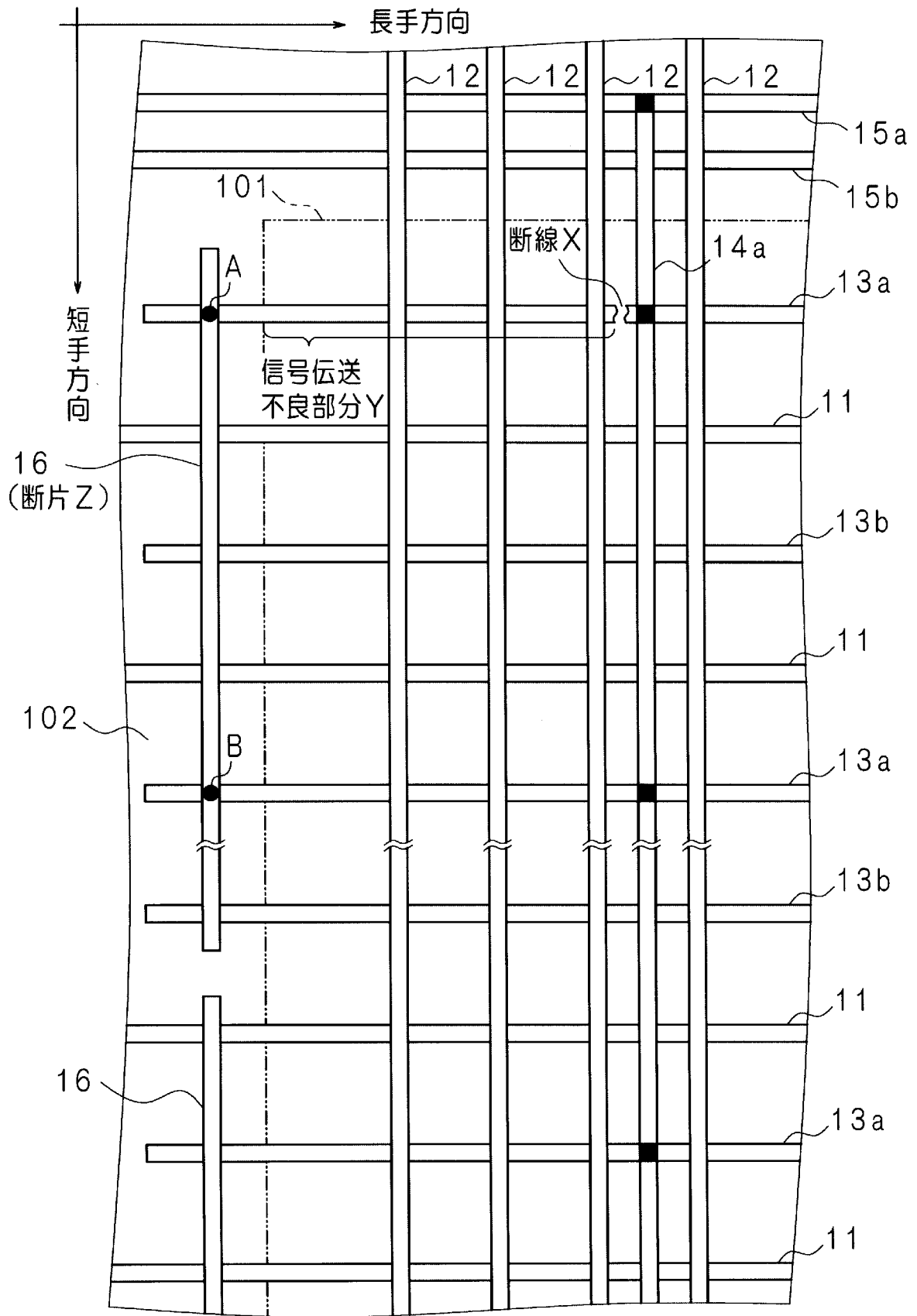
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/078259

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00-9/46, G02F1/1345, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9-160075 A (Casio Computer Co., Ltd.), 20 June 1997 (20.06.1997), paragraphs [0011] to [0019]; fig. 1 to 3 (Family: none)	1-4, 6-8, 10, 11
Y		5, 9
Y	JP 2008-65334 A (Samsung Electronics Co., Ltd.), 21 March 2008 (21.03.2008), paragraphs [0072] to [0081]; fig. 7 & US 2008/0062108 A1 & EP 1898254 A1 & KR 10-2008-0022625 A & CN 101140943 A & TW 200817802 A	5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 December 2014 (17.12.14)

Date of mailing of the international search report
06 January 2015 (06.01.15)

Name and mailing address of the ISA/
Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/078259

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-23132 A (Kibi Denshi Kofun Yugen Koshi), 23 January 2002 (23.01.2002), paragraphs [0018] to [0021]; fig. 5 & US 2001/0028429 A1 & TW 282457 B	9
A	JP 2003-43948 A (Sanyo Electric Co., Ltd., Tottori Sanyo Electric Co., Ltd.), 14 February 2003 (14.02.2003), paragraphs [0020] to [0025], [0033] to [0037]; fig. 1, 5, 6 (Family: none)	1-11
A	JP 10-232412 A (Sharp Corp.), 02 September 1998 (02.09.1998), paragraphs [0037] to [0048]; fig. 1 (Family: none)	1-11
A	JP 2001-194688 A (Samsung Electronics Co., Ltd.), 19 July 2001 (19.07.2001), paragraphs [0017] to [0023]; fig. 1 & US 2002/0097349 A1 & US 6403980 B1 & KR 10-2001-0050708 A & TW 229215 B & CN 1304055 A	1-11
A	JP 2005-534974 A (Samsung Electronics Co., Ltd.), 17 November 2005 (17.11.2005), paragraphs [0014] to [0016]; fig. 1 & US 2006/0097262 A1 & WO 2004/013913 A1 & KR 10-2004-0012153 A & TW 249641 B & CN 1647282 A & AU 2002328455 A	1-11
A	JP 2005-84233 A (Toshiba Matsushita Display Technology Co., Ltd.), 31 March 2005 (31.03.2005), paragraph [0015]; fig. 4 (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/00-9/46, G02F1/1345, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 9-160075 A（カシオ計算機株式会社）1997.06.20, 段落 0 0 1 1 - 0 0 1 9、図 1 - 3（ファミリーなし）	1-4, 6-8, 10, 11
Y		5, 9
Y	JP 2008-65334 A（三星電子株式会社）2008.03.21, 段落 0 0 7 2 - 0 0 8 1、図 7 & US 2008/0062108 A1 & EP 1898254 A1 & KR 10-2008-0022625 A & CN 101140943 A & TW 200817802 A	5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 1 2 . 2 0 1 4

国際調査報告の発送日

0 6 . 0 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

小野 博之

2 I

4 0 7 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-23132 A (奇美電子股▲ふん▼有限公司) 2002.01.23, 段落 0 0 1 8 - 0 0 2 1、図 5 & US 2001/0028429 A1 & TW 282457 B	9
A	JP 2003-43948 A (三洋電機株式会社、鳥取三洋電機株式会社) 2003.02.14, 段落 0 0 2 0 - 0 0 2 5、0 0 3 3 - 0 0 3 7、図 1、 5、6 (ファミリーなし)	1-11
A	JP 10-232412 A (シャープ株式会社) 1998.09.02, 段落 0 0 3 7 - 0 0 4 8、図 1 (ファミリーなし)	1-11
A	JP 2001-194688 A (三星電子株式会社) 2001.07.19, 段落 0 0 1 7 - 0 0 2 3、図 1 & US 2002/0097349 A1 & US 6403980 B1 & KR 10-2001-0050708 A & TW 229215 B & CN 1304055 A	1-11
A	JP 2005-534974 A (サムスン エレクトロニクス カンパニー リ ミテッド) 2005.11.17, 段落 0 0 1 4 - 0 0 1 6、図 1 & US 2006/0097262 A1 & WO 2004/013913 A1 & KR 10-2004-0012153 A & TW 249641 B & CN 1647282 A & AU 2002328455 A	1-11
A	JP 2005-84233 A (東芝松下ディスプレイテクノロジー株式会社) 2005.03.31, 段落 0 0 1 5、図 4 (ファミリーなし)	1-11